



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월22일 10-0720428 2007년05월15일
---	-------------------------------------	--

(21) 출원번호	10-2005-0072760	(65) 공개번호	10-2006-0113324
(22) 출원일자	2005년08월09일	(43) 공개일자	2006년11월02일
심사청구일자	2005년08월09일		

(30) 우선권주장 JP-P-2005-00132714 2005년04월28일 일본(JP)

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 오아나 야스히사
일본국 가나가와켄 요코하마시 코호쿠쿠 신요코하마 3-17-5베넥스 S-2, 8층 LG필립스엘시디주식회사 일본연구소 내

(74) 대리인 김용인
심창섭

(56) 선행기술조사문헌 JP2004048036 A KR1020050006340 A

심사관 : 임동재

전체 청구항 수 : 총 4 항

(54) 박막트랜지스터 및 이를 이용한 액정표시장치

(57) 요약

본 발명은 소오스·드레인 전극을 동심원 형태로 형성하는 것에 의해 리크 전류(leak current)에 기인(起因)하는 오프(OFF) 전류의 저감을 실현함과 동시에 온(ON) 전류와 게이트·소오스 전극간 용량을 최적화한 박막트랜지스터를 제공한다.

본 발명은 기판상에 형성된 게이트 전극과, 상기 게이트 전극상에 게이트 절연막을 개재하여 배치된 진성 아몰퍼스 실리콘(I-a-Si:H)층과, 상기 진성 아몰퍼스 실리콘층상에 n⁺ 아몰퍼스 실리콘(n⁺a-Si:H)층을 개재하여 배치되는 소오스 및 드레인 전극을 갖는 박막트랜지스터에 있어서, 상기 소오스 및 드레인 전극은 원 형상을 갖고, 상기 소오스 및 드레인 전극의 어느 일측이 중앙에 배치되고, 타측이 그것을 둘러싸도록 동심원 형태로 배치되며, 배치된 상기 소오스 및 드레인 전극 사이에 채널 영역을 갖고, 실효(Cgs) 면적(S)이, 약 150 μm^2 이하이고, 채널 폭(W)대 채널 길이(L) 비(W/L)가 약 4.5이상이고, 충전 능력 지표(F)(S)/(W/L)가 약 50이하인 것을 특징으로 하는 박막트랜지스터에 관한 것이다.

대표도

도 4

특허청구의 범위

청구항 1.

기판상에 형성된 게이트 전극과, 상기 게이트 전극상에 게이트 절연막을 개재하여 배치된 진성 아몰퍼스 실리콘(I-a-Si:H)층과, 상기 진성 아몰퍼스 실리콘층상에 n⁺ 아몰퍼스 실리콘(n⁺·a-Si:H)층을 개재하여 배치되는 소오스 및 드레인 전극을 갖는 박막트랜지스터에 있어서,

상기 소오스 및 드레인 전극은 원 형상을 갖고,

상기 소오스 및 드레인 전극의 어느 일측이 중앙에 배치되고, 타측이 그것을 둘러싸도록 동심원 형태로 배치되며,

배치된 상기 소오스 및 드레인 전극 사이에 채널 영역을 갖고,

실효(Cgs) 면적(S)이, $9\pi\mu\text{m}^2$ 이상 $150\pi\mu\text{m}^2$ 이하이고,

채널 폭(W)대 채널 길이(L) 비(W/L)가 약 4.5 이상 22 이하이고,

실효(Cgs)로의 충전 능력 지표(F)가 0 이상 50이하인 것을 특징으로 하는 박막트랜지스터.

청구항 2.

제 1 항에 있어서, 상기 실효(Cgs) 면적(S)은 $\pi \times ((d+L)/2) \times ((d+L)/2)$ 가 되는 식으로, 상기 채널 폭(W)대 채널 길이(L) 비(W/L)는 $\pi \times (d/L + 1)$ 이 되는 식으로, 그리고 상기 실효(Cgs)로의 충전 능력 지표(F)는 $S \div (W/L)$ 가 되는 식으로 산출되는 것을 특징으로 하는 박막트랜지스터.

청구항 3.

제 1 항에 있어서, 상기 기판과 상기 게이트 전극 사이에, 투명한 무기 절연막이 더 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

청구항 4.

표시 셀이 매트릭스 형태로 배치되는 액정표시장치에서 상기 액정 셀이 청구항 1에 기재된 박막트랜지스터를 포함한 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터(TFT)에 관한 것으로, 특히 소오스·드레인 전극을 동심원 형태로 형성하는 것에 의해 리크 전류나 기생 TFT에 기인하는 오프(OFF) 전류의 저감을 실현함과 동시에 온(ON) 전류와 게이트·소오스 전극간 용량을 최적화한 박막트랜지스터에 관한 것이다.

액정표시장치에 대표되는 평면표시장치는, 경량, 박형 저소비전력이라고 하는 특징을 갖는다. 이 특징에 의해 평면표시장치는 각종 분야에 이용되고 있다.

액정표시장치에서는, 화소 등에 스위치 소자가 만들어지고, 그 스위치 소자의 제어에 의해 각각의 화소가 구동된다. 이 스위치 소자로서, 박막트랜지스터가 이용되고 있다.

도 1A는, 액정표시장치에 이용되는 종래의 박막트랜지스터의 구성도, 및 도 1B는 도 1A의 B-B'선에 따라 절단된 단면도를 나타낸다.

이와 같은 종래의 박막트랜지스터는 도 1A에 도시된 바와 같이, 소오스·드레인 전극으로부터 불거져 나온 「게이트 전극 상에 비정질 실리콘층 단부(도중 1)」이 반드시 존재한다.

이와 같은 비정질 실리콘층 단부는 정밀한 형상 가공이나 청정도 제어가 어렵고, 이것에 의해 기생 TFT나 오염 물질(예를 들면, 레지스트 잔류, 드라이 에칭 잔사) 부착에 의한 리크 전류가 생긴다고 하는 문제를 가지고 있다.

이와 같은 리크 전류는, 소자 등에 증감하고, 리크 전류가 크면, 전하의 보지성능이 나쁘게 되고, 화상에 플리커나 잔상이 생긴다.

더구나, 화면내에 리크 전류의 대소(大小) 무라가 생기면, 화상에 농담(濃淡) 무라가 발생한다고 하는 문제를 가지고 있다.

상기와 같은 리크 전류의 문제에 관해서는, 종래 박막트랜지스터의 전극구조를 제조하여 리크 전류의 저감을 이루는 각종 식이 나오고 있다.

예를 들면, 특개 2004-48036호 공보는, 리크 전류가 적은 박막트랜지스터를 제안하고 있다.

도 2A 및 도 2B는 본 공보에 개시된 박막트랜지스터의 구성도이다.

도 2A 및 도 2B에 도시된 바와 같이, 반도체층의 활성층(504)에는, TFT의 전극이 동심원 형태로 배치되어 있다.

게이트 전극(502, 506)은, 전극(501, 505)을 둘러싸도록 배치되어 있다. 전극(503, 507)은, 게이트 전극(502, 506)을 둘러싸도록 형성되어 있다.

전극(501, 505)은 게이트 전극을 구성하는 배선금속과는 다른 층에 배치되고, 전극(501, 505)과 전극(503, 507)은 동일 층에 형성되어 있다.

전극(501, 505)과 전극(503, 507)은 어느 일측을 소오스 전극으로 하고, 타측을 드레인 전극으로 할 수 있다.

이와 같은 구조에 의하면, 상기 종래 기술에서 형성된 같은 비정질 실리콘층 단부가 생기지 않는 구조를 형성할 수 있고, 결과 리크 전류의 저감을 이루고 있다.

더구나 다른 종래 기술(한국공개 10-2005-0006340호 공보)도 또한, 전극이 동심원 형태로 형성된 박막트랜지스터를 제안하고 있다.

도 3A는, 표시패널내에 배치된 본 종래 예의 박막트랜지스터의 구성도를 나타낸다. 도 3B는 도 3A의 VIIIb-VIIIb'선에 따라 절단된 단면도를 나타낸다.

기관(110)상에 게이트 전극(124)이 배치되고, 그 위에 게이트 절연층을 개재하여 진성 아몰퍼스 실리콘(I-a-Si)층(154)이 형성된다. 그 위에 원형의 전극(175)이 배치되고, 그것을 둘러싸도록 동일 계층에 전극(176)이 배치된다.

전극(175)과 전극(176)은 어느 일측을 소오스 전극으로 하고, 타측을 드레인 전극으로 할 수 있다.

이와 같이 전극을 원형으로 동심원 형태로 형성하는 것에 의해 I-a-Si층의 단부를 구조적으로 제거할 수 있다.

이와 같이 종래 기술에 있어서 비정질 실리콘층 단부를 형성하지 않는 구조를 제안하고, 그것에 의해 리크 전류의 저감이 이루어졌다.

그러나 박막트랜지스터에는 다른 표시전극 전위의 레벨 쉬프트의 문제도 존재한다. 레벨 쉬프트는 TFT의 전극과 게이트 전극의 중첩으로 형성되는 부유용량(Cgs)이 원인이다.

레벨 쉬프트 량은 Cgs에 비례하는데, 플리커나 잔상을 시인할 수 없는 레벨로 하기 위해서는 Cgs가 작은 것이 바람직하고, 또한 면내의 분포가 적은 것이 반드시 필요하다.

상기 종래 기술에서는, 리크 전류의 저감을 이룰 수 있다고는 하나, 표시전극 전위의 레벨 쉬프트의 문제에 관해서는 아무런 제안이 되지 않았다.

따라서 레벨 쉬프트의 문제를 리크 전류의 저감과 동시에 해결하는 기술이 바람직하다.

더구나 대형 액정 TV의 본격적 시장 진입을 실현하기 위해서는, 온 전류를 높이는 것이 불가결이다. 즉, 리크 전류의 저감 및 온 전류의 증대 및 부유용량 저감의 3개를 최적화하는 것이 필요하게 된다.

[특허문헌 1] 특개 2004-48036호 공보

[특허문헌 2] 한국공개 10-2005-0006340호 공보

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 리크 전류의 저감과 이룸과 동시에, 표시전극전위의 레벨 쉬프트의 문제를 해결한다. 더구나 박막트랜지스터 화소회로에서 액정구동에 적절한 온 전류를 제공할 수 있는 박막트랜지스터를 제공한다.

발명의 구성

본 발명은, 기판상에 형성된 게이트 전극과, 상기 게이트 전극상에 게이트 절연막을 개재하여 배치된 진성 아몰퍼스 실리콘(I:a-Si:H)층과, 상기 진성 아몰퍼스 실리콘층상에 n⁺ 아몰퍼스 실리콘(n⁺a-Si:H)층을 개재하여 배치되는 소오스 및 드레인 전극을 갖는 박막트랜지스터에 있어서,

상기 소오스 및 드레인 전극은 원 형상을 갖고,

상기 소오스 및 드레인 전극의 어느 일측이 중앙에 배치되고, 타측이 그것을 둘러싸도록 동심원 형태로 배치되며,

배치된 상기 소오스 및 드레인 전극 사이에 채널 영역을 갖고,

실효(Cgs) 면적(S)이, 약 $150\pi\mu\text{m}^2$ 이하이고,

채널 폭(W)대 채널 길이(L) 비(W/L)가 약 4.5이상이고,

실효(Cgs)로의 충전 능력 지표(F)가 약 50이하인 것을 특징으로 하는 박막트랜지스터이다.

상기 실효(Cgs) 면적(S)은 이하의 수학식 1에 의해 산출된다.

수학식 1

$S = \pi \times ((d+L)/2) \times ((d+L)/2)$, 여기서 d는 TFT의 소오스 전극 지름, L은 TFT의 채널 길이를 의미한다(도 4A 참조).

발명자는 실효(Cgs) 면적(S)이, 약 $150\pi\mu\text{m}^2$ 를 도달하면 표시 전극 전위의 레벨 쉬프트가 생기고, 화상에 플리커나 잔상 문제가 현재화하는 것을 보았다.

본 발명의 박막트랜지스터에 있어서는, 실효(Cgs) 면적(S)이, 약 $150\pi\mu\text{m}^2$ 이하가 되도록 수치가 선택된다.

온 전류를 정하는 좌표로서 W/L의 값을 이용한다. 본 발명의 박막트랜지스터에 있어서는 이 값이 약 4.5이상 되도록 수치를 선택한다. W/L은 이하의 수학적 2에 의해 산출된다.

수학적 2

$$W/L = \pi \times (d/L + 1)$$

전극을 동심원 형태로 형성하는 것에 의해, 리크 전류의 절감이 달성됨과 함께, d를 크게 하는 것에 의해 온 전류도 높이는 것이 가능하게 된다.

그러나 온 전류를 제한하여 높이는 것은 게이트 전극 및 드레인 전극 사이의 캐패시턴스(Cgs) 수학적 1을 증가하는 것에 의해, 레벨 쉬프트량이 문제 레벨로 되어진다.

그래서 발명자는, 실효(Cgs)로의 충전능력좌표(F)로서 이하의 수학적 3을 정의한다.

수학적 3

$$F = S \div (W/L)$$

이 값은 적은 쪽이 좋고, 약 50을 초과하면 실효(Cgs)에 충전되는 전하량이 레벨 쉬프트 량에 미치는 영향이 현저화한다. 따라서 약 50이하가 되도록 수치를 선택하는 것에 의해, 온 전류와 레벨 쉬프트로의 영향 문제를 해소한다.

본 발명은 상기 수학적 1 내지 3에 요구되는 수치의 모두가 상기 문제 회피에 필요한 수치범위에 포함되도록 선택될 필요가 있다. 얻어진 결과를 표 1에 나타낸다.

[표 1]

d: μm	L: μm	3	4	5	6	8	10
0	W/L	1π	1π	1π	1π	1π	1π
	S	2.25π	4π	6.25π	9π	16π	25π
3	W/L	2π	1.75π	1.6π	1.5π	1.375π	1.3π
	S	9π	12.25π	16π	20.25π	30.25π	42.25π
5	W/L	2.67π	2.25π	2π	1.83π	1.625π	1.5π
	S	16π	20.25π	25π	30.25π	42.25π	56.25π
8	W/L	3.66π	3π	2.6π	2.33π	2π	1.8π
	S	30.25π	36π	42.25π	49π	64π	81π
10	W/L	4.33π	3.5π	3π	2.66π	2.25π	2π
	S	42.25π	49π	56.25π	64π	81π	100π
12	W/L	5π	4π	3.4π	3π	2.5π	2.2π
	S	56.25π	64π	72.25π	81π	100π	121π
14	W/L	5.67π	4.5π	3.8π	3.33π	2.75π	2.4π
	S	72.25π	81π	91.25π	100π	121π	144π
16	W/L	6.33π	5π	4.2π	3.66π	3π	2.8π
	S	90.25π	100π	110.25π	121π	144π	169π
18	W/L	7π	5.5π	4.6π	4π	3.25π	2.8π
	S	110.25π	121π	132.25π	144π	169π	196π

여기서, $d = 0\mu\text{m}$ 는 한계 값을 나타내기 위해 삽입하고 있다.

표 1에서는, 종(縱)란에 소오스 전극 지름(d), 횡(橫)란에 채널 길이(L)를 정의하고, W/L 및 S를 산출했다.

표 1에서 짙은 색 란의 값을 나타내는 설계 길이에서는 상기 문제 내에 하나 이상이 회피할 수 없는 예를 나타낸다. 옅은 색 란 및 백지 란은 본 발명의 목적을 달성할 수 있는 설계 길이로부터 얻어진 수치 범위를 나타낸다.

또한, 옅은 색 란의 수치를 나타낸 박막트랜지스터는, 퍼스컴(personal computer)이나 모니터 등의 비교적 작은 화면 사이즈의 액정표시장치에 적합하고, 백지 란의 수치를 나타내는 박막트랜지스터는 액정 TV용의 비교적 큰 화면의 액정표시장치에 적합하다.

본 발명의 박막트랜지스터, 특히 보텀(bottom) 게이트형 박막트랜지스터의 실시예를, 도면을 참조하면서 설명한다.

또한, 본 발명은 하기 실시예에 한정되지 않고 본 특허청구범위에 규정된 범위에서 각각의 수정 및 변경을 가할 수 있는 것은 자명하다.

실시예 1

도 4A는 본 발명의 박막트랜지스터의 구성을 나타낸 상면도이다. 도 4B는 도 4A의 B-B'선에 따라 절단한 단면도이다.

도 4B에 나타낸 바와 같이, 기판(1)상에 스퍼터 성막에 의해 200nm의 MoW 게이트 전극·배선층(2)을 완성시킨다.

여기서, 기판(1)은 투명한 글라스 기판이나, 플라스틱이나 세라믹스 등으로 이루어진 투명 혹은 불투명 기판도 사용할 수 있다.

이어, 형성된 금속층은 광식각공정(PEP)을 통해 전극 형상으로 가공, 30 μ m폭의 게이트 전극·배선층(2)을 완성시킨다. MoW의 에칭은 통상의 케미컬 드라이 에칭 기술을 이용한다.

또한, 기판(1)과 게이트 전극·배선층(2) 사이에는, 200nm 두께의 SiO_x층을 플라즈마 화학기상퇴적(PE-CVD)법(이하, 플라즈마 CVD법으로 칭한다.)에 의해 형성해도 좋다.

이와 같이 형성된 게이트 전극·배선층(2)의 배치를 나타낸 개략 상면도를 도 5에 나타낸다.

레지스트를 박리한 후, 상기 게이트 전극·배선층(2)상에 250nm 두께의 게이트 절연층(SiO_x)을 플라즈마 CVD법에 의해 형성한다.

이어서, 형성된 게이트 절연층상에 TFT의 채널용으로 180nm 두께의 진성 아몰퍼스 실리콘(I-a-Si:H)층, 이어서 연속적으로 50nm 두께의 오믹 콘택(ohmic contact)용 n⁺-a-Si:H층을 플라즈마 CVD법에 의해 형성한다.

도 6은 도 5의 a-a'선에 따라 절단한 경우의 게이트 전극상에 형성된 각층의 구성을 나타낸다.

이어서, PEP 및 통상의 케미컬 드라이 에칭 기술을 이용하여 상기 게이트 절연층상의 게이트 절연막상에, I-a-Si:H층 및 n⁺-a-Si:H층으로 이루어진 직경 30 μ m의 실리콘 아일랜드를 제작한다. 도 7은 형성된 실리콘 아일랜드의 단면도이다.

이어, 게이트 전극배선의 단자부에 게이트 전극 구동용 IC와의 접속을 위해 콘택홀(11)을 PEP에 형성한다. 도 8은 형성된 콘택홀(11)의 배치를 나타낸 개략 상면도이다.

이어, 상기 실리콘 아일랜드를 포함한 기판상에 30nm 두께의 Mo층, 그 위에 300nm 두께의 Al층, 이어서 20nm 두께의 Mo층을 스퍼터링에 의해 성막한다.

이어서, PEP에 의해 소오스 및 드레인 전극 및 신호배선, 및 콘택홀(11)상에 게이트 배선접속단자(21)를 형성한다.

이때 소오스 및 드레인 전극은 도 4A 및 도 9에 나타낸 바와 같이, 원 형상으로 형성되고, d=10 μ m 지름의 소오스 전극을 중앙에 L=5 μ m 폭의 채널 영역(10)을 끼워서 4 μ m폭의 드레인 전극이 동심원 형상으로 배치된다.

신호선은 $10\mu\text{m}$ 의 폭을 갖고, 드레인 전극은 상기 실리콘 아일랜드보다도 $1\mu\text{m}$ 정도 내측에 제작한다.

도 9는 게이트 전극상에 제작된 소오스, 드레인 전극 및 신호배선의 배치를 나타낸 개략 상면도이다.

도 10은 도 9의 a-a'선에 따라 절단한 단면도이다.

이와 같이 제작된 박막트랜지스터의 각 구성요소의 길이를, 상기 수학식 1 내지 수학식 3에 채우면, 수학식 1의 실효(Cgs) 면적(S)이 56.25π , 즉 $177\mu\text{m}^2$ 가 되고, 수학식 2의 W/L이 9.4, 수학식 3의 F가 18.8이 된다.

또한, 총 TFT 면적은 $700\mu\text{m}^2$ 이다.

이어서, 제작된 소오스 및 드레인 전극을 마스크로 하여, 채널영역(10)에 대응하는 $n^+ \cdot a\text{-Si:H}$ 층(5)을 드라이 에칭에 의해 제거한다. 이때 에칭 제거된 $n^+ \cdot a\text{-Si:H}$ 층(5)에 대응하는 하부층의 $I \cdot a\text{-Si:H}$ 층이 약 30nm 에칭에 의해 제거된다. 이와 같은 드라이 에칭에 의해 제거된 후의 구조를 도 11에 나타낸다.

이어서, 도 11에 나타난 구조물상에 400nm 두께의 SiN 층간 절연막(12)을 플라즈마 CVD법에 의해 형성한다. 더구나 평탄성을 개선하기 위해 상기 층간 절연막상에 돌기부에서 약 $1\mu\text{m}$ 의 두께를 갖는 투명유기수지층(14)을 형성한다.

이어서, 소오스 전극 상면의 일부에 이르는 콘택홀(13) 및 도 9에 나타낸 게이트 배선 및 신호선 접속단자(21, 22)로의 콘택홀을 상기 층간 절연막(12) 및 투명유기수지층(14)에 형성한다.

이어서, 상기 투명유기수지층(14)상에 50nm 두께의 ITO층을 스퍼터링에 의해 퇴적시키고, PEP에 의해 ITO 표시전극(9) 및 소오스 배선(15)을 형성한다. 도 12는 이와 같이 형성된 본 발명의 박막트랜지스터의 단면도를 나타낸다.

실시예 2

본 발명은 이하와 같은 다른 형태로 가능하다. 도 13A는 본 형태의 박막트랜지스터의 구성을 나타낸 상면도인데, 투명유기수지층은 사용하지 않는다. 도 13B는 도 13A의 B-B'선에 따라 절단된 단면도이다.

본 형태에 있어서는, 동심원 형태로 형성된 전극 중, 중앙의 소오스 전극과, 소오스 전극의 주위에 동심원 형태로 형성된 드레인 전극과, 이들 전극으로부터 분리하여 신호배선(16)을 배치하고, 신호배선(16)을 소오스 전극에 접속하고, ITO 표시전극을 드레인 전극에 접속한 구성을 갖는 점을 제외하고, 실시예 1과 동일한 방법에 의해 제작된다.

참고예

본 실시예의 박막트랜지스터는 채널 길이(L)가 $5\mu\text{m}$, 채널 폭(W)이 $47\mu\text{m}$, W/L이 9.4 및 실효(Cgs) 면적(S)은 $380\mu\text{m}^2$ 이다.

또한, 상기 각 실시예에서는 도 14A 및 도 14B에 나타낸 바와 같이, 각 전극을 사각형 형상으로 제작하는 점을 제외하고, 실시예 1과 동일한 방법에 의해 제작되는 형태로 가능하다.

이 경우의 박막트랜지스터에서 채널 길이(L)가 $5\mu\text{m}$, 채널 폭(W)이 $60\mu\text{m}$, W/L이 12 및 총 TFT 면적은 $600\mu\text{m}^2$, 및 실효(Cgs) 면적(S)은 $225\mu\text{m}^2$ 이다.

또한, 상기 각 실시예 및 참고예에서는 게이트 전극으로서 도 5에 나타낸 바와 같은 게이트 라인과 게이트 전극이 동일층에 형성된 구성을 채용했는데, 화면 사이즈나 화소 수를 감안한 상태에서 게이트 배선저항이 동등하면, 동일 폭의 직선 형상에 한정하지 않고, 폭에 대소를 주는 것도 가능하다.

발명의 효과

이상과 같이 본 발명의 박막트랜지스터를 이용하는 것에 의해, 리크 전류의 저감을 이롭과 동시에, 온 전류의 증대와 레벨 쉬프트 량의 저감이 합쳐져 실현할 수 있는 박막트랜지스터가 제공된다.

도면의 간단한 설명

도 1A는 액정표시장치에 이용되는 종래 박막트랜지스터의 구성도이고, 도 1B는 도 1A의 B-B'선에 따라 절단한 단면도이다.

도 2A는 종래 기술에서 박막트랜지스터의 구성도이다.

도 2B는 종래 기술에서 박막트랜지스터의 구성도이다.

도 3A는 표시패널내에 배치된 종래의 박막트랜지스터의 구성도이다.

도 3B는 도 3A의 VIIIb-VIIIb'선에 따라 절단된 단면도이다.

도 4A는 본 발명의 박막트랜지스터의 구성을 나타낸 상면도이고, 도 4B는 도 4A의 B-B'선에 따라 절단된 단면도이다.

도 5는 게이트 전극·배선층(2)의 배치를 나타낸 개략 상면도이다.

도 6은 도 5의 a-a'선에 따라 절단한 경우의 게이트 전극상에 형성된 각층의 구성을 나타낸 단면도이다.

도 7은 실리콘 아일랜드의 단면도이다.

도 8은 콘택홀(11)의 배치를 나타낸 개략 상면도이다.

도 9는 게이트 전극상에 제작된 소오스, 드레인 전극 및 신호배선의 배치를 나타낸 개략 상면도이다.

도 10은 도 9의 a-a'선에 따라 절단한 단면도이다.

도 11은 드라이 에칭후의 구조를 나타낸 단면도이다.

도 12는 완성한 본 발명의 박막트랜지스터의 단면도를 나타낸다.

도 13A는 본 발명의 다른 형태의 박막트랜지스터의 구성을 나타낸 상면도이고, 도 13B는 도 13A의 B-B'선에 따라 절단된 단면도이다.

도 14A는 참고예로서의 박막트랜지스터의 구성을 나타낸 상면도이고, 도 14B는 도 14A의 A-A'선에 따라 절단된 단면도이다.

도면의 주요 부분에 대한 부호의 설명

1 : 기판 2 : 게이트 전극·배선층

3 : 게이트 절연층 4 : I·a-Si:H층

5 : n⁺·a-Si:H층 6 : 소오스 전극

7 : 드레인 전극 8 : 층간 절연층

9 : ITO 전극 10 : 채널영역

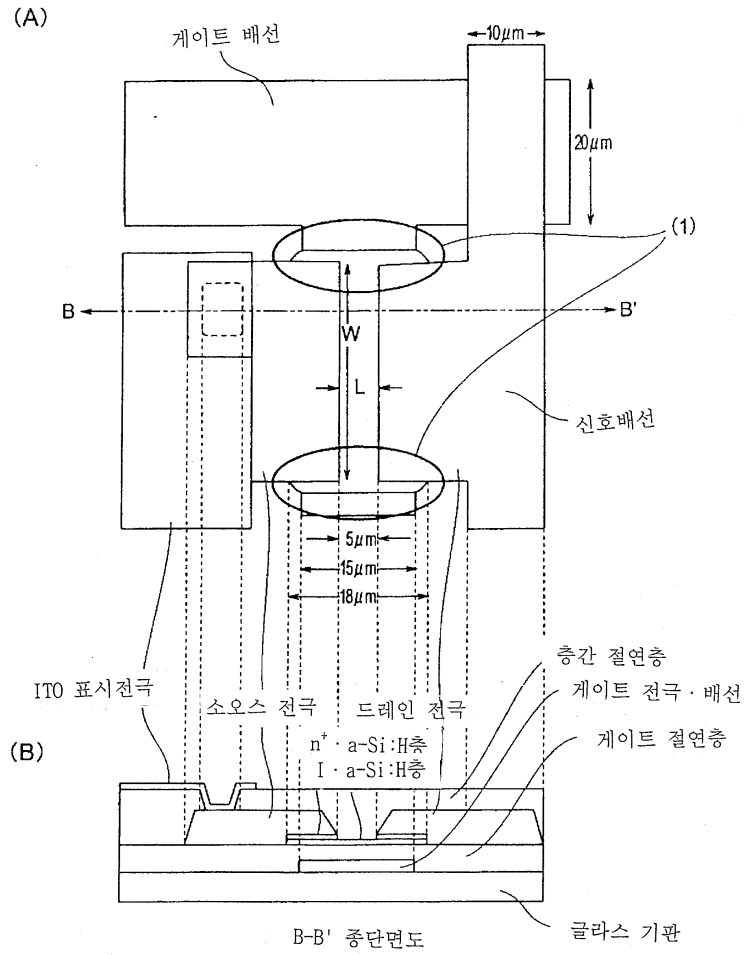
11 : 콘택홀(게이트 배선) 12 : 층간 절연막

13 : 콘택홀(소오스 전극) 14 : 투명유기수지층

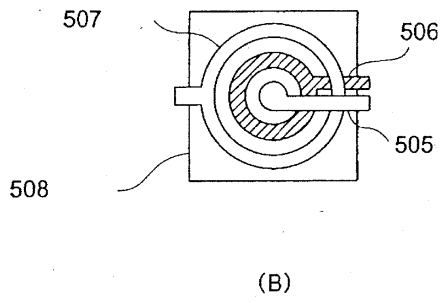
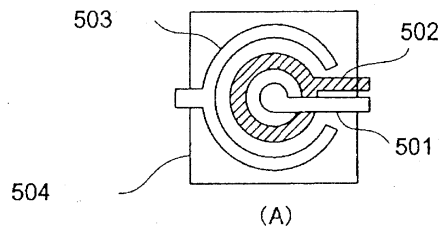
15 : ITO 표시전극 21 : 게이트배선 접속단자

도면

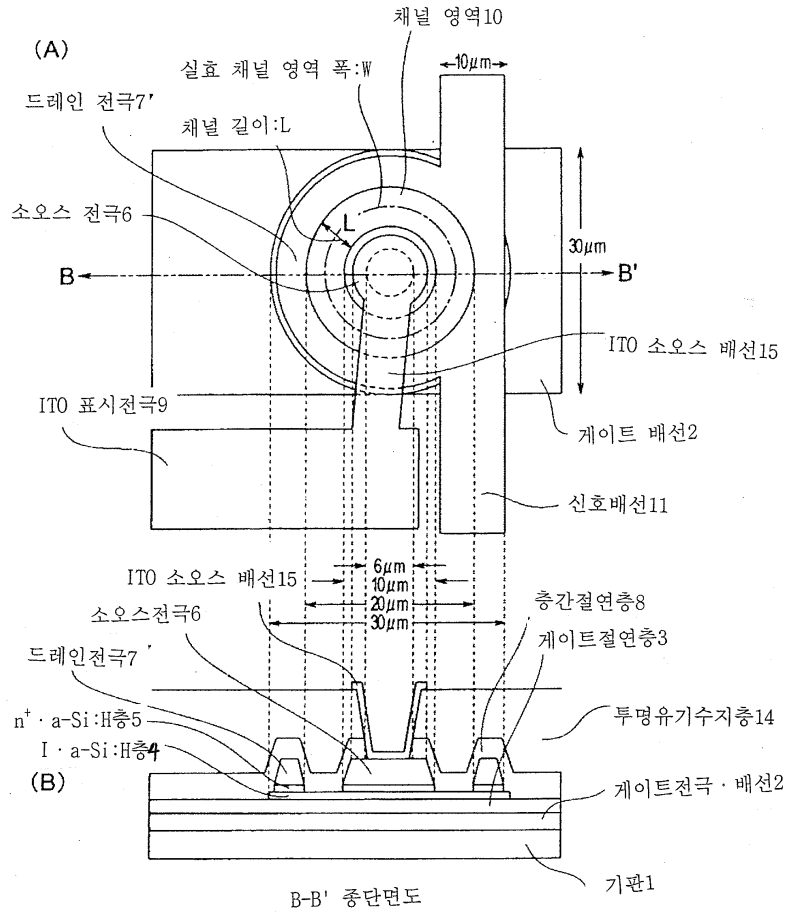
도면1



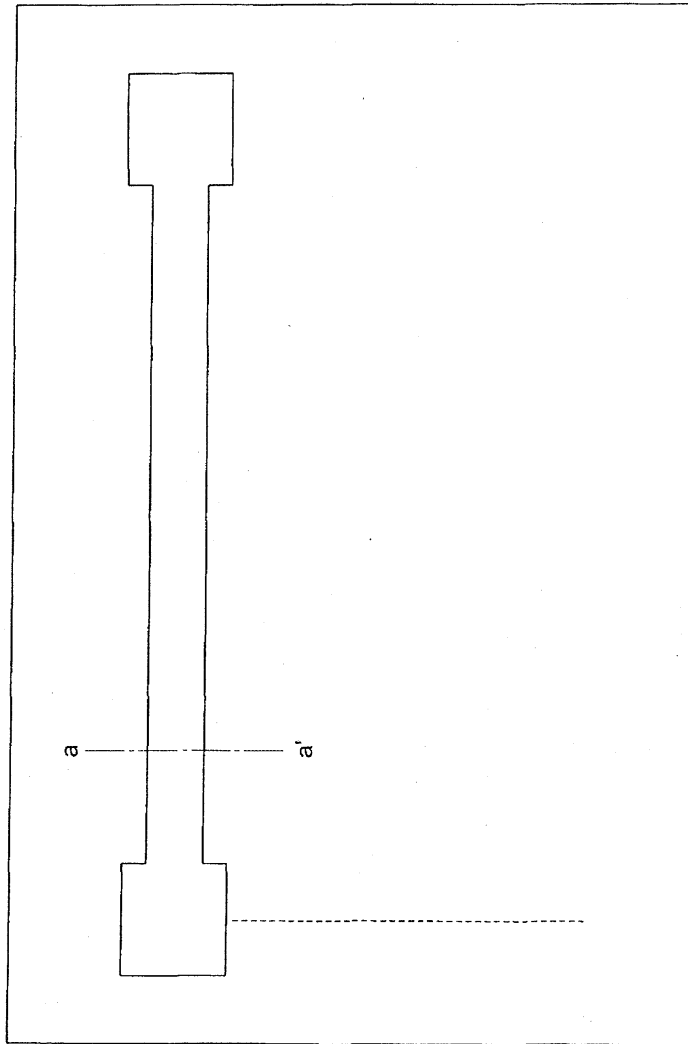
도면2



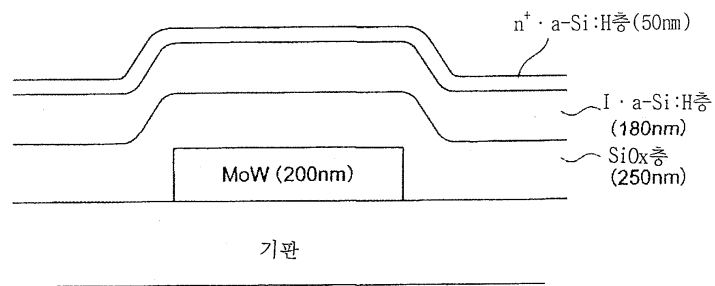
도면4



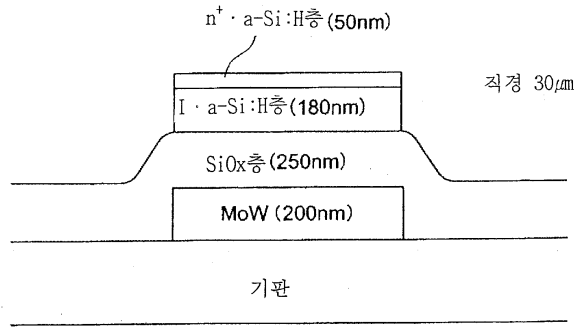
도면5



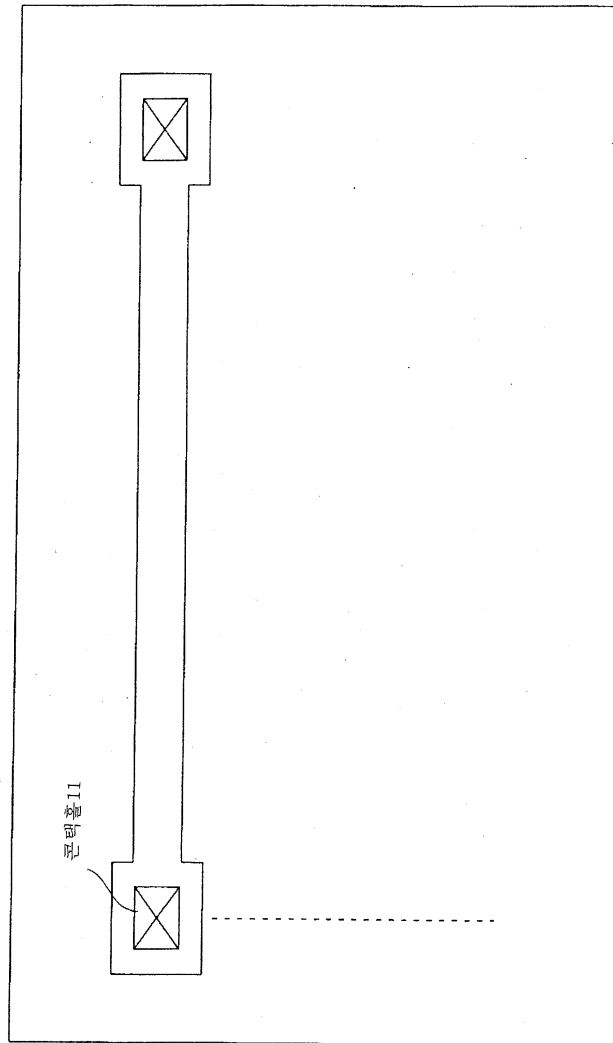
도면6



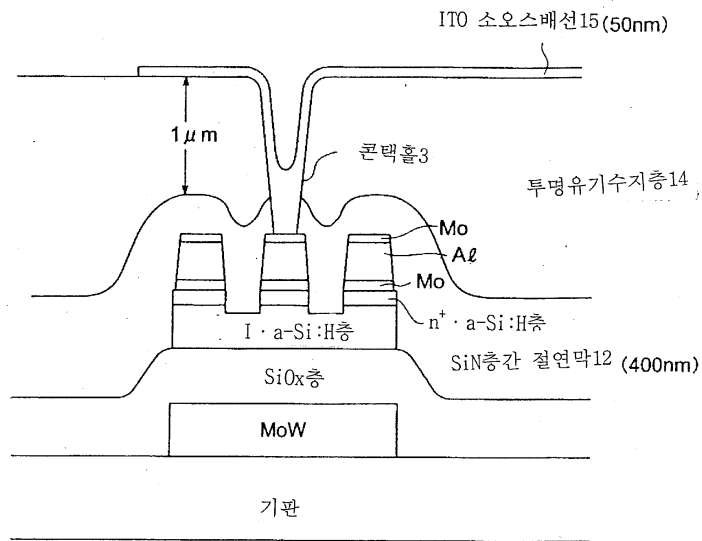
도면7



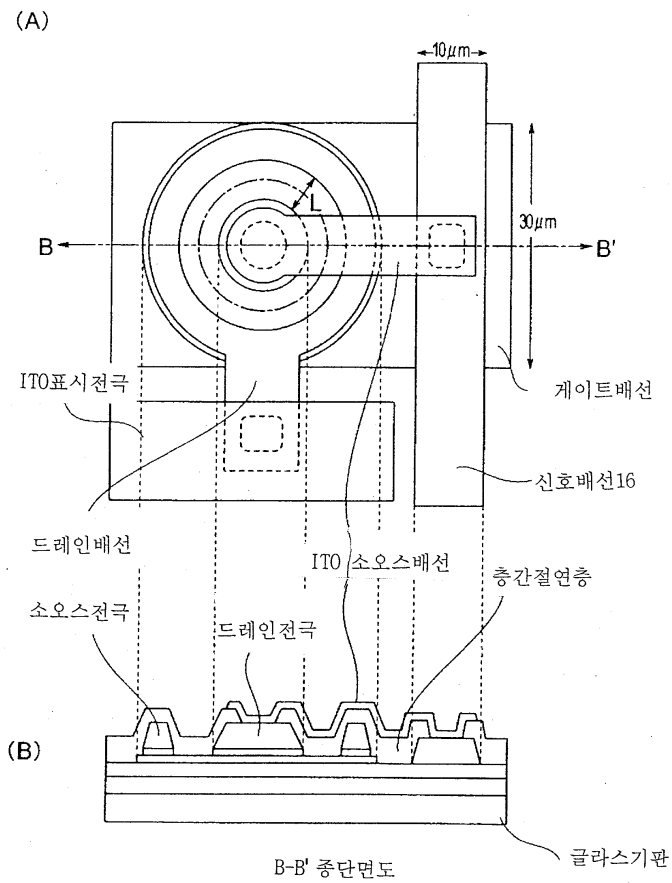
도면8



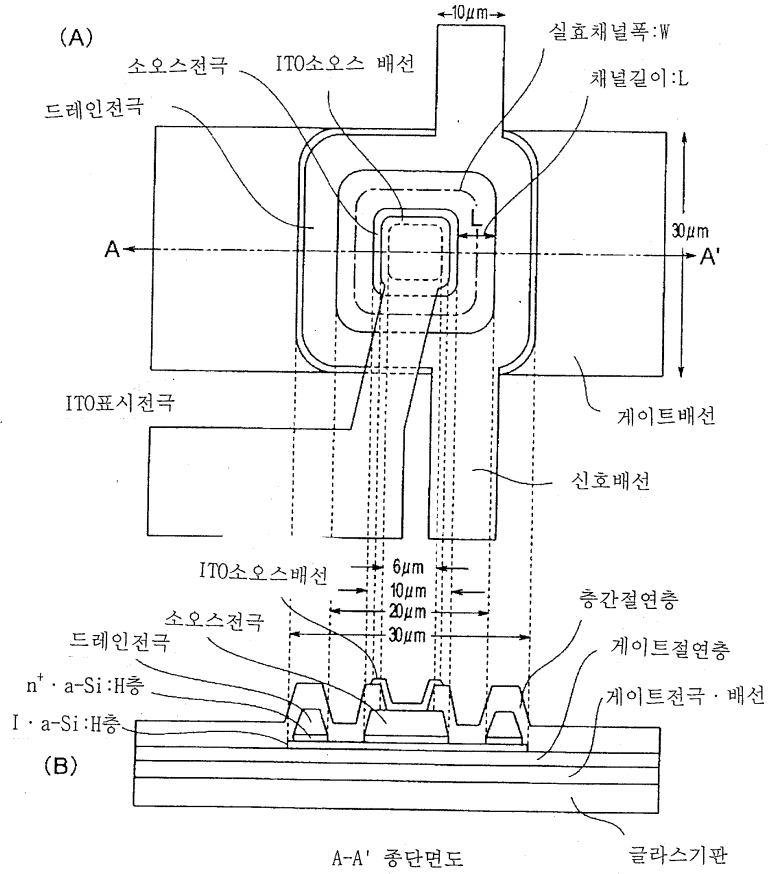
도면12



도면13



도면14



专利名称(译)	薄膜晶体管和使用它的液晶显示器		
公开(公告)号	KR100720428B1	公开(公告)日	2007-05-22
申请号	KR1020050072760	申请日	2005-08-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OANA YASUHISA 오아나야스히사		
发明人	오아나야스히사		
IPC分类号	G02F1/136		
CPC分类号	H01L27/124 G02F1/1368 H01L29/41733 H01L29/78606 H01L29/78696		
代理人(译)	Gimyongin Simchangseop		
优先权	2005132714 2005-04-28 JP		
其他公开文献	KR1020060113324A		
外部链接	Espacenet		

摘要(译)

在本发明中，通过以同心的形状形成源电极和漏电极，可以实现由漏电流引起的截止电流的减小，同时，导通电流在栅极之间流动 - 提供具有优化电容的薄膜晶体管。本征非晶硅层上的 (N+非晶硅) 层; 形成在基板上的栅电极; 设置在栅电极上的本征非晶硅 (Ia-Si : H) 层，其间插入有栅极绝缘膜; a-Si : H) 层，其中源极和漏极具有圆形形状，源极和漏极中的一个设置在中心，源极和漏极的另一侧 (Cgs) 面积约150 μm^2 或更小，沟道宽度 (W) 到沟道长度 (L) 比率 (W/L) 约为4.5或更高，充电容量指数 (S / (W/L)) 约为50或更低。 4

d: μm	L: μm	3	4	5	6	8	10
0	W/L	1 π	1 π	1 π	1 π	1 π	1 π
	S	2.25 π	4 π	6.25 π	9 π	16 π	25 π
3	W/L	2 π	1.75 π	1.6 π	1.5 π	1.375 π	1.3 π
	S	9 π	12.25 π	16 π	20.25 π	30.25 π	42.25 π
5	W/L	2.67 π	2.25 π	2 π	1.83 π	1.625 π	1.6 π
	S	16 π	20.25 π	25 π	30.25 π	42.25 π	56.25 π
8	W/L	3.66 π	3 π	2.6 π	2.33 π	2 π	1.8 π
	S	30.25 π	36 π	42.25 π	49 π	64 π	81 π
10	W/L	4.33 π	3.5 π	3 π	2.66 π	2.25 π	2 π
	S	42.25 π	49 π	56.25 π	64 π	81 π	100 π
12	W/L	5 π	4 π	3.4 π	3 π	2.5 π	2.2 π
	S	56.25 π	64 π	72.25 π	81 π	100 π	121 π
14	W/L	5.67 π	4.5 π	3.8 π	3.33 π	2.75 π	2.4 π
	S	72.25 π	81 π	91.25 π	100 π	121 π	144 π
16	W/L	6.33 π	5 π	4.2 π	3.66 π	3 π	2.8 π
	S	90.25 π	100 π	110.25 π	121 π	144 π	169 π
18	W/L	7 π	5.5 π	4.6 π	4 π	3.25 π	2.8 π
	S	110.25 π	121 π	132.25 π	144 π	169 π	196 π