(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G09G 3/36

(45) 공고일자 2002년12월05일
(11) 등록번호 10-0363540
(24) 등록일자 2002년11월21일

(21) 출원번호 10-2000-0079698
(22) 출원일자 2000년12월21일

(65) 공개번호 특2002-0050529
(43) 공개일자 2002년06월27일

(73) 특허권자 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416번지

(72) 발명자 연윤모
서울특별시서초구양재동94-16번지
이건빈
서울특별시영등포구당산동상아APT3동411호

(74) 대리인 임창현
권혁수

심사관 : 서호선

(54) 고속으로 구동되는 액정 디스플레이 장치 및 그것을 위한계조전압 발생회로

요약

여기에 개시된 액정 디스플레이 장치의 고속 구동을 위한 계조전압 발생회로는, 소오스 구동회로가 액정 패널에 구비된 액정 캐패시터들을 빠른 시간 안에 충전시킬 수 있도록 계조전압을 변형시켜 출력한다. 상기 소오스 구동회로는 계조전압 발생회로로부터 출력되는 계조전압에 응답해서, 정극성 구동시 하이 레벨의 게이트 클럭 신호가 인가되면 기존의 액정 구동전압 보다 높은 레벨의 액정 구동전압을 발생하고, 로우 레벨의 게이트 클럭 신호가 인가되면 기존의 액정 구동전압과 동일한 레벨의 액정 구동전압을 발생한다. 그리고, 부극성 구동시 하이 레벨의 게이트 클럭 신호가 인가되면 기존의 액정 구동전압 보다 낮은 레벨의 액정 구동전압을 발생하고, 로우 레벨의 게이트 클럭 신호가 인가되면 기존의 액정 구동전압과 동일한 레벨의 액정 구동전압을 발생한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 일반적인 액정 디스플레이 장치의 구성을 개략적으로 보여주기 위한 블록도;

도 2는 본 발명에 의한 액정 디스플레이 장치의 구성을 개략적으로 보여주기 위한 블록도;

도 3은 본 발명에 의한 계조전압 발생회로의 구성을 개략적으로 보여주기 위한 블록도;

도 4는 도 3에 도시된 클럭발생부의 보다 상세한 구성을 보여주기 위한 회로도;

도 5는 도 3에 도시된 전압 발생부의 보다 상세한 구성을 보여주기 위한 회로도;

도 6은 도 3에 도시된 계조전압 발생부의 보다 상세한 구성을 보여주기 위한 회로도;

도 7a 및 7b는 본 발명에 의한 계조전압 발생회로로부터 발생되는 계조전압 파형의 일례를 보여주기 위한 도면;

도 8 및 도 9는 도 7a 및 7b에 도시된 계조전압을 인가 받아 출력되는 소오스 구동회로의 출력 파형의 일례를 보여주기 위한 도면; 그리고

도 10a 내지 도 13b는 도 7a 및 7b에 도시된 계조전압에 의한 소오스 구동회로의 0-32, 0-48, 0-64, 그리고 32-64 계조의 응답 속도 측정 결과를 보여주기 위한 도면.

도면의 주요 부분에 대한 부호의 설명

1 : 액정 패널 2 : 게이트 구동회로

3 : 소오스 구동회로 4 : 타이밍 제어회로

5, 50 : 계조전압 발생회로 52 : 클럭발생부

54 : 전압 발생부 56 : 계조전압 발생부

100 : 액정 디스플레이 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 디스플레이 장치에 관한 것으로, 좀 더 구체적으로는 고속으로 구동되는 액정 디스플레이 장치 및 그것을 위한 계조전압 발생회로에 관한 것이다.

일반적으로, 액정(Liquid Crystal)은 어떤 온도의 범위에서 액체와 결정의 중간 성질을 갖는 유기 화합물로, 전압이나 온도 등에 의해 색이나 투명도가 달라진다. 액정을 이용하여 정보를 표현하는 LCD(Liquid Crystal Display)는 종래의 디스플레이 장치에 비해 적은 부피를 차지하고, 적은 소비 전력을 가지기 때문에 새로운 디스플레이 장치로서 각광을 받고 있다.

도 1은 일반적인 액정 디스플레이 장치(10)의 구성을 보여주기 위한 블록도이다. 도면을 참조하면, 액정 디스플레이 장치(10)는 액정 패널(1), 액정 패널(1)에 연결된 게이트 구동회로(2), 소오스 구동회로(3), 타이밍 제어회로(4), 그리고 계조전압 발생회로(gray voltage generating circuit)(또는 감마 기준전압 발생기(gamma reference voltage generating circuit))(5)를 포함한다.

상기 액정 패널(1)은, 다수 개의 게이트 라인들(G0 - Gn)과, 게이트 라인들(G0 - Gn) 각각에 수직으로 교차하는 다수 개의 데이터 라인들(D1 - Dm)로 구성된다. 각각의 게이트 라인들(G0 - Gn)에는 게이트 구동회로(2)가 연결되고, 각각의 데이터 라인들(D1 - Dm)에는 소오스 구동회로(3)가 연결된다. 액정 패널(1)의 각 게이트 라인과 데이터 라인이 교차하는 각각의 영역에는 하나의 화소(pixel)가 구성되며, 각각의 화소는 하나의 박막 트랜지스터(Thin Film Transistor ; TFT), 하나의 유지 캐패시터(storing capacitor ; Cst), 그리고 하나의 액정 캐패시터(liquid crystal capacitor ; Cp)로 구성된다. 액정 패널(1)을 구성하는 각각의 화소들은 적색(red ; R), 녹색(green ; G), 청색(blue ; B) 컬러에 대응되는 세 개의 부속 화소들(subpixels)을 더욱 포함한다. 액정 패널(1)을 통해 디스플레이 되는 화상은 R, G, B 세 종류의 컬러 필터의 조합에 의해 얻어지며, 이들의 조합에 의해 액정 디스플레이 장치(10)는 컬러 화상은 물론 순수한 적색, 녹색, 청색과, 계조치들(gray scales)을 디스플레이 할 수 있다.

타이밍 제어회로(4)는 색 신호(R, G, B), 수평 및 수직 동기신호(HSync, VSync), 그리고 클럭신호(CLK)에 응답해서 게이트 구동회로(2) 및 소오스 구동회로(3)에서 필요로 하는 제어신호들(예컨대, 게이트 클럭(Gate Clock), 게이트 온 신호(Gate On Signal) 등)을 발생한다. 그리고, 계조전압 발생회로(5)는 소오스 구동회로(3)에 연결되어, 액정 구동전압(Vdrive)을 생성하는 데 기준이 되는 전압(계조전압(gray voltage ; Vgray) 또는 감마기준전압(gamma reference voltage))을 발생한다. 계조전압 발생회로(5)의 일례는 2000년 5월 23일, Kim 등에 의해 획득된 미국특허 제 6,067,063호, "LIQUID CRYSTAL DISPLAY HAVING A WIDE VIEW ANGLE AND METHOD FOR DRIVING THE SAME"에 개시되어 있다. 여기에 개시되어 있는 계조전압 발생회로(5)는, 전원전압(VCC)과 접지(GND) 사이에 직렬 연결된 다수 개의 저항(R1 Rn+1)을 포함하며, 상기 각 저항들(R1 Rn+1)은 전원전압(VCC)을 소정 비율로 분배하여, n 개의 계조전압(VG1 VGn)을 발생한다.

상기와 같은 구조를 가지는 액정 디스플레이 장치(10)의 동작은 다음과 같다. 먼저, 게이트 구동회로(2)가 액정 패널(1)의 화소를 1열씩 순차적으로 스캐닝 하면, 소오스 구동회로(3)는 계조전압 발생회로(5)에서 출력되는 기준전압(Vgray)에 응답해서 타이밍 제어회로(4)를 통해 입력되는 색신호(R, G, B)에 의거한 액정 구동전압(Vdrive)을 발생하고, 발생된 액정 구동전압(Vdrive)을 매 스캐닝마다 액정 패널(1)에 인가하는 동작을 수행한다.

이와 같은 동작을 수행함에 있어서, 상기 박막 트랜지스터(TFT)는 스위치로 작용하는데, 예를 들어 상기 트랜지스터가 턴 온 상태일 때에는 소오스 구동회로(3)로부터 발생된 액정 구동전압(Vdrive)의해 액정 캐패시터(Cp)가 충전되고, 상기 트랜지스터가 턴 오프 상태일 때에는 액정 캐패시터(Cp)에 충전된 전압이 누설되는 것을 방지한다. 따라서, 액정 패널(1)을 구성하는 각각의 박막 트랜지스터(TFT)를 구동시키는 데에는 소오스 구동회로(3)로부터 인가되는 액정 구동전압(Vdrive)이 지대한 영향을 끼치는 것을 알 수 있다.

산업이 발달해감에 따라 점점 고속화 되어가고 있는 액정 디스플레이 장치 기술 분야의 특성에서 비추어 볼 때, 이와 같은 액정 캐패시터(Cp)의 충전 속도의 개선은 액정 디스플레이 장치의 구동 속도의 개선을 가져올 수 있는 매우 중요한 조건임에 틀림없다. 왜냐하면, 상기 액정 캐패시터(Cp)의 충전시, 소오스 구동회로(3)로부터 인가되는 액정 구동전압(Vdrive)이 높은 값을 가지면, 상기 액정 캐패시터(Cp)는 낮은 액정 구동전압(Vdrive)이 인가되었을 때 보다 더욱 빨리 충전될 것이고, 액정 캐패시터(Cp)의 빠른 충전은 액정 디스플레이 장치의 전체 구동 속도를 향상시킬 수 있는 것은 자명하기 때문이다.

액정 디스플레이 장치의 구동 속도를 향상시키기 위해 소오스 구동회로(3)로부터 인가되는 액정 구동전압(Vdrive)을 높여주는 방법은 여러 가지가 있을 수 있다. 예를 들어, 높은 레벨의 액정 구동전압(Vdrive)을 발생할 수 있도록 게이트 구동회로(2) 또는 소오스 구동회로(3) 자체의 설계를 변경하거나, 이들 구동회로(2, 3)로 제어 신호를 발생하는 타

이밍 제어회로(4)의 설계를 변경하는 방법이 그것이다. 그러나, 이와 같은 비교적 고가의 회로들에 대한 설계의 변경은, 액정 디스플레이 장치의 생산 단가를 높이는 문제를 유발한다. 그리고, 액정 구동전압(Vdrive)의 전위를 일률적으로 높여주게 되면 높아진 액정 구동전압(Vdrive)만큼 액정 디스플레이 장치의 전력 소모가 증가하는 문제가 발생된다. 따라서, 보다 적은 비용과 적은 전력 소모로 액정 디스플레이 장치의 구동 속도를 향상시킬 수 있는 방안이 요구된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 적은 비용과 적은 전력 소모로 액정 디스플레이 장치의 구동 속도를 향상시킬 수 있는 계조전압 발생회로를 제공하는데 있다.

발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 액정 디스플레이 장치는, 다수 개의 화소를 구비한 액정 패널과, 상기 액정 패널에 디스플레이 될 데이터에 대응되는 다수 개의 계조전압을 발생하기 위한 계조전압 발생회로와, 게이트 클럭 신호 및 다수 개의 제어신호들을 발생하기 위한 타이밍 제어회로와, 상기 게이트 클럭 신호에 응답해서 상기 액정 패널의 상기 화소를 1열씩 순차적으로 스캐닝하기 위한 게이트 구동회로, 그리고 상기 계조전압 및 상기 제어신호들에 응답해서 상기 액정 패널에 디스플레이 될 데이터에 대응되는 액정 구동전압을 발생하고, 발생된 상기 액정 구동전압을 매 스캐닝마다 상기 액정 패널로 인가하기 위한 소오스 구동회로를 포함한다. 상기 소오스 구동회로는, 상기 계조전압에 응답해서 상기 게이트 클럭신호의 하이 레벨 구간과 로우 레벨 구간별로 각기 다른 값을 가지는 액정 구동전압을 발생한다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 2 내지 도 13을 참조하여 상세히 설명한다.

본 발명의 신규한 액정 디스플레이 장치의 계조전압 발생회로는, 소오스 구동회로로 하여금 액정 캐패시터들을 빠른 시간 안에 충전시킬 수 있도록 소정의 구간 동안 고전위의 액정 구동전압을 발생하고, 상기 구간 이후에는 일반적인 액정 구동전압을 발생하도록 계조전압을 변형하여 출력한다. 그 결과, 적은 전력 소모로 액정 디스플레이 장치의 구동 속도가 향상된다.

도 2는 본 발명에 의한 액정 디스플레이 장치(100)의 구성을 개략적으로 보여주기 위한 블록도이다. 도면을 참조하면, 액정 디스플레이 장치(10)는 액정 패널(1), 액정 패널(1)에 연결된 다수 개의 게이트 구동회로(2), 다수 개의 소오스 구동회로(3), 타이밍 제어회로(4), 그리고 계조전압 발생회로(50)를 포함한다. 이와 같은 구성은, 도 1에 도시된 일반적인 액정 디스플레이 장치(10)의 구성과 비교할 때, 타이밍 제어회로(4)로부터 발생되는 게이트 클럭신호(Gate Clock)에 응답해서 계조전압(Vgray')을 발생하는 계조전압 발생회로(50)를 제외하고는 도 1에 도시된 액정 디스플레이 장치(10)와 동일한 구성을 가진다. 따라서, 동일한 구성을 가지고 동일한 동작을 수행하는 기능 블록에 대해서는 도 1에서 사용된 참조 번호를 그대로 사용하였으며, 중복된 설명을 피하기 위해 이들에 대한 상세 설명은 이하 생략하기로 한다.

이미 알려져 있는 바와 같이, 색신호(R, G, B)에 따라 다수의 계조전압 중 하나를 선택하고 이에 응답해서 액정 구동전압(Vdrive)을 액정 패널에 인가하는 기능을 수행하는 소오스 구동회로(3)의 기능은, 액정 패널(1)에 구비된 액정 캐패시터(Cp)의 충전 속도와 밀접한 관계를 가지고 있다. 그런데, 상기 액정 캐패시터(Cp)를 충전시키는 액정 구동전압(Vdrive)은, 결국 계조전압 발생회로(50)로부터 발생되는 계조전압(Vgray')에 의존한다. 따라서, 본 발명에 의한 액정 디스플레이 장치(100)는, 액정 패널(1)에 구비된 액정 캐패시터(Cp)의 충전 속도가 빨라질 수 있도록 소오스 구동

회로(3)로부터 발생되는 액정 구동전압(Vdrive)을 변화시키되, 게이트 구동회로(2), 소오스 구동회로(3) 및 타이밍 제어회로(4)처럼 고가이고, 복잡한 회로적 구성을 가지는 회로들에 대한 설계 변경 없이, 상기 회로들에 비해 훨씬 저가인 계조전압 발생회로(50)의 개발을 통해서 액정 디스플레이 장치(100)의 구동 속도를 향상시킨다.

도 3은 본 발명에 의한 계조전압 발생회로(50)의 구성을 개략적으로 보여주기 위한 블록도이다. 도 3을 참조하면, 본 발명에 의한 계조전압 발생회로(50)는 크게 클럭 발생부(52), 전압 발생부(54), 그리고 계조전압 발생부(56)로 구성된다. 클럭 발생부(52)는 타이밍 제어회로(4)로부터 발생되는 게이트 클럭신호(Gate Clock)에 응답해서 서로 중첩되지 않는 n 개의 클럭신호들(G_CLK1, …G_CLKn)을 발생하고, 전압 발생부(54)는 전원 전압(V_{DD})에 응답해서 전압 레벨이 각기 다른 n 개의 기준 전압들(Vref1, …Vrefn)을 발생한다. 여기서, 상기 전원 전압(V_{DD})은 아날로그 전압으로서, 소오스 구동 회로(3)의 전원전압으로 사용된다.

클럭 발생부(52) 및 전압 발생부(54)로부터 발생된 n 개의 클럭신호들(G_CLK1, …G_CLKn)과 n 개의 기준 전압들(Vref1, …Vrefn)이 계조전압 발생부(56)로 입력되면, 계조전압 발생부(56)는 상기 클럭신호들(G_CLK1, …G_CLKn)에 동기 되어 상기 기준 전압들(Vref1, …Vrefn)의 레벨에 따라 각기 다른 전위를 가지는 m 개의 계조전압들(Vgray1', …, Vgraym')을 발생한다. 아래에서 상세히 설명하겠지만, 상기 계조전압들(Vgray1', …, Vgraym')은 소오스 구동회로(3)로 하여금 하나의 게이트 클럭(Gate Clock) 주기(clock period) 동안 상기 클럭신호(Gate Clock)의 하이(high) 구간과 로우(low) 구간에 따라 각각 다른 값을 가지는 액정 구동전압(Vdrive')을 발생하도록 한다. 바로 이와 같은 특성을 가지는 소오스 구동회로(3)의 액정 구동전압(Vdrive')에 의해서 액정 패널(1)에 구비된 액정 캐패시터(Cp)의 충전 속도가 빨라지고, 액정 디스플레이 장치(100)의 구동 속도가 향상된다.

도 4는 도 3에 도시된 클럭발생부(52)의 회로도이고, 도 5는 도 3에 도시된 전압 발생부(54)의 회로도이다. 그리고, 도 6은 도 3에 도시된 계조전압 발생부(56)의 회로도이다. 도 4 및 도 5에 도시된 클럭발생부(52) 및 전압 발생부(54)는 각각 6개의 클럭신호들(G_CLK1, …G_CLK6)과 6개의 기준 전압들(Vref1, …Vref6)을 발생하며, 도 6에 도시된 계조전압 발생부(56)는 6개의 클럭신호들(G_CLK1, …G_CLK6)과 6개의 기준 전압들(Vref1, …Vref6)에 응답해서 10개의 계조전압들(Vgray1', …, Vgray10')을 발생한다. 여기서, 상기 회로들에 의해 발생되는 신호들의 개수는 회로의 구성에 따라 얼마든지 달라질 수 있으며, 도면에 도시된 회로들은 회로 구성의 일례에 불과하다.

먼저 도 4를 참조하면, 상기 클럭발생부(52)는 타이밍 제어회로(4)로부터 발생되는 게이트 클럭신호(Gate Clock)를 받아들이기 위한 입력 단자와, 상기 입력 단자에 병렬로 연결된 제 1 내지 제 6 클럭 발생 유닛(52a-52f), 그리고 상기 클럭 발생 유닛(52a-52f) 각각에 연결된 제 1 내지 제 6 출력단자들로 구성된다. 각각의 클럭 발생 유닛(52a-52f)은 상기 입력 단자와 상기 출력 단자 사이에 직렬로 연결된 캐패시터(C1, …, 또는 C6)와 저항(R1, …, 또는 R6)을 구비하여, 타이밍 제어회로(4)로부터 발생되는 게이트 클럭신호(Gate Clock)와 동일한 주기를 갖는 제 1 내지 제 6 클럭신호(G_CLK1, …, G_CLK6)들을 상기 출력 단자들을 통해서 서로 중첩되지 않게 출력한다.

도 5를 참조하면, 상기 전압 발생부(54)는 전원 전압(V_{DD})을 소정의 비율로 나누어 각기 다른 전압 레벨을 가지는 6개의 기준 전압들(Vref1, …, Vref6)을 발생하기 위한 제 1 내지 제 6 전압 발생 유닛(54a-54f)으로 구성된다. 제 1 내지 제 6 전압 발생 유닛(54a-54f)들은 전원 전압(V_{DD})과 접지 전압(GND) 사이에 병렬로 연결되며, 상기 전압 발생 유닛(54a-54f)들은 전원 전압(V_{DD})과 접지 전압(GND) 사이에 직렬로 연결된 두 개의 저항과, 상기 저항들 사이의 접점에 연결된 출력 단자를 각각 포함한다.

이어서 도 6을 참조하면, 상기 계조전압 발생부(56)는 액정의 정극성 구동에 사용하기 위한 제 1 내지 제 5 계조전압(Vgary1', …, Vgray5')을 발생하는 제 1 계조전압 발생유닛(56a)과, 액정의 부극성 구동에 사용하기 위한 제 6 내지 제 10 계조전압(Vgary6', …, Vgray10')을 발생하는 제 2 계조전압 발생유닛(56b)으로 구성된다.

제 1 계조전압 발생유닛(56a)은 클럭발생부(52)로부터 발생되는 클럭신호들(G_CLK1, G_CLK4, G_CLK5)과 전압 발생부(54)로부터 발생되는 기준 전압들(Vref1, Vref4, Vref5)을 받아들이기 위한 제 1 내지 제 6 입력 단자들과, 입력 단자들을 통해 입력되는 클럭신호들(G_CLK1, G_CLK4, G_CLK5)과 기준 전압들(Vref1, Vref4, Vref5)을 가산한 후 이를 소정의 비율로 증폭하여 계조전압들(Vgray1', Vgray4', Vgray5')를 발생하기 위한 제 1 내지 제 3 증폭 회로들(AMP1 - AMP3), 그리고 상기 증폭 회로들(AMP1, AMP3)로부터 발생되는 계조전압들(Vgray1', Vgray4', Vgray5')을 출력하기 위한 출력단자들을 포함한다. 여기서, 제 1 증폭 회로(AMP1)는 제 1 클럭신호(G_CLK1)와 제 1 기준 전압(Vref1)을 가산한 후 이를 소정의 비율로 증폭하여 제 1 계조전압(Vgray1')을 발생하고, 제 2 증폭 회로(AMP2)는 제 4 클럭신호(G_CLK4)와 제 4 기준 전압(Vref4)을 가산한 후 이를 소정의 비율로 증폭하여 제 4 계조전압(Vgray4')을 발생한다. 그리고, 제 3 증폭 회로(AMP3)는 제 5 클럭신호(G_CLK5)와 제 5 기준 전압(Vref5)을 가산한 후 이를 소정의 비율로 증폭하여 제 5 계조전압(Vgray5')을 발생한다. 여기서, 제 1 계조전압 발생유닛(56a)에 구비된 제 1 내지 제 3 증폭 회로들(AMP1 - AMP3)로부터 발생되는 계조전압들(Vgray1', Vgray4', Vgray5')을 수학식으로 나타내면 다음과 같다.

[수학식 1]

$$Vgray1' = \frac{R19+R20}{R19}\left[Vref1 + \frac{R1}{R1+R19} V_{G\_CLK}\right]$$

[수학식 2]

$$Vgray4' = \frac{R25+R26}{R25}\left[Vref4 + \frac{R4}{R4+R25} V_{G\_CLK}\right]$$

[수학식 3]

$$Vgray5' = \frac{R27+R28}{R27}\left[Vref5 + \frac{R5}{R5+R27} V_{G\_CLK}\right]$$

여기서, V_{G_CLK} 는 게이트 클럭신호(Gate Clock)의 교류 성분을 나타낸다.

상기 제 1 계조전압 발생유닛(56a)은, 이와 같은 계조전압들(Vgray1', Vgray4', Vgray5') 외에도 제 2 및 제 3 계조전압(Vgray2', Vgray3')을 더 발생하는데, 이 계조전압들(Vgray2', Vgray3')은 제 1 및 제 2 증폭회로(AMP1, AMP2)의 출력단 사이에 직렬로 연결된 저항들(R31, R32, R33)에 의해 분압된 전압 레벨을 가진다.

이어서, 제 2 계조전압 발생유닛(56b)을 살펴보면, 제 2 계조전압 발생유닛(56b)은 클럭발생부(52)로부터 발생되는 클럭신호들(G_CLK2, G_CLK3, G_CLK6)과 전압 발생부(54)로부터 발생되는 기준 전압들(Vref2, Vref3, Vref6)을 받아들이기 위한 제 7 내지 제 12 입력 단자들과, 입력 단자들을 통해 입력되는 기준 전압들(Vref2, Vref3, Vref6)에서 클럭신호들(G_CLK2, G_CLK3, G_CLK6)을 감산하여 계조전압들(Vgray6', Vgray7', Vgray10')을 발생하기 위한 제 4 내지 제 6 증폭 회로들(AMP4 - AMP6), 그리고 상기 증폭 회로들(AMP4 - AMP6)로부터 발생되는 계조전압들(Vgray6', Vgray7', Vgray10')을 출력하기 위한 출력단자들을 포함한다. 여기서, 제 4 증폭 회로(AMP4)는 제 2 기준 전압(Vref2)에서 제 2 클럭신호(G_CLK2)를 감산한 후 이를 소정의 비율로 증폭하여 제 6 계조전압(Vgray6')을 발생하고, 제 5 증폭 회로(AMP5)는 제 3 기준 전압(Vref3)에서 제 3 클럭신호(G_CLK3)를 감산한 후 이를 소정의 비율로 증폭하여 제 7 계조전압(Vgray7')을 발생한다. 그리고, 제 6 증폭 회로(AMP6)는 제 6 기준 전압(Vref6)에서 제 6 클럭신호(G_CLK6)를 감산한 후 이를 소정의 비율로 증폭하여 제 10 계조전압(Vgray10')을 발생한다. 여

기서, 제 2 계조전압 발생유닛(56b)에 구비된 제 4 내지 제 6 증폭 회로들(AMP4-AMP6)로부터 발생되는 계조전압들(Vgray6', Vgray7', Vgray10')을 수학식으로 나타내면 다음과 같다.

[수학식 4]

$$Vgray6' = \frac{R2+R21+R22}{R22}\left[Vref2 - \frac{R22}{R2+R21} V_{G\_CLK}\right]$$

[수학식 5]

$$Vgray7' = \frac{R3+R23+R24}{R24}\left[Vref3 - \frac{R24}{R3+R23} V_{G\_CLK}\right]$$

[수학식 6]

$$Vgray10' = \frac{R6+R29+R30}{R30}\left[Vref6 - \frac{R30}{R6+R29} V_{G\_CLK}\right]$$

여기서, V_{G_CLK} 는 게이트 클럭신호(Gate Clock)의 교류 성분을 나타낸다.

상기 제 2 계조전압 발생유닛(56b)은, 이와 같은 계조전압들(Vgray6', Vgray7', Vgray10') 외에도 제 8 및 제 9 계조전압(Vgray8', Vgray9')을 더 발생하는데, 이 계조전압들(Vgray8', Vgray9')은 제 5 및 제 6 증폭회로(AMP5, AMP6)의 출력단 사이에 직렬로 연결된 저항들(R38, R39, R40)에 의해 분압된 전압 레벨을 가진다.

상기 도면에서, 제 4 계조전압(Vgray4')과 제 7 계조전압(Vgray7')은 하나 또는 두 개의 출력 단자를 통해 출력 가능한 것으로 도시되어 있다. 예를 들어, 4번째 출력 단자를 통해 출력되는 제 4 계조전압(Vgray4')은 제 2 증폭 회로(AMP2)의 출력을 그대로 사용하는 것을 나타낸 것이며, 5번째 출력 단자를 통해 출력되는 제 4 계조전압(Vgray4')은 제 2 증폭 회로(AMP2)의 출력을 저항을 통해 소정의 비율로 분압하여 출력하는 것을 나타낸 것이다. 이와 같이, 계조전압 발생부(56)로부터 발생되는 계조전압들(Vgray1', …, Vgray10')은, 회로의 구성에 따라서 증폭 회로의 출력을 그대로 사용할 수도 있고, 소정의 비율로 분압하여 사용할 수 있다. 도면에서는 제 4 및 제 7 계조전압(Vgray4', Vgray7')에 대해서 나타내고 있지만, 이는 일례에 불과하며, 제 4 및 제 7 계조전압(Vgray4', Vgray7')을 제외한 다른 계조전압들에도 마찬가지로 적용될 수 있다.

도 7a 및 7b는 본 발명에 의한 계조전압 발생회로로부터 발생되는 계조전압 파형의 일례를 보여주기 위한 파형도이다. 도 7a는 정극성의 계조전압을 나타내며, 도 7b는 부극성의 계조전압을 나타낸다.

도면에서 ① 및 ①'으로 나타낸 파형은, 타이밍 제어회로(4)로부터 발생된 게이트 클럭 신호(Gate Clock)를, ② 및 ②'으로 나타낸 파형은 48 계조의 계조전압을, 그리고 ③ 및 ③'으로 나타낸 파형은 64 계조의 계조전압을 각각 나타낸다.

도 8 및 도 9는 도 7a 및 7b에 도시된 계조전압(Vgray1', …, Vgray10')을 인가 받아 출력되는 소오스 구동회로(3)의 출력 파형의 일례를 보여주기 위한 파형도이다. 여기서, 도 8은 도트 반전(dot inversion) 구동시의 파형이고, 도 9는 2-라인 반전(2-line inversion) 구동시의 파형으로서, 전원이 인가되지 않았을 때 백색을 나타내는 백색 모드(Normally White Mode)시의 파형을 나타내고 있다.

도 8 및 도 9에는 타이밍 제어회로(4)로부터 출력되는 게이트 클럭신호(Gate Clock)와, 종래 기술에 의한 액정 디스플레이 장치의 소오스 구동회로의 출력 신호(Vdrive), 본 발명에 의한 액정 디스플레이 장치(100)의 소오스 구동회로(3)의 출력 신호(Vdrive'), 그리고 n 내지 n+3 번째 라인을 구동시키기 위해 타이밍 제어회로(4)로부터 출력되는 게이트 온 신호들(Gate On(n) - Gate On(n+3))이 도시되어 있다.

도면을 참조하면, 종래기술에 의한 액정 디스플레이 장치의 소오스 구동회로는 게이트 클럭신호(Gate Clock)의 매 주기마다 V_{F+} 및 V_{F-} 의 전압 레벨을 갖는 액정 구동전압(Vdrive)을 발생한다. 상기 액정 구동전압(Vdrive)은 공통 전압(Vcom)을 기준으로 양의 방향과 음의 방향으로 서로 대칭을 이룬다.

그러나, 본 발명에 의한 액정 디스플레이 장치(100)의 소오스 구동회로(3)는 게이트 클럭신호(Gate Clock)의 매 주기마다 계조전압에 따라 변화하는 액정 구동전압(Vdrive' = Vgray(t))을 발생한다. 이 액정 구동전압(Vdrive')은 게이트 클럭신호(Gate Clock)의 매 주기에 있어서, 하이 레벨인 구간과 로우 레벨인 구간별로 각각 다른 레벨을 가지는 액정 구동전압(Vdrive')을 발생한다. 즉, 상기 액정 구동전압(Vdrive' = Vgray'(t))은 액정 패널(1)에 구비된 액정 캐패시터(Cp)들을 고속으로 충전시키기에 충분한 양의 고전압 및 음의 고전압을 발생하되, 상기 고전압을 지속적으로 발생하지 않고, 소정의 구간 동안만 발생하여 고전압 발생으로 인한 전력 소모를 방지한다.

먼저 도 8을 참조하면, 예를 들어 도트 반전(dot inversion) 구동시, n 번째 라인을 구동시키기 위한 게이트 온 신호(Gate On(n))가 인가될 경우의 정극성 구동을 살펴보면, 소오스 구동회로(3)는 게이트 클럭 신호(Gate Clock)가 하이 레벨일 때, 기존의 액정 구동전압(Vdrive) 보다 상당히 높은 제 1 전압 레벨의 액정 구동전압(Vdrive')을 발생하고, 게이트 클럭 신호(Gate Clock)가 로우 레벨 일 때, 기존의 액정 구동전압(Vdrive)과 동일한 V_{F+} 의 전압 레벨을 갖는 제 2 전압 레벨의 액정 구동전압(Vdrive')을 발생한다. 여기서, 액정 구동전압(Vdrive')이 가지는 제 1 및 제 2 전압 레벨은 모두 공통 전압(Vcom) 보다 높은 값을 가지며, 제 1 전압 레벨은 제 2 전압 레벨보다 더욱 높은 값을 가진다.

그리고, n+1 번째 라인을 구동시키기 위한 게이트 온 신호(Gate On(n))가 인가될 경우의 부극성 구동을 살펴보면, 소오스 구동회로(3)는 게이트 클럭 신호(Gate Clock)가 하이 레벨일 때, 기존의 액정 구동전압(Vdrive) 보다 상당히 낮은 레벨의 제 3 전압 레벨의 액정 구동전압(Vdrive')을 발생하고, 게이트 클럭 신호(Gate Clock)가 로우 레벨 일 때, 기존의 액정 구동전압(Vdrive)과 동일한 V_{F-} 의 전압 레벨을 갖는 제 4 전압 레벨의 액정 구동전압(Vdrive')을 발생한다. 여기서, 액정 구동전압(Vdrive')이 가지는 제 3 및 제 4 전압 레벨은 모두 공통 전압(Vcom) 보다 낮은 값을 가지며, 제 3 전압 레벨은 제 4 전압 레벨보다 더욱 낮은 값을 가진다.

이어서 도 9를 참조하면, 예를 들어 2-라인 반전(2-line inversion) 구동시, n 및 n+1 번째 라인을 구동시키기 위한 게이트 온 신호(Gate On(n))가 인가될 경우의 정극성 구동을 살펴보면, 소오스 구동회로(3)는 게이트 클럭 신호(Gate Clock)가 하이 레벨일 때, 기존의 액정 구동전압(Vdrive) 보다 상당히 높은 레벨의 액정 구동전압(Vdrive')을 발생하고, 게이트 클럭 신호(Gate Clock)가 로우 레벨 일 때, 기존의 액정 구동전압(Vdrive)과 동일한 V_{F+} 의 전압 레벨을 갖는 액정 구동전압(Vdrive')을 발생한다. 그리고, n+2 및 n+3 번째 라인을 구동시키기 위한 게이트 온 신호(Gate On(n))가 인가될 경우의 부극성 구동을 살펴보면, 소오스 구동회로(3)는 게이트 클럭 신호(Gate Clock)가 하이 레벨일 때, 기존의 액정 구동전압(Vdrive) 보다 상당히 낮은 레벨의 액정 구동전압(Vdrive')을 발생하고, 게이트 클럭 신호(Gate Clock)가 로우 레벨 일 때, 기존의 액정 구동전압(Vdrive)과 동일한 V_{F-} 의 전압 레벨을 갖는 액정 구동전압(Vdrive')을 발생한다. 도 7 및 도 8에 도시된 소오스 구동회로(3)의 출력 파형은 라인 구동 방법의 종류에 따라 그 파형이 달라지는 것으로서, 다양한 종류의 라인 구동 방법(예컨대, n-라인 반전(n-line inversion) 구동 방법)에도 적용 가능하다.

도 10a 내지 도 13b는 도 7a 및 7b에 도시된 계조전압에 의한 소오스 구동회로(3)의 0-32, 0-48, 0-64, 그리고 32-64 계조의 응답 속도 측정 결과를 보여주기 위한 도면이다. 구체적으로, 도 10a는 종래 기술에 의한 소오스 구동회로의 0-32 계조의 응답속도를, 도 10b는 본 발명에 의한 소오스 구동회로의 0-32 계조의 응답속도를, 도 11a는 종래 기술에 의한 소오스 구동회로의 0-48 계조의 응답속도를, 도 11b는 본 발명에 의한 소오스 구동회로의 0-48 계조의 응답속도를, 도 12a는 종래 기술에 의한 소오스 구동회로의 0-64 계조의 응답속도를, 도 12b는 본 발명에 의한 소오

스 구동회로의 0-64 계조의 응답속도를, 도 13a는 종래 기술에 의한 소오스 구동회로의 32-64 계조의 응답속도를, 그리고 도 13b는 본 발명에 의한 소오스 구동회로의 32-64 계조의 응답속도를 각각 나타낸다.

상기 측정 결과는, 각각 정극성 및 부극성을 가지는 5개의 소오스 구동회로에 대해 도 7a 및 도 7b에 도시된 48 계조의 계조전압(② 및 ②') 및 64 계조의 계조전압(③ 및 ③')을 변경하여 인가하여 측정한 것을 나타낸다. 여기서, 각 파형의 라이징 타임(rising time)은 휘도 기준으로 나타낸 것으로, 액정의 움직임을 기준으로 볼 때 액정의 폴링 타임(falling time)에 해당된다.

도 10a 및 도 10b를 참조하면, 0-32 계조에 대한 소오스 구동회로의 응답속도에 있어서, 종래 기술에 의한 라이징 타임(즉, 액정의 폴링 타임)은 26.0ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 3.6ms인 반면, 본 발명에 의한 라이징 타임(즉, 액정의 폴링 타임)은 24.2ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 3.6ms인 것을 알 수 있다. 이 경우, 휘도 기준의 폴링 타임에는 변화가 없으나, 휘도 기준의 라이징 타임은 26ms에서 24.2ms로 1.8ms가 감소된 것을 알 수 있다.

도 11a 및 도 11b를 참조하면, 0-48 계조에 대한 소오스 구동회로의 응답속도에 있어서, 종래 기술에 의한 라이징 타임(즉, 액정의 폴링 타임)은 36.8ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 3.6ms인 반면, 본 발명에 의한 라이징 타임(즉, 액정의 폴링 타임)은 26.2ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 4.4ms인 것을 알 수 있다. 이 경우, 휘도 기준의 폴링 타임은 0.8ms 정도 증가했으나, 휘도 기준의 라이징 타임은 36.8ms에서 26.2ms로 10.6ms가 감소된 것을 알 수 있다.

도 12a 및 도 12b를 참조하면, 0-64 계조에 대한 소오스 구동회로의 응답속도에 있어서, 종래 기술에 의한 라이징 타임(즉, 액정의 폴링 타임)은 22.6ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 4.7ms인 반면, 본 발명에 의한 라이징 타임(즉, 액정의 폴링 타임)은 15.1ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 4.6ms인 것을 알 수 있다. 이 경우, 휘도 기준의 폴링 타임은 0.1ms 정도 감소했고, 휘도 기준의 라이징 타임은 22.6ms에서 15.1ms로 7.5ms가 감소된 것을 알 수 있다.

도 13a 및 도 13b를 참조하면, 32-64 계조에 대한 소오스 구동회로의 응답속도에 있어서, 종래 기술에 의한 라이징 타임(즉, 액정의 폴링 타임)은 20.8ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 3.4ms인 반면, 본 발명에 의한 라이징 타임(즉, 액정의 폴링 타임)은 15.0ms이고, 폴링 타임(즉, 액정의 라이징 타임)은 3.4ms인 것을 알 수 있다. 이 경우, 휘도 기준의 폴링 타임에는 변화가 없으나, 휘도 기준의 라이징 타임은 20.8ms에서 15.0ms로 5.8ms가 감소된 것을 알 수 있다.

도 10a 내지 도 13b를 참조하면, 본 발명에 의한 소오스 구동회로(3)의 응답속도는, 0-32 계조의 경우 26ms에서 24.2ms로 1.8ms가 감소되고, 0-48 계조의 경우 36.8ms에서 26.2ms로 10.6ms가 감소되고, 0-64 계조의 경우 22.6ms에서 15.1ms로 7.5ms가 감소되고, 그리고 32-64 계조의 경우 20.8ms에서 15.0ms로 5.8ms가 감소된 것을 알 수 있다. 이를 표로 나타내면 다음과 같다.

[표 1]

[표 1]

액정의 폴링 타임		
	종래기술	본발명
0 - 32 계조	26.0 ms (1.00)	24.2 ms (0.93)
0 - 48 계조	36.8 ms (1.00)	26.2 ms (0.71)
0 - 64 계조	22.6 ms (1.00)	15.1 ms (0.67)
32 - 64 계조	20.8 ms (1.00)	15.0 ms (0.72)

상기 [표 1]에서 나타내고 있는 액정의 폴링 타임은 양자 모두 동일한 조건에서 수행된 모의실험의 결과이며, 괄호 안에 표시된 숫자는 종래 기술에 의한 액정의 폴링 타임을 기준으로 하여 정규화(normalization)한 결과를 각각 나타낸다.

[표 1]을 참조하면, 액정의 폴링 타임은 0-32 계조의 경우, 26.0ms에서 24.2ms로 1.8ms가 단축되었고, 0-48 계조의 경우, 36.8ms에서 26.2ms로 10.6ms가 단축되었다. 그리고, 0-64 계조의 경우, 22.6ms에서 15.1ms로 7.5ms가 단축되었고, 32-64 계조의 경우, 20.8ms에서 15.0ms로 5.8ms가 단축되었다. 이를 정규화된 결과로 비교해 보면, 액정의 폴링 타임은 0-32 계조의 경우 7%가 개선되었고, 0-48 계조의 경우 29%가 개선되었고, 0-64 계조의 경우 33%가 개선되었고, 그리고 32-64 계조의 경우 28%가 개선되었다. [표 1]에서 알 수 있듯이, 액정의 폴링 타임의 속도, 즉 액정 디스플레이 장치의 구동 속도는, 나타내고자 하는 계조치가 많아질수록 더욱 개선되는 것을 알 수 있다.

앞에서 설명한 바와 같이, 본 발명에 의한 계조전압 발생회로(50)는, 소오스 구동회로(3)로 하여금 도 7 및 도 8에 도시된 바와 같은 전압 레벨을 가지는 액정 구동전압(Vdrive')을 발생하도록 계조전압(Vgray')을 변형시켜 출력한다. 그 결과, 소오스 구동회로(3)는 게이트 클럭신호(Gate Clock)의 매 주기마다 계조전압에 따라 변화하는 액정 구동전압(Vdrive' = Vgray'(t))을 발생한다. 그리고, 액정 패널(1)에 구비된 액정 캐패시터(Cp)들은, 상기 소오스 구동회로(3)로부터 인가되는 액정 구동전압(Vdrive')에 의해 빠른 속도로 충전된다. 그 결과, 액정의 폴링 타임(falling time)이 단축되어, 액정 디스플레이 장치의 구동 속도가 향상된다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

이상과 같은 본 발명에 의하면, 본 발명에 의한 계조전압 발생회로는 소오스 구동회로로 하여금 액정 캐패시터들을 빠른 시간 안에 충전시킬 수 있도록 소정의 구간 동안 고전위의 액정 구동전압을 발생하고, 상기 구간 이후에는 일반적인 액정 구동전압을 발생하도록 계조전압을 변형하여 출력하므로, 적은 전력 소모로 액정 디스플레이 장치의 구동 속도를 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

액정 디스플레이 장치에 있어서:

다수 개의 화소를 구비한 액정 패널과;

게이트 클럭 신호 및 다수 개의 제어신호들을 발생하기 위한 타이밍 제어회로와;

상기 게이트 클럭 신호에 응답해서 상기 액정 패널에 디스플레이 될 데이터에 대응되는 다수 개의 계조전압을 발생하기 위한 계조전압 발생회로와;

상기 게이트 클럭 신호에 응답해서 상기 액정 패널의 상기 화소를 1열씩 순차적으로 스캐닝하기 위한 게이트 구동회로 ; 그리고

상기 계조전압 및 상기 제어신호들에 응답해서 상기 액정 패널에 디스플레이 될 데이터에 대응되는 액정 구동전압을 발생하고, 발생된 상기 액정 구동전압을 매 스캐닝마다 상기 액정 패널로 인가하기 위한 소오스 구동회로를 포함하되,

상기 소오스 구동회로는, 상기 계조전압에 응답해서 상기 게이트 클럭신호의 하이 레벨 구간과 로우 레벨 구간별로 각기 다른 값을 가지는 액정 구동전압을 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 2.

제 1 항에 있어서,

상기 소오스 구동회로는,

상기 액정 패널의 정극성 구동시, 상기 게이트 클럭신호의 하이 레벨 구간 동안에는 제 1 전압 레벨을 가지는 액정 구동전압을 발생하고, 그리고 상기 게이트 클럭신호의 로우 레벨 구간 동안에는 제 2 전압 레벨을 가지는 액정 구동전압을 발생하되,

상기 제 1 및 제 2 전압 레벨은 모두 공통 전압 보다 높으며, 제 1 구동전압은 제 2 구동전압 보다 높은 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 3.

제 2 항에 있어서,

상기 소오스 구동회로는,

상기 액정 패널의 부극성 구동시, 상기 게이트 클럭신호의 하이 레벨 구간 동안에는 제 3 전압 레벨을 가지는 액정 구동전압을 발생하고, 그리고 상기 게이트 클럭신호의 로우 레벨 구간 동안에는 제 4 전압 레벨을 가지는 액정 구동전압을 발생하되,

상기 제 1 및 제 2 전압 레벨은 모두 상기 공통 전압 보다 낮으며, 제 3 구동전압은 제 4 구동전압 보다 낮은 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 4.

제 1 항에 있어서,

상기 계조전압 발생회로는,

상기 게이트 클럭 신호에 응답해서 상기 게이트 클럭신호와 동일한 주기를 갖는 다수 개의 클럭 신호들을 발생하기 위한 클럭발생부와;

상기 소오스 구동회로의 전원 전압을 소정의 비율로 분압하여, 상기 계조전압을 발생하는데 기준이 되는 다수 개의 전압들을 발생하기 위한 전압 발생부; 그리고

상기 클럭발생부 및 상기 전압 발생부로부터 발생된 상기 클럭 신호들 및 상기 전압들에 응답해서 다수 개의 상기 계조전압들을 상기 소오스 구동회로로 발생하기 위한 계조전압 발생부를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 5.

제 4 항에 있어서,

상기 클럭발생부는,

상기 게이트 클럭신호를 받아들이기 위한 입력 단자와;

상기 입력 단자에 병렬로 연결된 n 개의 클럭 발생 유닛; 그리고

상기 n 개의 클럭 발생 유닛 각각에 연결된 n 개의 출력단자들을 포함하되,

상기 각각의 클럭 발생 유닛은 상기 입력 단자와 상기 출력 단자 사이에 직렬로 연결된 캐패시터와 저항을 구비하여, 상기 게이트 클럭신호와 동일한 주기를 갖는 클럭신호를 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 6.

제 4 항에 있어서,

상기 전압 발생부는,

상기 전원 전압을 소정의 비율로 분압하여 각기 다른 전압 레벨을 가지는 n 개의 상기 전압들을 발생하기 위한 n 개의 전압 발생 유닛을 포함하되,

상기 각각의 전압 발생 유닛은, 상기 전원 전압과 접지 전압 사이에 연결된 적어도 두 개 이상의 저항들과, 상기 저항들 사이의 접점 중 어느 하나에 연결된 출력 단자를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 7.

제 4 항에 있어서,

상기 계조전압 발생부는,

상기 액정 패널의 정극성 구동을 위해, 상기 게이트 클럭 신호와 동일한 극성 및 각기 다른 전압 레벨을 가지는 m/2 개의 계조전압을 발생하는 제 1 계조전압 발생유닛; 그리고

상기 액정 패널의 부극성 구동을 위해, 상기 게이트 클럭 신호와 반대의 극성 및 각기 다른 전압 레벨을 가지는 m/2 개의 계조전압을 발생하는 제 2 계조전압 발생유닛을 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 8.

제 7 항에 있어서,

상기 제 1 계조전압 발생유닛은,

상기 클럭발생부로부터 입력되는 상기 n 개의 클럭신호들 중 어느 하나와 상기 전압 발생부로부터 입력되는 상기 n 개의 기준 전압들 중 어느 하나를 받아들이기 위한 제 1 입력 단자와, 저항을 통해 접지와 연결된 제 2 입력 단자와, 출력 단자, 그리고 상기 제 2 입력단자와 상기 출력 단자 사이에 연결된 피드백 저항을 구비한 적어도 하나 이상의 증폭 회로를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 9.

제 8 항에 있어서,

상기 증폭 회로는, 상기 클럭신호와 상기 기준 전압을 가산한 후 이를 소정의 비율로 증폭하여 상기 계조전압을 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 10.

제 8 항에 있어서,

상기 증폭 회로는, 상기 계조전압을 분압하기 위한 적어도 하나 이상의 저항과, 상기 저항의 접점에 연결되어 상기 분압된 계조전압을 출력하기 위한 적어도 하나 이상의 출력 단자를 더욱 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 11.

제 7 항에 있어서,

상기 제 2 계조전압 발생유닛은,

상기 전압 발생부로부터 입력되는 상기 n 개의 기준 전압들 중 어느 하나를 받아들이기 위한 제 1 입력 단자와, 저항을 통해서 상기 클럭발생부로부터 입력되는 상기 n 개의 클럭신호들 중 어느 하나를 받아들이기 위한 제 2 입력 단자와, 출력 단자, 그리고 상기 제 2 입력단자와 상기 출력 단자 사이에 연결된 피드백 저항을 구비한 적어도 하나 이상의 증폭 회로를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 12.

제 11 항에 있어서,

상기 증폭 회로는, 상기 기준 전압에서 상기 클럭신호를 감산한 후, 이를 소정의 비율로 증폭하여 상기 계조전압을 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 13.

제 11 항에 있어서,

상기 증폭 회로는, 상기 계조전압을 분압하기 위한 적어도 하나 이상의 저항과, 상기 저항의 접점에 연결되어 상기 분압된 계조전압을 출력하기 위한 적어도 하나 이상의 출력 단자를 더욱 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치.

청구항 14.

다수 개의 화소를 구비한 액정 패널과, 상기 액정 패널에 디스플레이 될 데이터에 대응되는 다수 개의 계조전압을 발생하기 위한 계조전압 발생회로와, 게이트 클럭 신호 및 다수 개의 제어신호들을 발생하기 위한 타이밍 제어회로와, 상기 게이트 클럭 신호에 응답해서 상기 액정 패널의 상기 화소를 1열씩 순차적으로 스캐닝하기 위한 게이트 구동회로, 그리고 상기 계조전압 및 상기 제어신호들에 응답해서 상기 액정 패널에 디스플레이 될 데이터에 대응되는 액정 구동전압을 발생하고, 발생된 상기 액정 구동전압을 매 스캐닝마다 상기 액정 패널로 인가하기 위한 소오스 구동회로를 구비한 액정 디스플레이 장치의 계조전압 발생회로에 있어서:

상기 게이트 클럭 신호에 응답해서 상기 게이트 클럭신호와 동일한 주기를 갖는 다수 개의 클럭 신호들을 발생하기 위한 클럭발생부와;

상기 소오스 구동회로의 전원 전압을 소정의 비율로 분압하여, 상기 계조전압을 발생하는데 기준이 되는 다수 개의 전압들을 발생하기 위한 전압 발생부; 그리고

상기 클럭발생부 및 상기 전압 발생부로부터 발생된 상기 클럭 신호들 및 상기 전압들에 응답해서 다수 개의 상기 계조전압들을 상기 소오스 구동회로로 발생하기 위한 계조전압 발생부를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 15.

제 14 항에 있어서,

상기 클럭발생부는,

상기 게이트 클럭신호를 받아들이기 위한 입력 단자와;

상기 입력 단자에 병렬로 연결된 n 개의 클럭 발생 유닛; 그리고

상기 n 개의 클럭 발생 유닛 각각에 연결된 n 개의 출력단자들을 포함하되,

상기 각각의 클럭 발생 유닛은 상기 입력 단자와 상기 출력 단자 사이에 직렬로 연결된 캐패시터와 저항을 구비하여, 상기 게이트 클럭신호와 동일한 주기를 갖는 클럭신호를 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 16.

제 14 항에 있어서,

상기 전압 발생부는,

상기 전원 전압을 소정의 비율로 분압하여 각기 다른 전압 레벨을 가지는 n 개의 상기 전압들을 발생하기 위한 n 개의 전압 발생 유닛을 포함하되,

상기 각각의 전압 발생 유닛은, 상기 전원 전압과 접지 전압 사이에 연결된 적어도 두 개 이상의 저항들과, 상기 저항들 사이의 접점 중 어느 하나에 연결된 출력 단자를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 17.

제 14 항에 있어서,

상기 계조전압 발생부는,

상기 액정 패널의 정극성 구동을 위해, 상기 게이트 클럭 신호와 동일한 극성 및 각기 다른 전압 레벨을 가지는 m/2 개의 계조전압을 발생하는 제 1 계조전압 발생유닛; 그리고

상기 액정 패널의 부극성 구동을 위해, 상기 게이트 클럭 신호와 반대의 극성 및 각기 다른 전압 레벨을 가지는 m/2 개의 계조전압을 발생하는 제 2 계조전압 발생유닛을 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 18.

제 17 항에 있어서,

상기 제 1 계조전압 발생유닛은,

상기 클럭발생부로부터 입력되는 상기 n 개의 클럭신호들 중 어느 하나와 상기 전압 발생부로부터 입력되는 상기 n 개의 기준 전압들 중 어느 하나를 받아들이기 위한 제 1 입력 단자와, 저항을 통해 접지와 연결된 제 2 입력 단자와, 출력 단자, 그리고 상기 제 2 입력단자와 상기 출력 단자 사이에 연결된 피드백 저항을 구비한 적어도 하나 이상의 증폭 회로를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 19.

제 18 항에 있어서,

상기 증폭 회로는, 상기 클럭신호와 상기 기준 전압을 가산한 후 이를 소정의 비율로 증폭하여 상기 계조전압을 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 20.

제 18 항에 있어서,

상기 증폭 회로는, 상기 계조전압을 분압하기 위한 적어도 하나 이상의 저항과, 상기 저항의 접점에 연결되어 상기 분압된 계조전압을 출력하기 위한 적어도 하나 이상의 출력 단자를 더욱 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 21.

제 17 항에 있어서,

상기 제 2 계조전압 발생유닛은,

상기 전압 발생부로부터 입력되는 상기 n 개의 기준 전압들 중 어느 하나를 받아들이기 위한 제 1 입력 단자와, 저항을 통해서 상기 클럭발생부로부터 입력되는 상기 n 개의 클럭신호들 중 어느 하나를 받아들이기 위한 제 2 입력 단자와, 출력 단자, 그리고 상기 제 2 입력단자와 상기 출력 단자 사이에 연결된 피드백 저항을 구비한 적어도 하나 이상의 증폭 회로를 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

청구항 22.

제 21 항에 있어서,

상기 증폭 회로는, 상기 기준 전압에서 상기 클럭신호를 감산한 후, 이를 소정의 비율로 증폭하여 상기 계조전압을 발생하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

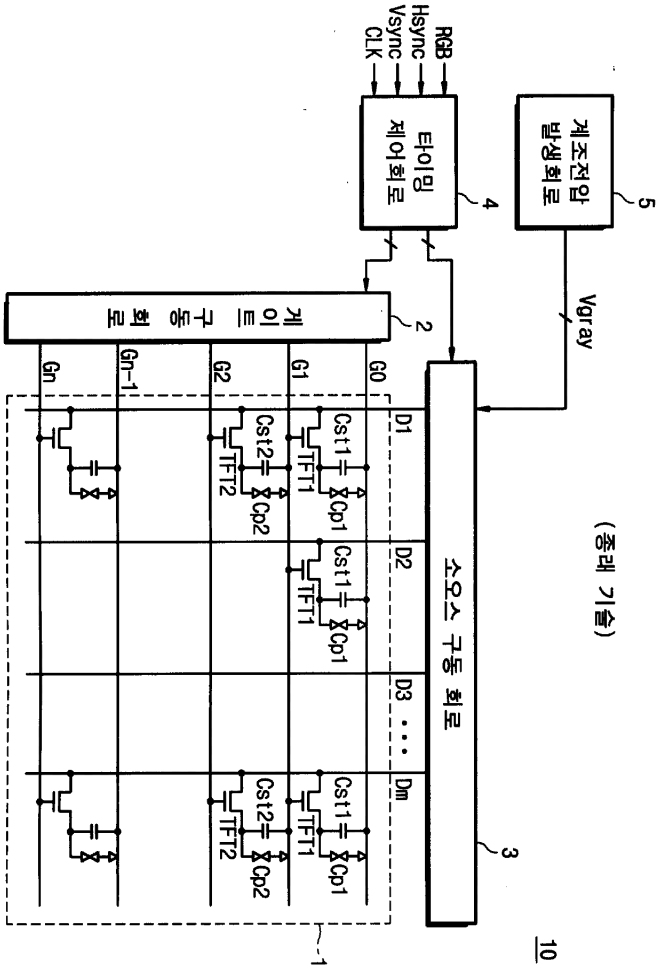
청구항 23.

제 21 항에 있어서,

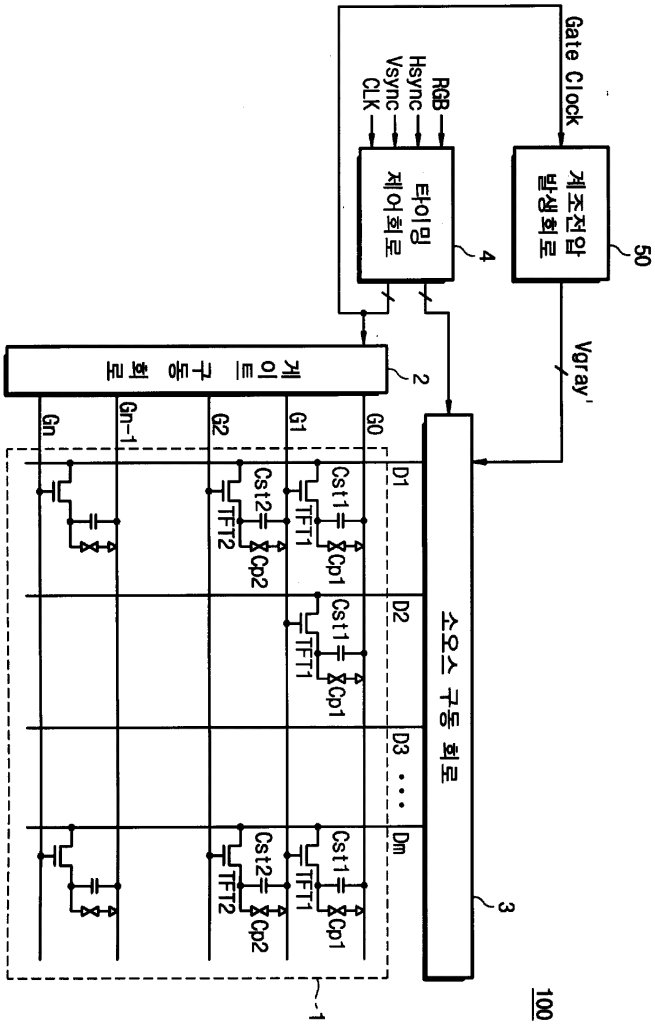
상기 증폭 회로는, 상기 계조전압을 분압하기 위한 적어도 하나 이상의 저항과, 상기 저항의 접점에 연결되어 상기 분압된 계조전압을 출력하기 위한 적어도 하나 이상의 출력 단자를 더욱 포함하는 것을 특징으로 하는 고속으로 구동되는 액정 디스플레이 장치를 위한 계조전압 발생회로.

도면

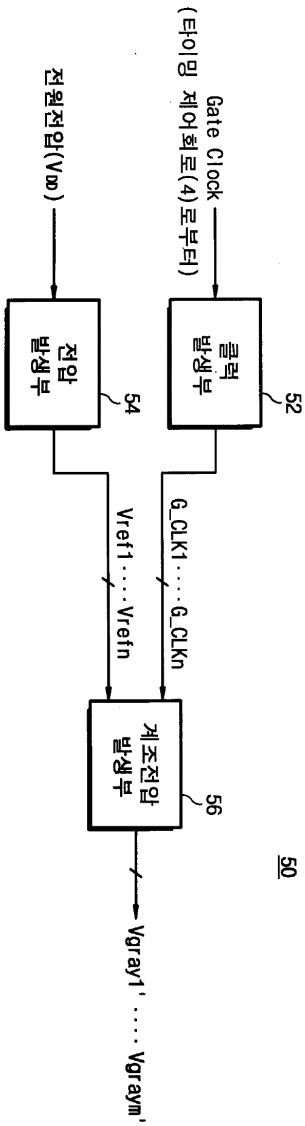
도면 1



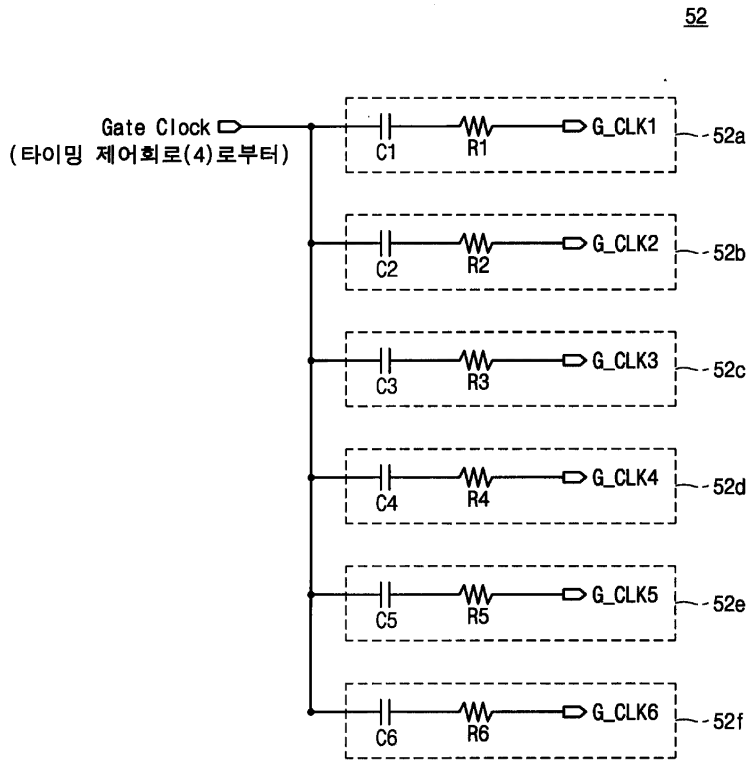
도면 2


Gate Clock
RGB
Hsync
Vsync
CLK
타이밍 제어회로
4
계조전압 발생회로
50
Vgray'
게이트 구동 회로
2
G0
G1
G2
Gn-1
Gn
D1
D2
D3
Dm
Cst1
Cst2
TFT1
TFT2
Cp1
Cp2
소오스 구동 회로
3
1
100

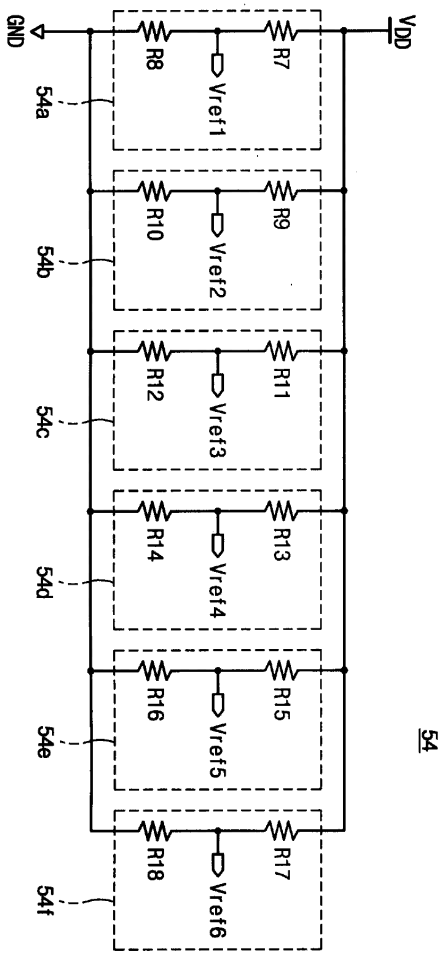
도면 3


Gate Clock
(타이밍 제어회로(4)로부터)
전원전압(VDD)
클럭 발생부
52
전압 발생부
54
G_CLK1 ··· G_CLKn
Vref1 ···· Vrefn
계조전압 발생부
56
50
Vgray1' ···· Vgraym'

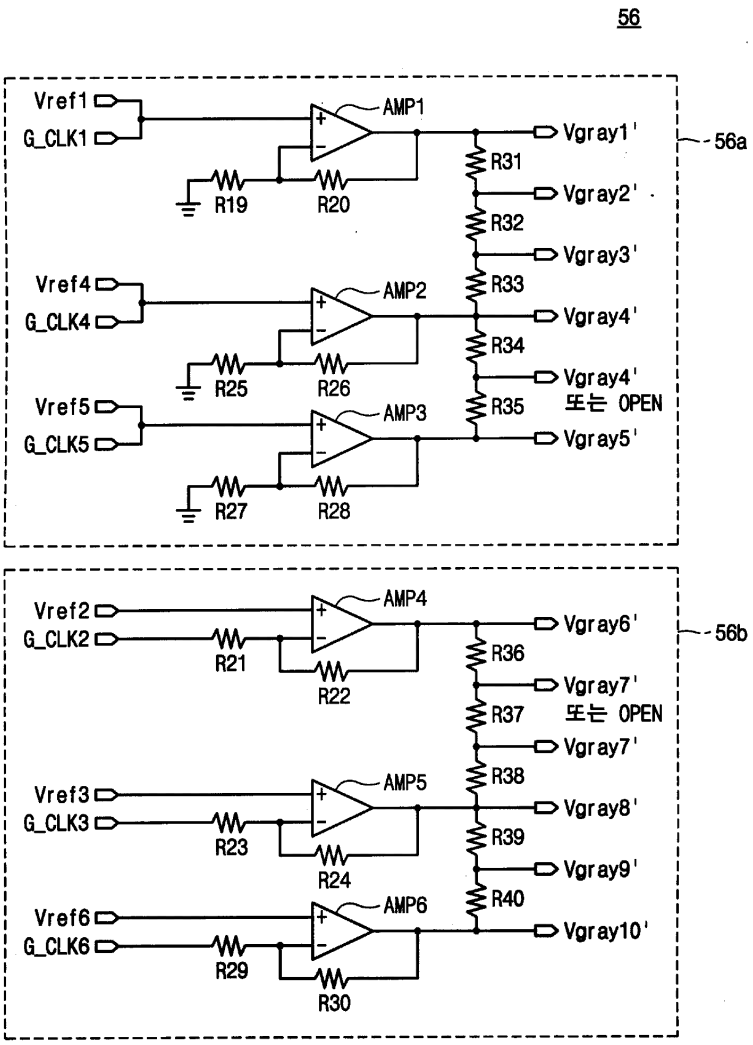
도면 4


52
Gate Clock
(타이밍 제어회로(4)로부터)
C1
R1
G_CLK1
52a
C2
R2
G_CLK2
52b
C3
R3
G_CLK3
52c
C4
R4
G_CLK4
52d
C5
R5
G_CLK5
52e
C6
R6
G_CLK6
52f

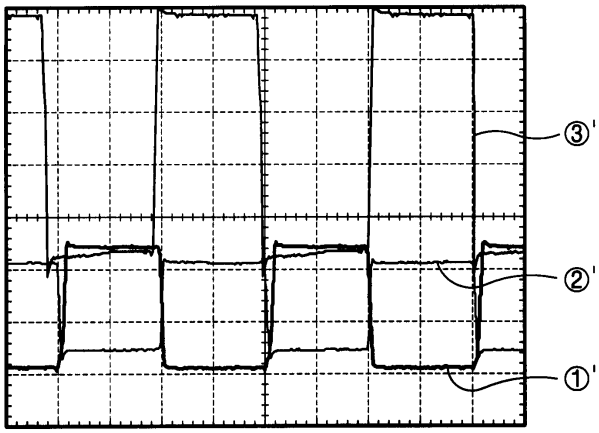
도면 5


GND
VDD
R8
Vref1
R7
54a
R10
Vref2
R9
54b
R12
Vref3
R11
54c
R14
Vref4
R13
54d
R16
Vref5
R15
54e
R18
Vref6
R17
54f
54

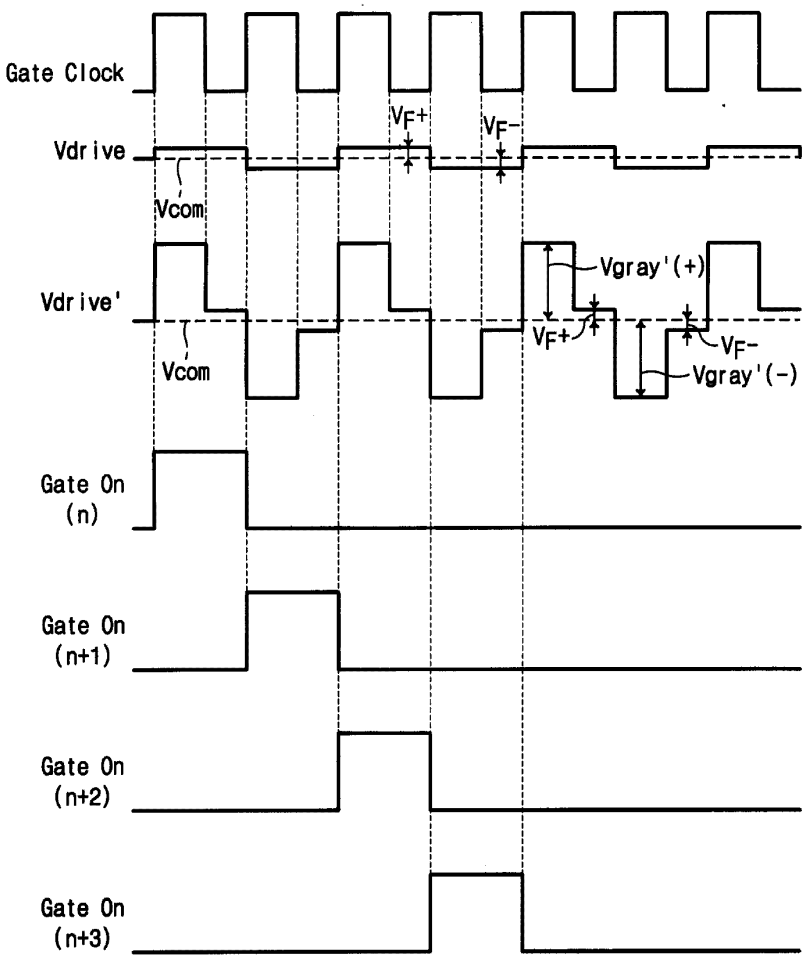
도면 6


56
Vref1
G_CLK1
AMP1
R19
R20
R31
R32
R33
R34
R35
Vgray1'
Vgray2'
Vgray3'
Vgray4'
Vgray4'
또는 OPEN
Vgray5'
56a
Vref4
G_CLK4
AMP2
R25
R26
Vref5
G_CLK5
AMP3
R27
R28
Vref2
G_CLK2
AMP4
R21
R22
R36
R37
R38
R39
R40
Vgray6'
Vgray7'
또는 OPEN
Vgray7'
Vgray8'
Vgray9'
Vgray10'
56b
Vref3
G_CLK3
AMP5
R23
R24
Vref6
G_CLK6
AMP6
R29
R30

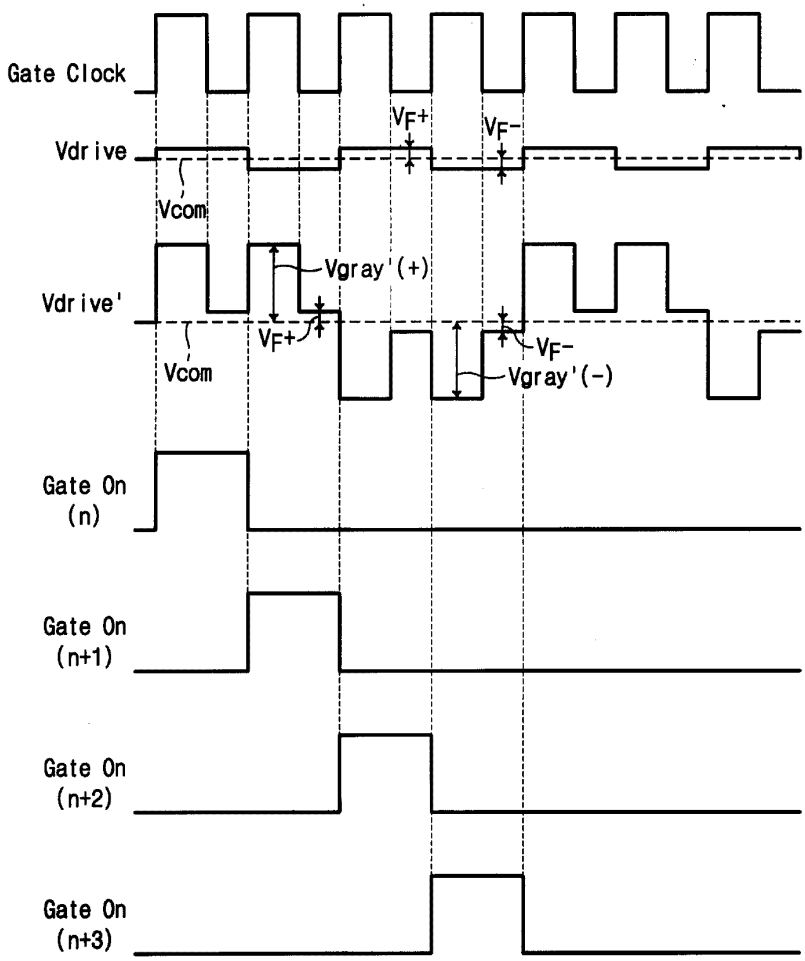
도면 7b



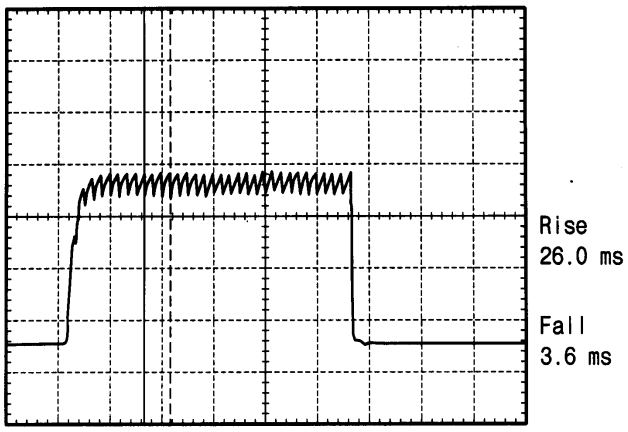
도면 8


Gate Clock
Vdrive
Vcom
VF+
VF-
Vdrive'
Vcom
Vgray'(+)
VF+
VF-
Vgray'(-)
Gate On
(n)
Gate On
(n+1)
Gate On
(n+2)
Gate On
(n+3)

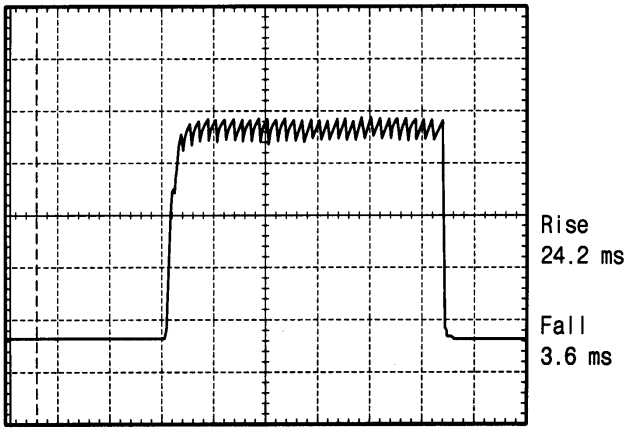
도면 9


Gate Clock
Vdrive
Vcom
VF+
VF-
Vdrive'
Vgray'(+)
VF+
Vcom
VF-
Vgray'(-)
Gate On (n)
Gate On (n+1)
Gate On (n+2)
Gate On (n+3)

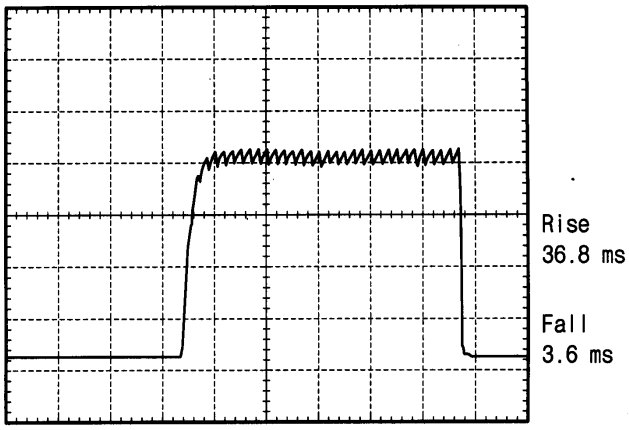
도면 10a



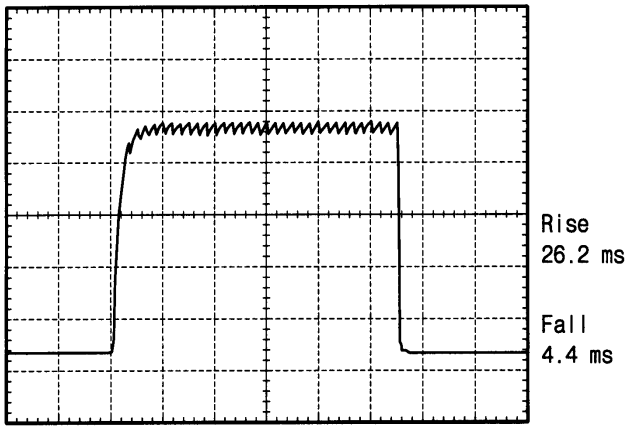
도면 10b



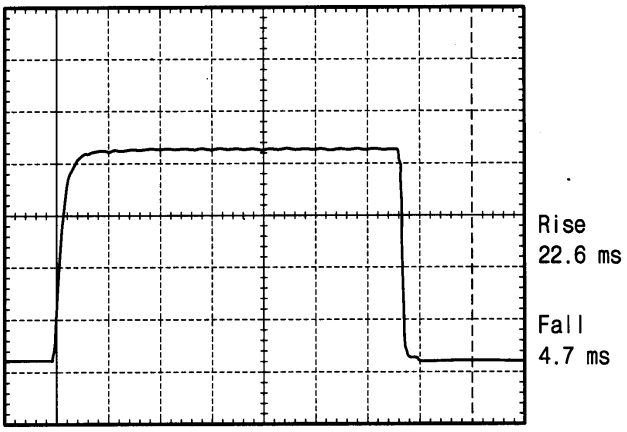
도면 11a



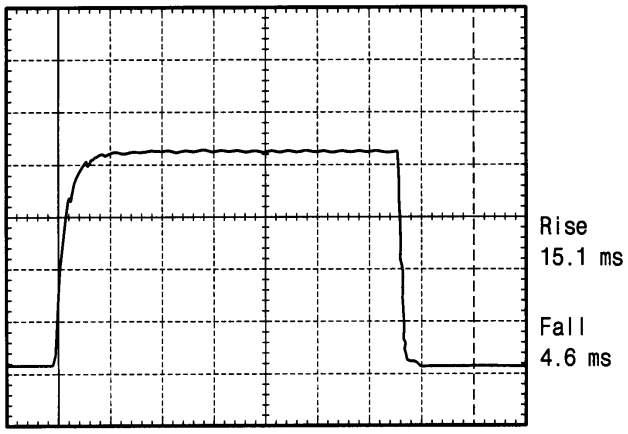
도면 11b



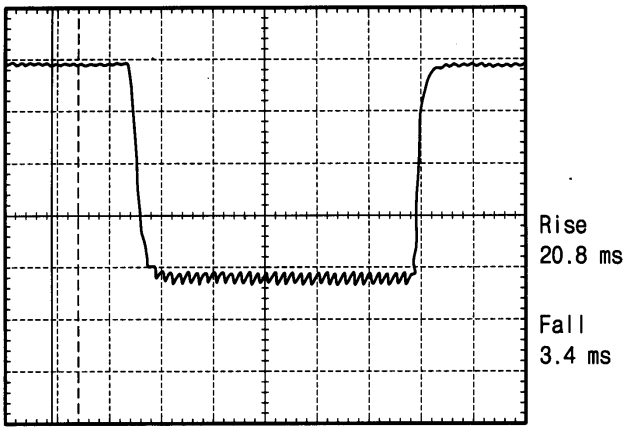
도면 12a



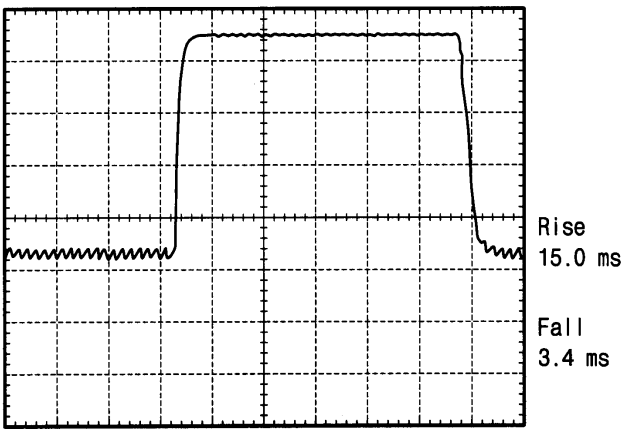
도면 12b



도면 13a



도면 13b



专利名称(译)	一种高速驱动的液晶显示器件及其灰度电压发生电路		
公开(公告)号	KR100363540B1	公开(公告)日	2002-12-05
申请号	KR1020000079698	申请日	2000-12-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	YEON YEUNMO 연윤모 LEE KUNBIN 이건빈		
发明人	연윤모 이건빈		
IPC分类号	G09G3/36		
代理人(译)	YIM，常HYUN KWON，HYUK SOO		
其他公开文献	KR1020020050529A		

摘要(译)

这里公开的用于高速驱动的液晶显示装置的灰度电压产生电路改变灰度电压，使得源极驱动电路在短时间内对设置在液晶面板中的液晶电容器充电。在源极驱动电路中，当在正驱动期间响应于从灰度电压产生电路输出的灰度电压施加高电平栅极时钟信号时，产生液晶驱动电压，并且当施加低电平栅极时钟信号时，产生与传统液晶驱动电压相同电平的液晶驱动电压。当在负极性驱动期间施加高电平栅极时钟信号时，产生比传统液晶驱动电压低的液晶驱动电压。当施加低电平栅极时钟信号时，从而产生驱动电压。 度3