



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0059504
(43) 공개일자 2008년06월30일

- | | |
|---|---|
| <p>(51) Int. Cl.
<i>G02F 1/1343</i> (2006.01)</p> <p>(21) 출원번호 10-2007-0126091</p> <p>(22) 출원일자 2007년12월06일
심사청구일자 없음</p> <p>(30) 우선권주장
JP-P-2006-00347048 2006년12월25일 일본(JP)</p> | <p>(71) 출원인
소니 가부시키 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자
이노 마스미쓰
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시키 가이샤내</p> <p>(74) 대리인
유미특허법인</p> |
|---|---|

전체 청구항 수 : 총 11 항

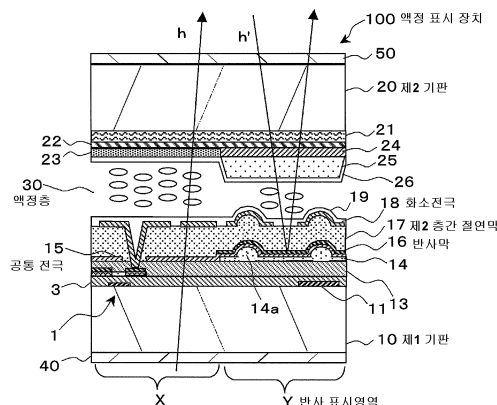
(54) 액정 표시 소자 및 표시 장치

(57) 요약

본 발명은 구동 전압을 저감하는 반사 표시 영역을 가지는 액정 표시 소자 및 액정 표시 장치를 제공한다.

본 발명에 따라, 제1 기판(10)과 제2 기판(20)의 사이에 협지된 액정층(30)을 포함하고, 제1 기판(10)에 액정층(30)에 대하여 기판면에 대략 평행한 전계를 인가하도록 공통 전극(15)과 복수개의 슬릿(18a)을 가지는 화소 전극(18)이 배치된 반사 표시 영역(Y)을 가지는 액정 표시 소자에 있어서, 제1 기판(10)과 화소 전극(18)의 사이에는, 표면 측에 볼록 패턴(16a)이 설치된 입사광을 반사시키는 반사막(16)과 제2 층간 절연막(17)이 제1 기판(10) 측으로부터 순서대로 배치되어 있고, 화소 전극(18)과 공통 전극(15) 사이의 전계 강도가 화소 내에서 동등하게 되도록, 화소 전극(18)과 공통 전극(15)이 배치되어 있다.

대표도 - 도1a



특허청구의 범위

청구항 1

제1 기관과 제2 기관의 사이에 협지된 액정층을 포함하고, 상기 액정층에 대하여 전계를 인가하도록 공통 전극과 복수개의 슬릿을 가지는 화소 전극이 설치된 반사 표시 영역을 상기 제1 기관 측에 가지는 액정 표시 소자에 있어서,

상기 제1 기관과 상기 화소 전극의 사이에는, 표면 측에 블록 패턴이 설치된 반사막과 층간 절연막이 상기 제1 기관 측으로부터 순서대로 배치되어 있고,

상기 화소 전극과 상기 공통 전극 사이의 전계 강도가 상기 반사 표시 영역 내에서 동등하게 되도록, 상기 화소 전극과 상기 공통 전극이 배치되어 있는, 액정 표시 소자.

청구항 2

제1항에 있어서,

상기 액정 표시 소자는, 상기 공통 전극이 상기 화소 전극보다 상기 제1 기관 측에 설치된 프린지 필드 스위칭(Fringe field switching) 모드이며,

상기 화소 전극의 상기 슬릿을 통한 전극부의 단부가, 상기 층간 절연막의 평탄면 상에 설치되어 있는, 액정 표시 소자.

청구항 3

제1항에 있어서,

상기 블록 패턴의 단부와 상기 화소 전극의 전극부의 단부 사이의 거리가 액정 분자의 긴 직경의 길이 이상인, 액정 표시 소자.

청구항 4

제2항에 있어서,

상기 층간 절연막은, 표면 측에 상기 반사막의 표면 형상을 모방한 블록 패턴을 갖도록 설치되어 있고,

상기 층간 절연막의 상기 블록 패턴을 덮은 상태로, 상기 화소 전극의 전극부가 배치되어 있는, 액정 표시 소자.

청구항 5

제2항에 있어서,

상기 층간 절연막은, 표면 측에 상기 반사막의 표면 형상을 모방한 블록 패턴을 갖도록 설치되어 있고,

상기 층간 절연막의 상기 블록 패턴이 상기 슬릿의 내부에 배치되도록, 상기 화소 전극이 배치되어 있는, 액정 표시 소자.

청구항 6

제1항에 있어서,

상기 공통 전극이 상기 화소 전극과 동일면 상에 배치된 인플레인 스위칭(In Plane Switching) 모드이며,

상기 화소 전극은 빗살(comb teeth)형으로 상기 슬릿을 가지고, 상기 공통 전극도 빗살형으로 슬릿을 가지고 있고, 상기 화소 전극과 상기 공통 전극의 전극편이 교대로 조합되어 있는, 액정 표시 소자.

청구항 7

제6항에 있어서,

상기 층간 절연막은, 표면 측에 상기 반사막의 표면 형상을 모방한 블록 패턴을 갖도록 설치되어 있고,

상기 층간 절연막의 상기 블록 패턴 위를 덮은 상태로, 상기 화소 전극 또는 상기 공통 전극의 전극편이 배치되어 있는, 액정 표시 소자.

청구항 8

제6항에 있어서,

상기 층간 절연막은, 표면 측에 상기 반사막의 표면 형상을 모방한 블록 패턴을 갖도록 설치되어 있고,

상기 층간 절연막의 상기 블록 패턴이 상기 화소 전극과 상기 공통 전극의 상기 전극편 사이에 배치되도록, 상기 화소 전극 및 상기 공통 전극이 배치되어 있는, 액정 표시 소자.

청구항 9

제1항에 있어서,

상기 층간 절연막의 표면이 평탄화되어 있는, 액정 표시 소자.

청구항 10

제1 기관과 제2 기관의 사이에 협지된 액정층을 포함하고, 상기 제1 기관에 상기 액정층에 대하여 전계를 인가하도록 공통 전극과 슬릿을 가지는 화소 전극이 배치된 반사 표시 영역을 상기 제1 기관 측에 가지는 액정 표시 소자를 포함하고, 상기 액정 표시 소자에 의해 변조된 광을 사용하여 영상 표시를 행하는 표시 장치에 있어서,

상기 제1 기관과 상기 화소 전극의 사이에는, 상기 제1 기관 측으로부터 표면 측에 요철이 형성된 반사막과 층간 절연막이 순서대로 배치되어 있고,

상기 화소 전극과 상기 공통 전극에 의해 형성되는 전계 강도가 상기 반사 표시 영역 내에서 동등하게 되도록, 상기 화소 전극과 상기 공통 전극이 배치되어 있는, 표시 장치.

청구항 11

제1 기관과 제2 기관의 사이에 협지된 액정층을 포함하고, 공통 전극과 복수개의 슬릿을 가지는 화소 전극이 설치된 반사 표시 영역을 상기 제1 기관 측에 가지는 액정 표시 소자에 있어서,

상기 제1 기관과 상기 화소 전극의 사이에는, 표면 측에 블록 패턴이 설치된 반사막과 층간 절연막이 상기 제1 기관 측으로부터 순서대로 배치되어 있고,

상기 화소 전극의 상기 슬릿 측의 단부가, 상기 층간 절연막의 평탄면 상에 설치되어 있는, 액정 표시 소자.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정 표시 소자 및 표시 장치에 관한 것이며, 특히, 프린지 필드 스위칭(Fringe field switching(FFS)) 모드 또는 인플레인 스위칭(In Plane Switching(IPS)) 모드의 액정 표시 소자 및 액정 표시 소자를 포함한 표시 장치에 관한 것이다.

배경 기술

<2> FFS 모드 또는 IPS 모드의 액정 표시 장치는, 동일 기관 측에 화소 전극과 공통 전극이 설치되어 있고, 기관면에 대략 평행한 횡 전계를 형성하고, 이 횡 전계에 의해 액정 소자를 구동하여 화상 표시를 행한다. FFS 모드의 액정 표시 장치에서는, 예를 들면, 기관 상에 공통 전극을 플레이트 형태 또는 빗살 모양 형태로 배치하고, 공통 전극 상에, 슬릿(slit)을 가지는 화소 전극을 배치한 예가 개시되어 있는(예를 들면, 일본 특허 공개 공보 2001-42336호 및 일본 특허 공개 공보 2002-229032호 참조).

<3> 한편, 최근 모바일 용도의 액정 표시 장치로서, 전술한 IPS 모드에서 암(暗)상태, 외광하에서의 시인성을 향상 시킨 반투과 반반사형의 액정 표시 장치가 개시되어 있다(예를 들면, 일본 특허 공개 공보 2005-338256호, 일본 특허 공개 공보 2005-338264호, 일본 특허 공개 공보 2005-524115호, 및 일본 특허 공개 공보 2006-71977호 참

조). 이들 액정 표시 장치는, 반사 표시 영역에 산란막이 설치되어 있지 않으므로, 외광으로부터의 광의 반사 효율이 낮고, 반사 모드에서의 시야각이 좁다.

- <4> 그래서, 반투과 반반사형의 액정 표시 장치에서, 반사 표시 영역에, 표면 측에 볼록 패턴을 가지는 산란막을 설치한 FFS 모드 또는 IPS 모드의 액정 표시 장치가 검토되고 있다. 여기서, 종래의 FFS 모드의 액정 표시 장치에 대하여, 도 11을 사용하여 설명한다.
- <5> 도 11에 나타난 액정 표시 장치는, 1개의 화소에 각각 투과 표시 영역(X)과 반사 표시 영역(Y)을 가지는 반투과 반반사형의 액정 표시 장치(1)이며, 액정 표시 장치(1)는, 제1 기관(10)과, 이 제1 기관(10)의 소자 형성면 측에 대향 배치된 제2 기관(20)과, 이들 제1 기관(10)과 제2 기관(20)의 사이에 협지된 액정층(30)으로 이루어지는 액정 패널을 포함하고 있다. 또한, 이 액정 패널에서, 제1 기관(10) 및 제2 기관(20)의 외측면에는, 편광판(40, 50)이 밀착 상태로 설치되어 있고, 제1 기관(10) 측의 편광판(40)의 더 외측에는, 투과 표시를 행하기 위한 광원으로 되는 백라이트(도시하지 않음)가 설치되어 있다.
- <6> 이 중 제1 기관(10)은, 유리 기관과 같은 투명 기관으로 이루어지고, 그 액정층(30)을 향한 면 상에 박막 트랜지스터(Thin Film Transistor(TFT))(1)가 설치되어 있고, 이 면 상에는, 이 TFT(1)를 구성하는 게이트선(2)과 평행하게 커먼선(common line)(11)이 연장되어 있다. 이 선들은, 제1 층간 절연막(13)으로 덮혀있다.
- <7> 그리고, 반사 표시 영역(Y)의 제1 층간 절연막(13) 상에는, 제2 기관(20) 측으로부터의 입사광을 산란시키기 위하여, 표면 측에 볼록 패턴(14a')이 설치된 절연막으로 이루어지는 산란막(14')이 설치되어 있다. 이 볼록 패턴(14a')은 랜덤하게 배치되어 있다.
- <8> 또, 산란막(14') 상에 및 제1 층간 절연막(13) 상에는, 드레인 전극(12b) 상을 제외한 영역에 투명 전극으로 이루어지는 공통 전극(커먼 전극)(15')이 설치되어 있고, 이 공통 전극(15')은 커먼선(11)과 접촉되어 있다. 또한, 반사 표시 영역(Y)에서의 산란막(14') 상의 공통 전극(15') 상에는 반사막(16')이 설치되어 있다. 그리고, 공통 전극(15') 및 반사막(16')을 덮은 상태로, 제1 층간 절연막(13) 상에 제2 층간 절연막(17')이 설치되어 있다. 여기서, 산란막(14') 상에 형성되는 공통 전극(15'), 반사막(16') 및 제2 층간 절연막(17')은, 산란막(14')의 표면 형상을 모방하여, 볼록 패턴을 가진 상태로 형성된다.
- <9> 제2 층간 절연막(17') 상에는, TFT(1)의 드레인 전극(12b)에 접속된 복수개의 슬릿(18a')을 가지는 화소 전극(18')이 설치되어 있다. 그리고, 슬릿(18a')을 협지하여 설치된 전극부의 단부와 공통 전극(15')의 사이에 전계가 생김으로써, 기관면에 대략 평행한 횡 전계가 액정층(30)에 대하여 인가된다.
- <10> 한편, 제2 기관(20)은 유리 기관과 같은 투명 기관으로 이루어지고, 이 제2 기관(20)의 액정층(30)을 향한 면에는, R(적), G(녹), B(청)의 각 색의 컬러 필터(21)와 배향막(22)이 순서대로 설치되어 있다. 또한, 투과 표시 영역(X)에서의 배향막(22)의 액정층(30)을 향한 면에는, 비위상차층(23)이 설치되어 있고, 반사 표시 영역(Y)에서의 배향막(22)의 액정층(30)을 향한 면에는 위상차층(24)과 평탄화층(25)이 순서대로 설치되어 있다. 그리고, 비위상차층(23) 및 평탄화층(25)의 액정층(30)을 향한 면에는 배향막(26)이 설치되어 있다.

발명의 내용

해결 하고자하는 과제

- <11> 그러나, 전술한 바와 같은 액정 표시 장치에서는, 도 12에 나타난 바와 같이, 산란막(1')의 표면에 설치된 볼록 패턴(14a')이 랜덤하게 배치되므로, 이 표면 형상을 모방하여 형성되는 제2 층간 절연막(17') 상에 배치된 화소 전극(18')의 슬릿(18a')을 협지한 전극부의 단부와 공통 전극(15')의 거리에 불균일이 생긴다. 그러므로, 전계를 인가했을 때의 단부와 공통 전극(15') 사이의 전기력선에 나타난 전계 강도는 B>A로 되고, 구동 전압이 흩어진다. 이때, 구동 전압은 전계 강도가 약한 편에 맞추어 규정되므로, 평균적인 구동 전압이 높아진다.
- <12> 또한, 전술한 바와 같이, 화소 전극(18')의 슬릿(18a')을 협지한 전극부의 단부와 공통 전극(15')의 거리에 불균일이 생김으로써, 전계 인가시에, 기관면에 대략 평행한 횡 방향으로의 전계가 쉽게 걸리기 어렵고, 액정 분자(m)의 배향 제어가 어렵다. 이에 따라, 액정층의 광의 투과율이 저하되고, 콘트라스트(contrast)가 저하된다.
- <13> 따라서, 본 발명은 구동 전압을 저감하고, 콘트라스트를 향상시키는 액정 표시 소자 및 액정 표시 소자를 포함한 표시 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

- <14> 전술한 바와 같은 목적을 달성하기 위하여, 본 발명의 액정 표시 소자는, 제1 기관과 제2 기관의 사이에 협지된 액정층을 포함하고, 액정층에 대하여 전계를 인가하도록 공통 전극과 복수개의 슬릿을 가지는 화소 전극이 배치된 반사 표시 영역을 제1 기관 측에 가지는 액정 표시 소자에 있어서, 제1 기관과 화소 전극의 사이에는, 표면 측에 볼록 패턴이 설치된 반사막과 층간 절연막이 제1 기관 측으로부터 순서대로 배치되어 있고, 화소 전극과 공통 전극 사이의 전계 강도가 반사 표시 영역 내에서 동등하게 되도록, 화소 전극과 공통 전극이 배치되어 있는 것을 특징으로 하고 있다.
- <15> 또한, 본 발명의 액정 표시 장치는, 제1 기관과 제2 기관의 사이에 협지된 액정층을 포함하고, 액정층에 대하여 전계를 인가하도록 공통 전극과 복수개의 슬릿을 가지는 화소 전극이 배치된 반사 표시 영역을 제1 기관 측에 가지는 액정 표시 소자를 포함하고, 이 액정 표시 소자에 의해 번조된 광을 사용하여 영상 표시를 행하는 액정 표시 장치에 있어서, 제1 기관과 화소 전극의 사이에는, 표면 측에 볼록 패턴이 설치된 반사막과 층간 절연막이 제1 기관 측으로부터 순서대로 배치되어 있고, 화소 전극과 공통 전극 사이의 전계 강도가 반사 표시 영역 내에서 동등하게 되도록, 화소 전극과 공통 전극이 배치되어 있는 것을 특징으로 하고 있다.
- <16> 이와 같은 액정 표시 소자 및 액정 표시 장치에 따르면, 화소 전극과 공통 전극 사이의 전계 강도가 반사 표시 영역 내에서 동등하게 되도록, 화소 전극과 공통 전극이 배치됨으로써, 동일한 전압을 인가한 경우의 전계 강도의 불균일이 억제되므로, 평균적인 구동 전압을 저감할 수 있다. 또한, 전계 강도를 반사 표시 영역 내에서 정렬함으로써, 액정층에 대하여 기관면에 평행한 횡 방향으로의 전계 강도를 강하게 할 수 있으므로, 전계 인가에, 액정 분자가 기관면에 대하여 기울어 배향되는 것이 억제된다. 이에 따라, 액정층의 광투과율이 향상되므로, 콘트라스트를 향상시킬 수 있다.

효과

- <17> 이상 설명한 바와 같이, 본 발명의 액정 표시 소자 및 액정 표시 장치에 따르면, 구동 전압이 저감되고, 콘트라스트가 향상되므로, 액정 표시 장치의 고효율화 및 고화질화를 도모할 수 있다.

발명의 실시를 위한 구체적인 내용

- <18> 이하에서, 본 발명의 실시예에 대하여 상세하게 설명한다.
- <19> (제1 실시예)
- <20> 도 1a는 제1 실시예의 액정 표시 장치의 단면도이며, 도 1b는 평면도이다. 그리고, 도 1a는 도 1b의 A-A'선 단면을 나타낸다. 이들 도면에 나타난 액정 표시 장치(100)는, 1개의 화소에 각각 투과 표시 영역(X)과 반사 표시 영역(Y)을 가지는 반투과 반반사형의 액정 표시 장치(1)이며, FFS 모드로서, 다음과 같이 구성되어 있다.
- <21> 즉, 액정 표시 장치(100)는, 제1 기관(10)과, 이 제1 기관(10)의 소자 형성면 측에 대향 배치된 제2 기관(20)과, 이들 제1 기관(10)과 제2 기관(20)의 사이에 협지된 액정층(30)으로 이루어지는 액정 패널을 포함하고 있다. 여기서는, 액정층(30)이, 네마틱(nematic) 액정으로 구성되어 있는 것으로 한다. 또한 이 액정 패널에서, 제1 기관(10) 및 제2 기관(20)의 외측면에는, 편광판(40, 50)이 접착제(도시하지 않음)를 통하여 밀착 상태로 설치되어 있다. 이들 편광판(40, 50)은, 직교 니콜(crossed nicols) 상태로 설치되어 있는 것으로 한다. 또한, 제1 기관(10) 측의 편광판(40)의 더 외측에는, 투과 표시를 행하기 위한 광원으로 되는 백라이트(도시하지 않음)가 설치되어 있다.
- <22> 상기 구성 중, 제1 기관(10)을 제외한 구성은 일반적인 구성이며, 예를 들면, 표시측 기관으로 되는 제2 기관(20)은 유리 기관과 같은 투명 기관으로 이루어지고, 이 제2 기관(20)의 액정층(30)을 향한 면에는, R(적), G(녹), B(청)의 각 색의 컬러 필터(21)와 배향막(22)이 순서대로 설치되어 있다.
- <23> 투과 표시 영역(X)에서의 배향막(22)의 액정층(30)을 향한 면에는, 비위상차층(23)이 설치되어 있고, 반사 표시 영역(Y)에서의 배향막(22)의 액정층(30)을 향한 면에는 위상차층(24)과 평탄화층(25)이 순서대로 설치되어 있다. 이 위상차층(24)은 $\lambda/4$ 층으로서 기능한다. 또한, 평탄화층(25)에 의해, 반사 표시 영역(Y)의 셀 갭이 투과 표시 영역의 셀 갭의 1/2이 되도록 조정되어 있다. 그리고, 비위상차층(25) 및 평탄화층(24)의 액정층(30)을 향한 면에는 배향막(26)이 설치되어 있다.
- <24> 한편, 배면측 기관으로 되는 제1 기관(10)에 대하여는, 본 발명에 특징적인 구성을 가지므로, 이하에서 상세하

게 설명한다. 제1 기관(10)은, 유리 기관과 같은 투명 기관으로 이루어지고, 그 액정층(30)을 향한 면 상에, TFT(1)가 설치되어 있다.

- <25> 여기서, 도 2에 TFT(1)의 구성을 나타내면, 예를 들면, 보텀 게이트형인 경우에는, 제1 기관(10) 상에, 일부가 게이트 전극(2a)으로서 기능하는 한쪽 방향으로 연장된 게이트선(2)이 설치되어 있다. 또한, 이 게이트선(2)을 덮은 상태로, 제1 기관(10) 상에 게이트 절연막(3)이 설치되어 있고, 게이트 절연막(3) 상에는, 반도체층(4)이 패턴 형성되어 있다.
- <26> 여기서, 반도체층(4)은, 예를 들면, 비결정 실리콘(amorphous silicon), 폴리 실리콘(polysilicon) 또는 단결정 실리콘으로 구성되어 있고, 게이트 전극(2a) 상을 채널층(4a)으로 하고, 그 양측에 예를 들면, n형 불순물을 포함하는 소스 영역(4b)과 드레인 영역(4c)이 설치되어 있다. 소스·드레인 영역(4b, 4c)은, 채널층(4a) 상에 설치된 절연층(13a)을 마스크로 한 이온 주입에 의해 형성된다. 그리고, 이 반도체층(4) 및 절연층(13a)을 덮은 상태로, 게이트 절연막(3) 상에 절연층(13b)이 설치되어 있고, 이 절연층(13b)에 설치된 콘택트홀(contact hole)을 통하여, 소스 전극(source electrode)(12a)과 드레인 전극(drain electrode)(12b)이 소스 영역(4b) 및 드레인 영역(4c)에 각각 접속되어 있다. 또한, 소스 전극(12a)과 연통되는 상태로 한쪽 방향으로 연장되는 신호선(12)은, 전술한 게이트선(2)과 직교하는 상태로 배치된다. 또한, 신호선(12) 및 드레인 전극(12b)을 덮은 상태로, 절연층(13b) 상에, 절연층(13c)이 설치되어 있다. 이상과 같이 하여, 절연층(13a, 13b, 13c)으로 구성된 제1 층간 절연막(13)에 의해, 박막 트랜지스터(1)가 덮힌 상태로 된다.
- <27> 그리고, 도 1에 나타낸 바와 같이, 전술한 바와 같은 박막 트랜지스터(1)가 설치된 제1 기관(10)의 액정층(30)을 향한 면에는, 게이트선(2)과 평행하게, 커먼선(Vcom선)(11)이 연장되어 있다. 이에 따라, 게이트 절연막(3)은, 게이트선(2) 및 커먼선(11)을 덮은 상태로, 제1 기관(10) 상에 설치된 상태로 된다.
- <28> 또한, 제1 층간 절연막(13) 상에는, 반사 표시 영역(Y)에 표면 측에 블록 패턴(14a)을 가지는 아크릴계 수지 등의 절연막으로 이루어지는 산란막(14)이 설치되어 있다. 이 블록 패턴(14a)은 통상의 포토리소그래피(photolithography) 기술로 형성된다. 그리고, 산란막(14) 상에 및 제1 층간 절연막(13) 상에는, 드레인 전극(12b) 상을 제외한 영역에, 예를 들면, ITO(Indium Thin Oxide) 등의 투명 전극으로 이루어지는 공통 전극(15)이 설치되어 있다. 이 공통 전극(15)은, 도 1b에만 나타낸 콘택트홀(13d)에 의해, 커먼선(11)과 접속되어 있다.
- <29> 또한, 반사 표시 영역(Y)에서의 산란막(14) 상의 공통 전극(15) 상에는 반사막(16)이 설치되어 있고, 공통 전극(15) 및 반사막(16)을 덮은 상태로, 제1 층간 절연막(13) 상에, 제2 층간 절연막(17)이 설치되어 있다. 여기서, 산란막(14) 상에 형성되는 공통 전극(15), 반사막(16) 및 제2 층간 절연막(17)은, 산란막(14)의 표면 형상을 모방하여, 블록 패턴을 가진 상태로 형성된다. 여기서, 제2 층간 절연막(17)의 표면에 설치된 블록 패턴(17a)으로 한다.
- <30> 그리고, 여기서는, 표면 측에 블록 패턴(14a)을 가지는 산란막(14)을 반사막(16)의 아래쪽에 배치한 예에 대하여 설명하였으나, 본 발명은 이에 한정되지 않고, 반사막(16)의 표면 측에 블록 패턴이 설치되어 있으면 된다. 예를 들면, 반사막(16) 자체가 표면 측에 블록 패턴을 가지고 있어도 되고, 공통 전극(15)의 반사 표시 영역(Y)에 배치되는 부분에 블록 패턴이 설치되어 있어도 된다. 이 경우의, 블록 패턴도 통상의 리소그래피 기술에 의해 형성될 수 있다.
- <31> 제2 층간 절연막(17) 및 제1 층간 절연막(13)에는, 드레인 전극(12b)에 이르는 콘택트홀(17b)이 형성되어 있고, 이 콘택트홀(17b)을 통하여 드레인 전극과 접속된 상태로, 복수개의 슬릿(18a)을 가지는 화소 전극(18)이 설치되어 있다. 이 복수개의 슬릿(18a)은, 예를 들면, 게이트선(2)과 대략 평행하게 설치되어 있다. 또한, 화소 전극(18)을 덮은 상태로, 제2 층간 절연막(17) 상에는, 배향막(19)이 배치되어 있다.
- <32> 여기서, 도 3에 반사 표시 영역(Y)의 주요부 확대도를 나타낸다. 도 3a는 전계 비인가시의 경우이며, 도 3b는 전계 인가시의 경우이다. 여기서, 전계 비인가시에서는, 도 3a에 나타낸 바와 같이, 액정 분자(m)가 슬릿(18a)과 대략 평행하게 수평 상태로 배치된다.
- <33> 본 발명에 특징적인 구성으로서, 화소 전극(18)과 공통 전극(15) 사이의 전계 강도가 반사 표시 영역(Y) 내에서 동등하게 되도록, 화소 전극(18)과 공통 전극(15)이 배치되어 있다. 본 실시예에서는, 산란막(14)의 블록 패턴(14a)의 형상을 모방하여 설치되는 제2 층간 절연막(17)의 블록 패턴(17a)이, 화소 전극(18)의 전극부(18b)의 바로 아래에, 슬릿(18a)의 길이 방향을 따라, 예를 들면 일렬로 배치되어 있다. 즉, 이 블록 패턴(17a)을 덮은 상태로, 화소 전극(18)의 전극부(18b)가 배치되어 있다. 이 전극부(18b)의 단부는, 제2 층간 절연막(17)의 평

탄면 상에 설치되도록 한다. 이에 따라, 슬릿(18a)을 통한 전극부(18b)의 단부와 공통 전극(15)의 표면, 구체적으로는 반사막(16)의 표면의 거리가 동등하게 된다.

<34> 여기서, 전극부(18b)의 단부와 공통 전극(15) 사이의 거리, 즉 이 사이의 제2 층간 절연막(17)의 막 두께에 따라, 구동 전압은 규정되고, FFS 모드의 반사형의 액정 표시 소자에서는, 하기 수식(1)이 성립되는 것이 판명되었다. 그러므로, 전극부(18b)의 단부와 공통 전극(15) 사이의 거리가 동등하게 이루어지므로, 도 3b에 나타낸 전계 인가시에 전계 강도(A, B)의 불균일이 억제되고, 구동 전압을 저감하는 것이 가능해진다. 이에 따라, 액정층(30)에 대하여 기판면에 대략 평행한 횡 방향, 구체적으로는 슬릿(18a)의 폭 방향으로의 전계가 인가되고, 액정 분자(m)가 90° 회전된다.

<35> [수식(1)]

$$V_{lcd} = \pi \cdot L / D \sqrt{K / \epsilon_{lcd}} \quad \dots(1)$$

V_{lcd}: 액정의 구동전압 , **L**: 제2 층간절연막의 막 두께 , **D**: 액정 갭 ,
K: 액정의 점성상수 , **ε_{lcd}**: 액정의 비유전율

<36>

<37> 또한, 이 경우, 슬릿(18a)의 아래쪽에는, 산란막(14)의 볼록 패턴(14a)이 배치되지 않기 때문에, 화소 전극(18)의 전극부(18b)의 단부와 공통 전극(15)의 평탄면의 사이에 전계가 생긴다. 이로써, 볼록 패턴(14a)의 영향을 받지 않고 반사 표시 영역(Y)의 전계 강도가 규정되므로, 투과 표시 영역(X)과 반사 표시 영역(Y)의 전계 강도를 정렬하는 것이 가능해진다.

<38> 여기서, 화소 전극(18)에 설치된 복수개의 슬릿(18a) 및 슬릿(18a) 사이의 전극부(18b)는, 3 μm ~ 7 μm의 폭으로 설치되어 있는 것으로 하고, 볼록 패턴(17a)의 직경은, 볼록 패턴(17a)이 전극부(18b)로 확실하게 덮히도록, 전극부(18b)의 폭보다 작은 2 μm ~ 6 μm로 설치되는 것으로 한다.

<39> 또한, 전술한 제2 층간 절연막(17)의 볼록 패턴(17a)의 단부와 화소 전극(18)의 전극부(18b)의 양 단부의 거리(S1, S2), 즉 전극부(18b)의 평탄 영역의 폭은 액정 분자(m)의 긴 직경의 길이 이상인 것이 바람직하다. 이로써, 전계 비인가시에서, 액정 분자(m)가 기판면에 대하여 기울어 배향되는 것이 방지되고, 흑색 표시시의 휘도 상승을 방지하는 것이 가능해진다. 또한, 전극부(18b)의 평탄 영역의 폭이 액정 분자(m)의 긴 직경의 길이 이상이므로, 전계 인가시에서 배향의 기점으로 되는 전극부(18b) 상의 액정 분자(m)의 수평 상태에서의 배향 동작이 방해되지 않는다. 이로써, 콘트라스트의 저하나 디스크리네이션(disclination)의 발생이 방지된다.

<40> 이상과 같이 하여, 본 실시예의 반투과 반반사형으로 FFS 모드의 액정 표시 장치가 구성된다. 그리고, 여기서는, 제2 층간 절연막(17)의 볼록 패턴(17a), 즉 산란막(14)의 볼록 패턴(14a)이 일렬로 배치되는 것으로 하였으나, 본 발명은 이에 한정되지 않고, 복수 열로 배치되어 있어도 된다.

<41> 다음에, 상기 액정 표시 장치의 동작에 대하여, 도 1을 참조하여 설명한다. 전계 비인가시에서는, 액정층(30)층의 액정 분자(m)는 위상차가 발생되지 않도록 배향되므로, 투과 표시 영역(X)에서는, 편광판(40)을 통과한 백라이트의 광(h)이, 편광판(40)에 대하여 직교 니콜 상태로 배치된 편광판(50)에서 흡수되어 흑색 표시로 된다. 또, 반사 표시 영역(Y)에서는, 편광판(50) 측으로부터 입사된 외광(h')이 λ / 4의 위상차층(25)을 한번 왕복함으로써, λ / 2의 위상차를 발생하여 90° 회전된 직선 편광으로 되므로, 편광판(50)에서 흡수되어, 흑색 표시로 된다.

<42> 한편, 전계 인가시에서는, 투과 표시 영역(X)에서는, 액정층(30)을 투과함으로써 λ / 2의 위상차를 발생하도록 액정 분자(m)가 배향된다. 이로써, 편광판(40)을 통과한 백라이트의 광(h)이, 액정층(30)을 투과함으로써, λ / 2의 위상차를 발생하여 90° 회전된 직선 편광으로 되므로, 편광판(50)을 투과하고, 백색 표시로 된다. 또한, 반사 표시 영역(Y)에서는, 투과 표시 영역(X)보다 셀 갭이 1/2로 되도록 제어되어 있으므로, 액정층(30)을 투과함으로써 λ / 4의 위상차를 발생하도록 액정 분자(m)가 배향된다. 이로써, 편광판(50) 측으로부터 입사된 외광(h')이 λ / 4의 위상차층(25)과 액정층(30)을 한번 왕복함으로써, λ의 위상차가 생기고, 180° 회전된 직선 편광으로 되므로, 편광판(50)을 투과하여, 백색 표시로 된다.

<43> 이어서, 이 액정 표시 장치(100)의 회로도들 도 4에 나타낸다. 이 액정 표시 장치(100)의 제1 기판(10) 상에는, 표시 영역(10A)과 그 주변 영역(10B)이 설정되어 있다. 표시 영역(10A)은, 복수개의 게이트선(2)과 복수개의 신호선(12)이 종횡으로 배선되어 있고, 각각의 교차부에 대응하여 1개의 화소(A)가 설치된 화소 어레이부(pixel array part)로서 구성되어 있다.

<44> 또한, 주변 영역(10B)에는, 표시 영역(10A)의 각 화소(A)를 행 단위로 차례로 선택하는 수직 드라이버(vertical

driver)(61), 행 단위로 선택된 각 화소(A)에 화소 신호를 기록하는 수평 드라이버(62), 시분할 구동(time division drive)을 위한 시분할 스위치부(63) 및 수직, 수평 드라이버(61, 62)나 시분할 스위치부(63)를 제어하는 제어계(64)가 장착된 구성으로 되어 있다.

- <45> 화소(A) 각각은, 게이트 전극이 게이트선(2-1 ~ 2-m)에 접속되고, 소스 전극(12a)이 신호선(12-1 ~ 12-n)에 접속된 TFT(1)와, 이 TFT(1)의 드레인 전극(12b)에 화소 전극(18)이 접속된 표시 소자(D)와, TFT(1)의 드레인 전극(12b)에 한쪽의 전극이 접속된 보조 용량(S)으로 구성되어 있다. 이러한 구성의 화소(A) 각각에서, 표시 소자(D)의 공통 전극은, 보조 용량(S)의 다른 쪽의 전극과 함께 커먼선(11)에 접속되어 있다. 커먼선(11)에는, 소정의 직류 전압 또는 수평 동기 신호와 동기한 직사각형 전압이 커먼 전압(VCOM)으로서 부여된다.
- <46> 여기서, 이 액정 표시 장치(100)는 시분할 구동법에 의해 구동된다. 시분할 구동법이란, 표시 영역(10A)의 서로 인접하는 복수개의 신호선(12)을 1단위(블록)로서 분할하고, 이 1분할 블록 내의 복수개의 신호선(12)에 주는 신호 전압을 시계열로 수평 드라이버(62)의 각 출력 단자로부터 출력하는 한편, 복수개의 신호선(12)을 1단위로 하여 시분할 스위치부(63)를 설치하고, 이 시분할 스위치부(63)에 의해 수평 드라이버(62)로부터 출력되는 시계열의 신호 전압을 시분할로 샘플링하여 복수개의 신호 라인에 차례로 부여하는 구동 방법이다.
- <47> 시분할 스위치부(63)는 수평 드라이버(62)로부터 출력되는 시계열의 신호 전압을 시분할로 샘플링하는 아날로그 스위치(트랜스미션 스위치)로 구성되어 있다. 이 시분할 스위치부(63)의 구체적인 구성예를 나타낸다. 그리고, 이 시분할 스위치부(63)는 수평 드라이버(62)의 각 출력에 대하여 1개씩 설치된다. 또한, 여기서는, R(적), G(녹), B(청)에 대응하여 3시분할 구동을 행하는 경우를 예로 들어 나타내고 있다.
- <48> 이 시분할 스위치부(63)는, P-채널 MOS 트랜지스터 및 N-채널 MOS 트랜지스터가 병렬로 접속되어 있는 CMOS 구성의 아날로그 스위치(63-1, 63-2, 63-3)로 구성되어 있다. 그리고, 본 예에서는, 아날로그 스위치(63-1, 63-2, 63-3)로서 CMOS 구성의 것을 사용하고 있지만, PMOS 또는 NMOS 구성의 것을 사용할 수도 있다.
- <49> 이 시분할 스위치부(63)에서, 3개의 아날로그 스위치(63-1, 63-2, 63-3)의 각 입력단이 공통으로 접속되고, 각 출력단이 3개의 신호 라인(12-1, 12-2, 12-3)의 각 일단에 각각 접속되어 있다. 그리고, 이들 아날로그 스위치(63-1, 63-2, 63-2, 63-3)의 각 입력단에는, 수평 드라이버(62)로부터 시계열로 출력되는 신호 전위가 부여된다.
- <50> 또한, 1개의 아날로그 스위치에 대하여 2개씩, 합계 6개의 제어 라인(65-1~ 65-6)이 배선되어 있다. 그리고, 아날로그 스위치(63-1)의 2개 제어 입력단(즉, CMOS 트랜지스터의 각 게이트)이 제어 라인(65-1, 65-2)에 접속되고, 아날로그 스위치(63-2)의 2개 제어 입력단이 제어 라인(65-3, 65-4)에 접속되며, 아날로그 스위치(63-3)의 2개 제어 입력단이 제어 라인(65-5, 65-6)에 접속된다.
- <51> 6개의 제어 라인(65-1 ~ 65-6)에 대하여, 3개의 아날로그 스위치(63-1, 63-2, 63-3)를 차례로 선택하기 위한 게이트 선택 신호(S1-S3, XS1-XS3)가, 후술하는 타이밍 컨트롤러(TC)(66)로부터 부여된다. 단, 게이트 선택 신호(XS1-XS3)는 게이트 선택 신호(S1-S3)의 반전 신호이다.
- <52> 게이트 선택 신호(S1-S3, XS1-XS3)는, 수평 드라이버(62)로부터 출력되는 시계열의 신호 전위에 동기하여, 3개의 아날로그 스위치(63-1, 63-2, 63-3)를 차례로 온(on) 시킨다. 이로써, 아날로그 스위치(63-1, 63-2, 63-3)는, 수평 드라이버(62)로부터 출력되는 시계열의 신호 전위를, 1H 기간에 3시분할로 샘플링하면서, 대응하는 신호 라인(12-1, 12-2, 12-3)에 각각 공급한다.
- <53> 수직 드라이버(61), 수평 드라이버(62) 및 시분할 스위치부(63)를 제어하는 제어계(64)는, 타이밍 컨트롤러(TC)(66), 기준 전압 발생원(67) 및 DC-DC 컨버터(68) 등을 가지고, 이들 회로가 제1 기관의 주변 영역(10B) 상에 수직 드라이버(61), 수평 드라이버(62) 및 시분할 스위치부(63)와 함께 장착된 구성으로 되어 있다.
- <54> 이 제어계(64)에서, 타이밍 컨트롤러(66)에는, 예를 들면, 외부의 전원부(도시하지 않음)로부터 전원 전압(VDD)이, 외부의 CPU(도시하지 않음)로부터 디지털 화상 데이터(data)가, 외부의 클럭 발생기(clock generator)(도시하지 않음)로부터 클럭(CLK)이 각각 TCP(도시하지 않음)를 통해 입력된다.
- <55> 이와 같은 액정 표시 소자 및 액정 표시 소자를 포함한 액정 표시 장치에 따르면, 표면 측에 블록 패턴(14a)이 설치된 산란막(14)의 표면 형상을 모방하여 제2 층간 절연막(17)이 블록 패턴(17a)을 가지도록 형성되어 있고, 이 블록 패턴(17a)을 덮은 상태로, 화소 전극(18)의 전극부(18b)가 배치된다. 이로써, 슬릿(18a)을 협지한 전극부(18b)의 단부와 공통 전극(15) 사이의 전계 강도가 반사 표시 영역(Y) 내에서 동등하게 된다. 이로써, 동일한 전압을 인가한 경우의 전계 강도의 불균일이 억제되므로, 평균적인 구동 전압을 저감하는 것이

가능해지고, 액정 표시 장치의 고효율화를 도모할 수 있다.

- <56> 또한, 전계 강도를 반사 표시 영역(Y) 내에서 정렬함으로써, 액정층(30)에 대하여 슬릿(18a)의 폭 방향으로의 횡 전계의 전계 강도를 강하게 할 수 있으므로, 전계 인가시에, 액정 분자(m)가 기판면에 대하여 기울어 배향되는 것이 억제된다. 이로써, 액정층(30)의 광투과율이 향상되므로, 콘트라스트를 향상시킬 수 있다.
- <57> 또한, 본 실시예의 액정 표시 장치에 따르면, 투과 표시 영역(X)과 반사 표시 영역(Y)의 전계 강도를 정렬할 수 있으므로, 화소 내의 전계 강도의 불균일이 억제되고, 또한 구동 전압의 저하가 가능해진다.
- <58> 또한, 전술한 제2 층간 절연막(17)의 블록 패턴(17a)의 단부와 화소 전극(18)의 전극부(18b)의 양 단부의 거리(S_1 , S_2)를 액정 분자(m)의 긴 직경의 길이 이상으로 함으로써, 콘트라스트의 저하나 디스크리네이션의 발생을 방지할 수 있다.
- <59> 그리고, 상기 실시예에서는, TFT(1)가 보텀 게이트(bottom gate)형의 트랜지스터인 예에 대하여 설명하였으나, TFT(1)는 탑 게이트(top gate)형의 트랜지스터일 수 있다. 이 경우에는, 도 5에 나타난 바와 같이, 제1 기판(10) 상에, a-Si, Poly-Si 또는 crystal-Si으로 이루어지는 반도체층(4)이 패턴 형성되고, 이 반도체층(4) 상에 게이트 절연막(3)을 통하여 일부가 게이트 전극(2a)으로서 기능하는 한쪽 방향으로 연장된 게이트선(2)이 패턴 형성된다. 이 경우에는, 게이트 전극(2a)을 마스크로 하여 n형 불순물이 이온 주입되므로, 게이트 전극(2a) 바로 아래의 반도체층(4)이 채널층(4a)으로 되고, 그 양쪽의 반도체층(4)이 소스 영역(4b)과 드레인 영역(4c)이 된다. 또한, 게이트선(2) 및 게이트 절연막(3) 상에는, 절연층(13a)이 설치되어 있고, 절연층(13a)에 설치된 콘택트홀을 통하여, 소스·드레인 영역(4b, 4c)과 소스·드레인 전극(12a, 12b)이 접속된다. 또한, 소스·드레인 전극(12a, 12b)을 덮은 상태로, 절연층(13a) 상에 절연층(13b)이 설치되어 있다. 이상과 같이 하여, 절연층(13a, 13b)으로 구성된 제1 층간 절연막(13)에 의해, 박막 트랜지스터(1)가 덮힌 상태로 된다.
- <60> (제1 변형예)
- <61> 그리고, 전술한 제1 실시예에서는, 화소 전극(18)의 전극부(18b)가 제2 층간 절연막(17)의 블록 패턴(17a)을 덮은 상태로 설치한 예에 대하여 설명하였으나, 본 발명은 이에 한정되지 않고, 도 6의 반사 표시 영역(Y)의 주요부 확대도(전계 인가시)에 나타난 바와 같이, 블록 패턴(17a)이 슬릿(18a)의 내부에 배치되도록 화소 전극(18)이 설치되어도 된다.
- <62> 이 경우에는, 슬릿(18a)의 아래쪽에, 산란막(14)의 블록 패턴(14a)이 배치되므로, 화소 전극(18)의 전극부(18b)의 단부와 공통 전극(15)의 블록 패턴의 사이에서 전계가 생긴다. 이로써, 전극부(18b)의 단부와 공통 전극(15)의 거리가 짧아지므로, 전계 강도가 강해져, 액정 분자(m)의 배향 제어가 용이해진다. 단, 이 경우에는, 화소 전극(18)의 전극부(18b)의 단부와 공통 전극(15) 사이의 전계 강도를 동등하게 하기 위하여, 블록 패턴(17a)의 단부로부터 전극부(18b)의 단부까지의 거리(S_3 , S_4)가 동등하게 되도록, 화소 전극(18)의 전극부(18b)를 배치하는 것이 바람직함.
- <63> 이와 같은 액정 표시 장치에서도, 제1 실시예와 마찬가지로, 반사 표시 영역(Y)에서의 전극부(18b)의 단부와 공통 전극(15)의 거리의 불균일이 억제되므로, 구동 전압을 저감하고, 콘트라스트를 향상시킬 수 있다.
- <64> (제2 변형예)
- <65> 또한, 도 7의 반사 표시 영역(Y)의 주요부 확대도(전계 인가시)에 나타난 바와 같이, 제1 실시예에서의 화소 전극(18)의 배치 구성과, 제2 실시예에서의 화소 전극(18)의 배치 구성이 혼재하여도 된다. 이 경우에는, 제2 층간 절연막(17)의 블록 패턴(17a)의 일부를 덮은 상태로, 화소 전극(18)의 전극부(18b)로 덮혀 있고, 그 외의 블록 패턴(17a) 상에는 화소 전극(18)의 슬릿(18a)이 배치된 구성으로 된다.
- <66> 이 경우에는, 전극부(18b)의 바로 아래에 배치되는 블록 패턴(17a)의 단부와 화소 전극(18)의 전극부(18b)의 양 단부의 거리(S_1 , S_2)를 액정 분자(m)의 긴 직경의 길이 이상으로 하는 동시에, 블록 패턴(17a)의 단부로부터 전극부(18b)의 단부까지의 거리(S_3 , S_4)가 동등하게 되도록, 화소 전극(18)의 전극부(18b)를 배치하는 것이 바람직하다.
- <67> 이와 같은 액정 표시 장치에서도, 제1 실시예와 마찬가지로, 반사 표시 영역(Y)에서의 전극부(18b)의 단부와 공통 전극(15)의 거리의 불균일이 억제되므로, 구동 전압을 저감하고, 콘트라스트를 향상시킬 수 있다.
- <68> (제3 변형예)

- <69> 또한, 도 8의 반사 표시 영역(Y)의 주요부 확대도(전계 인가시)에 나타낸 바와 같이, 상층에 화소 전극(18)이 배치되는 제2 층간 절연막(17)의 표면층이, 예를 들면 화학적 기계적 연마(Chemical Mechanical Polishing(CMP))법에 의해 평탄화되어도 된다.
- <70> 여기서, 산란막(14)의 볼록 패턴(14a) 상에 화소 전극(18)의 전극부(18b)가 설치되거나, 슬릿(18a)이 설치되는 것이 바람직하고, 이로써, 반사 표시 영역(Y)에서의 전극부(18b)의 단부와 공통 전극(15)의 거리의 불균일이 억제된다. 특히, 볼록 패턴(14a) 상에 전극부(18b)가 배치된 경우에는, 슬릿(18a)의 아래쪽에 볼록 패턴(14a)이 배치되지 않고, 화소 전극(18)의 전극부(18b)의 단부와 공통 전극(15)의 평탄면의 사이에 전계가 생긴다. 이로써, 볼록 패턴(14a)의 영향을 받지 않고 반사 표시 영역(Y)의 전계 강도가 규정되므로, 투과 표시 영역(X)과 반사 표시 영역(Y)의 전계 강도를 정렬하는 것이 가능해지고, 바람직하다.
- <71> 이와 같은 액정 표시 장치에서도, 제1 실시예와 마찬가지로, 반사 표시 영역(Y)에서의 전극부(18b)의 단부와 공통 전극(15)의 거리의 불균일이 억제되므로, 구동 전압을 저감하고, 콘트라스트를 향상시킬 수 있다.
- <72> 또한, 본 실시예의 액정 표시 장치에 따르면, 제2 층간 절연막(17)이 평탄화됨으로써, 그 상층에 형성되는 화소 전극(18) 및 배향막(19)의 표면층이 평탄화된다. 이에 따라, 산란막(14)의 볼록 패턴(14a)의 영향을 받지 않고, 액정 분자(m)의 배향 제어를 행하는 것이 가능해진다.
- <73> (제2 실시예)
- <74> 전술한 제1 실시예에서는, FFS 모드의 액정 표시 장치의 예를 사용하여 설명하였으나, 본 실시예에서는, IPS 모드의 액정 표시 장치의 예에 대하여, 도 9를 참조하여 설명한다.
- <75> 도 9에 나타낸 바와 같이, IPS 모드의 액정 표시 장치(100')는, 제1 기관(110)과, 이 제1 기관(110)의 소자 형성면 측에 대향 배치된 제1 기관(120)과, 이들 제1 기관(110)과 제1 기관(120)의 사이에 협지된 액정층(130)으로 이루어지는 액정 패널을 포함한다. 여기서, 액정층(130)이, 네마틱 액정으로 구성되어 있는 것으로 한다. 또한, 이 액정 패널에서, 제1 기관(110) 및 제1 기관(120)의 외측면에는, 편광판(140, 150)이 접촉제(도시하지 않음)를 통하여 밀착 상태로 설치되어 있다. 이들 편광판(140, 150)은, 직교 니콜 상태로 설치되어 있는 것으로 한다. 또한, 제1 기관(110) 측의 편광판(140)의 더 외측에는, 투과 표시를 행하기 위한 광원으로 되는 백라이트(도시하지 않음)가 설치되어 있다.
- <76> 그리고, 이 액정 표시 장치(100')에서, 제1 기관(110)에 설치된 제1 층간 절연막(113)까지의 구성은, 제1 실시예에서 설명한 제1 층간 절연막(113)(도 1a 참조)까지의 구성과 마찬가지로, 설명을 생략한다.
- <77> 반사 표시 영역(Y')에서의 제1 층간 절연막(113) 상에는, 표면 측에 볼록 패턴(116a)이 설치된 반사막(116)이 설치되어 있다. 그리고, 반사막(116)을 덮은 상태로, 제1 층간 절연막(113) 상에 제2 층간 절연막(117)이 설치되어 있다. 반사 표시 영역(Y')에서의 제2 층간 절연막(117)의 표면층에는, 반사막(116)의 표면 형상을 모방하여 볼록 패턴(117a)이 설치되어 있다. 그리고, 여기서 반사막(116) 자체의 표면 측에 볼록 패턴(116a)이 설치된 예에 대하여 설명하지만, 반사막(116)의 하층의 표면 측에 볼록 패턴을 가지는 절연막으로 이루어지는 산란막이 설치되고, 이 산란막의 표면 형상을 모방하여 반사막(116)의 볼록 패턴(116a)이 설치되어도 된다.
- <78> 이 제2 층간 절연막(117) 및 제1 층간 절연막(113)에는, 드레인 전극(112b)에 이르는 컨택트홀(117b)이 형성되어 있고, 제2 층간 절연막(117) 상에는, 이 컨택트홀(117b)을 통하여 드레인 전극(112b)과 접속하는 상태로, 복수개의 슬릿(118a)을 가지는 빗살 모양의 화소 전극(118)이 설치되어 있다.
- <79> 또한, 제2 층간 절연막(117) 상에는, 슬릿(115a)을 가지는 빗살 모양의 공통 전극(115)이 설치되어 있고, 이 공통 전극(115)은 컨택트홀(113a)을 통하여 커먼선(111)과 접속되어 있다. 또한, 화소 전극(118)의 전극편(118b)과 공통 전극(115)의 전극편(115b)은 교대로 조합되어 있다. 이로써, 화소 전극(118)의 전극편(118b)과 공통 전극(115)의 전극편(115b)의 사이에서, 액정층(130)에 대하여 기관면에 대략 평행한 횡 방향의 전계가 인가된다. 그리고, 화소 전극(118)과 공통 전극(115)을 덮은 상태로, 제2 층간 절연막(117) 상에 배향막(119)이 설치되어 있다.
- <80> 여기서, 본 실시예에서는, 예를 들면, 제2 층간 절연막(117)의 볼록 패턴(117a)이, 화소 전극(118)의 전극편(118b)의 바로 아래 또는 공통 전극(115)의 전극편(115b)의 바로 아래에, 슬릿(118a) 또는 슬릿(115a)의 길이 방향을 따라, 예를 들면 일렬로 배치되어 있다. 즉, 제2 층간 절연막(117)의 볼록 패턴(117a)을 덮은 상태로, 화소 전극(118)의 전극편(118b)과 공통 전극(115)의 전극편(115b)이 설치되어 있다. 이 경우, 전극편(118b), 또는 전극편(115b)의 단부는 제2 층간 절연막(117)의 평탄면 상에 배치되도록 하고, 전극편(118b)과 전극편

(115b)의 간격(W)이 동등하게 되도록 한다.

- <81> 여기서, IPS 모드의 액정 표시 장치의 전계 강도는, 전극편(118b)과 전극편(115b)의 간격(W)으로 규정된다. 본 실시예에서는, 전극편(118b)과 전극편(115b)의 간격(W)이 동일할 뿐만 아니라, 전극편(118b)과 전극편(115b) 사이에 볼록 패턴(116a)이 배치되어 있지 않으므로, 볼록 패턴(116a)의 영향을 받지 않고, 반사 표시 영역(Y')내의 전계 강도를 동등하게 하는 것이 가능해진다. 이로써, 반사 표시 영역(Y') 내의 전계 강도의 불균일을 억제할 수 있고, 구동 전압이 저감된다. 또한, 투과 표시 영역(X') 내의 전극편(118b)과 전극편(115b)의 간격(W)도 정렬함으로써, 화소 내의 전계 강도를 동등하게 하는 것도 가능해진다.
- <82> 또한, IPS 모드의 액정 표시 장치에서는, 전극편(118b) 및 전극편(115b) 상의 액정 분자(m)는 배향되지 않기 때문에, 평탄면만으로 액정 분자(m)의 배향 제어를 행하는 것이 가능해진다. 그러므로, 액정 분자(m)가 기판면에 대하여 경사지는 것이 억제되므로, 콘트라스트를 향상시킬 수 있다.
- <83> 한편, 제2 기판(120)은, 유리 기판과 같은 투명 기판으로 이루어지고, 이 제2 기판(120)의 액정층(130)을 향한 면에는, RGB 각 색의 컬러 필터(121)와, 투과 표시 영역(X')과 반사 표시 영역(Y')의 셀 갭을 제어하기 위한 평탄화막(122)이 설치되어 있다. 이 평탄화막(122)에 의해, 반사 표시 영역(Y')의 셀 갭이 투과 표시 영역(X')의 셀 갭의 1/2로 되도록 조정된다. 또한, 투과 표시 영역(X')에서의 평탄화막(122)의 액정층(130)을 향한 면에는 비위상차층(123)이 설치되어 있고, 반사 표시 영역(Y')에서의 평탄화막(122)의 액정층(130)을 향한 면에는 위상차층(124)이 각각 설치되어 있다. 이 위상차층(124)은 $\lambda / 4$ 층으로서 기능한다. 또한, 비위상차층(123)과 위상차층(124)의 액정층(130)을 향한 면에는, 배향막(125)이 설치되어 있다.
- <84> 그리고, 전술한 바와 같은 IPS 모드의 액정 표시 장치(100')의 회로 패턴은 제1 실시예에서 도 4를 참조하여 설명한 회로 패턴과 마찬가지로, 전계의 인가, 비인가에 의한 액정 분자(m)의 배향도 마찬가지로 행해진다.
- <85> 이와 같은 액정 표시 소자 및 액정 표시 소자를 포함한 액정 표시 장치에서도, 반사막(116)의 표면 측에 볼록 패턴(116a)이 설치된 상태로, 반사 표시 영역(Y')에서의 화소 전극(118)과 공통 전극(115)의 전극편(118b, 115b) 사이의 거리(W)를 동등하게 할 수 있기 때문에, 구동 전압을 저감할 수 있다. 또한, 전극편(118b, 115b) 사이의 거리(W)를 동등하게 함으로써, 기판면에 평행한 횡 방향으로의 전계를 인가하기가 용이하므로, 콘트라스트를 향상시킬 수 있다. 따라서, 액정 표시 장치의 고효율화 및 고화질화를 도모할 수 있다.
- <86> 또한, 본 실시예의 액정 표시 장치에 따르면, 볼록 패턴(117a)에 의해 화소 전극(118)과 공통 전극(115) 사이를 방해할 수 없기 때문에, 볼록 패턴(116a)에 의한 전계 강도에의 영향을 방지할 수 있다.
- <87> (제4 변형예)
- <88> 그리고, 전술한 제2 실시예에서는, 화소 전극(118) 또는 공통 전극(115)의 전극편(118b, 115b)이 제2 층간 절연막(117)의 볼록 패턴(117a)을 덮은 상태로 설치된 예에 대하여 설명하였으나, 본 발명은 이에 한정되지 않고, 도 10에 나타난 바와 같이, 볼록 패턴(117a)이 화소 전극(118)과 공통 전극(115)의 전극편(118b, 115b) 사이에 설치되어 있어도 된다.
- <89> 이와 같은 액정 표시 소자 및 액정 표시 소자를 포함한 액정 표시 장치에서도, 반사막(116)의 표면 측에 볼록 패턴(116a)이 설치된 상태로, 화소 전극(118)과 공통 전극(115)의 전극편(118b, 115b) 사이의 거리(W)를 동등하게 할 수 있기 때문에, 구동 전압을 저감할 수 있고, 콘트라스트를 향상시킬 수 있으며, 액정 표시 장치의 고효율화 및 고화질화를 도모할 수 있다.
- <90> 또, 여기서의 도시는 생략하지만, 제1 실시예의 제3 변형예와 같이, 제2 층간 절연막(117)을 평탄화한 구성을 제2 실시예에 적용할 수도 있다.
- <91> 그리고, 상기 실시예 및 변형예에서는, 반투과 반반사형의 액정 표시 장치의 예를 취해 설명하였으나, 본 발명은 이에 한정되지 않고, 전반사형으로 FFS 모드 또는 IPS 모드의 액정 표시 장치에도, 적용할 수 있다.

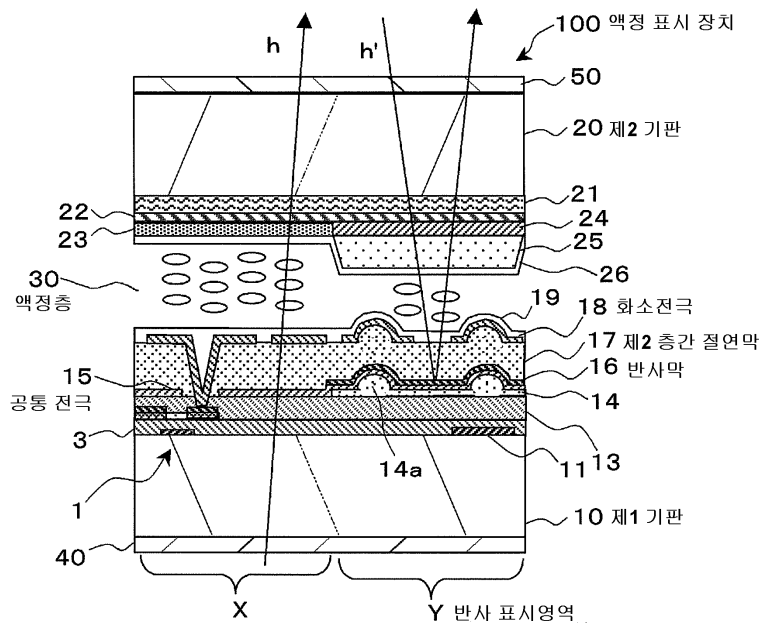
도면의 간단한 설명

- <92> 도 1a 및 도 1b는 본 발명의 제1 실시예에 따른 액정 표시 장치의 구성을 나타낸 단면도 및 평면도이다.
- <93> 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터를 나타내는 단면도이다.
- <94> 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 구성을 나타낸 주요부 단면도이다.

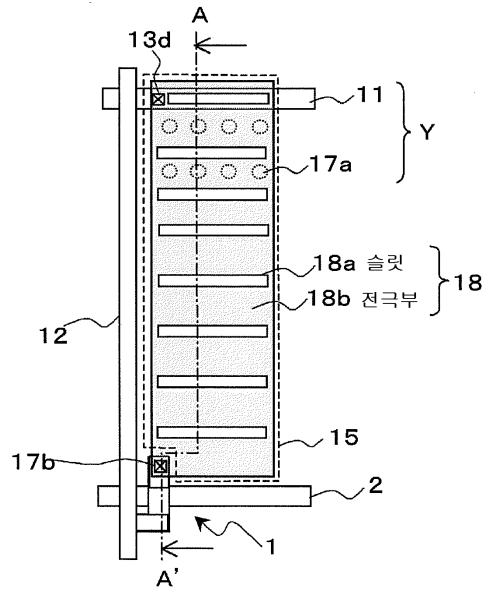
- <95> 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로 패턴을 나타내는 구성도이다.
- <96> 도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터의 다른 예를 나타내는 단면도이다.
- <97> 도 6은 본 발명의 제1 실시예의 제1 변형예에 따른 액정 표시 장치의 주요부 단면도이다.
- <98> 도 7은 본 발명의 제1 실시예의 제2 변형예에 따른 액정 표시 장치의 주요부 단면도이다.
- <99> 도 8은 본 발명의 제1 실시예의 제3 변형예에 따른 액정 표시 장치의 주요부 단면도이다.
- <100> 도 9a 및 도 9b는 본 발명의 제2 실시예에 따른 액정 표시 장치의 단면도 및 평면도이다.
- <101> 도 10a 및 도 10b는 본 발명의 제2 실시예의 제4 변형예에 따른 액정 표시 장치의 단면도 및 평면도이다.
- <102> 도 11은 종래의 액정 표시 장치의 구성을 설명하기 위한 단면도이다.
- <103> 도 12는 종래의 액정 표시 장치의 과제를 나타내는 주요부 단면도이다.
- <104> * 도면의 부호의 설명
- <105> 100, 100': 액정 표시 장치, 10, 110: 제1 기판
- <106> 15, 115: 공통 전극, 16, 116: 반사막,
- <107> 18, 118: 화소 전극, 20, 120: 제2 기판,
- <108> 30, 130: 액정층

도면

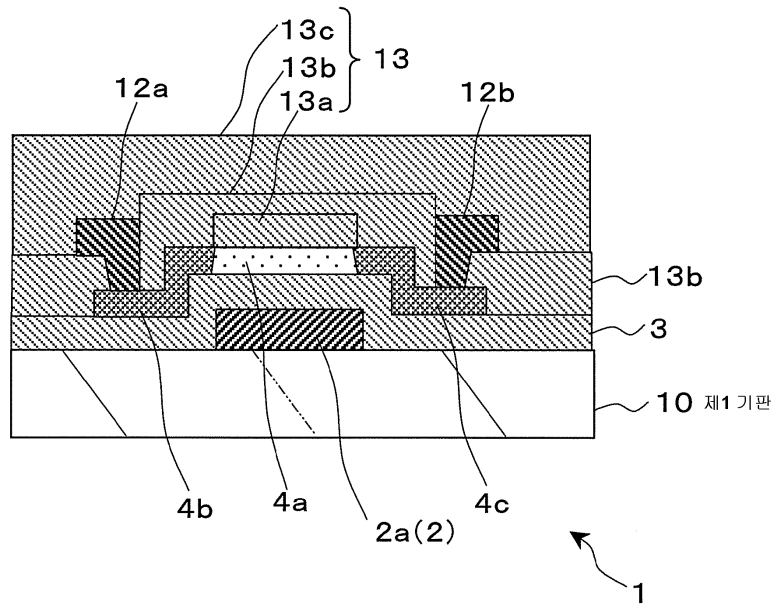
도면1a



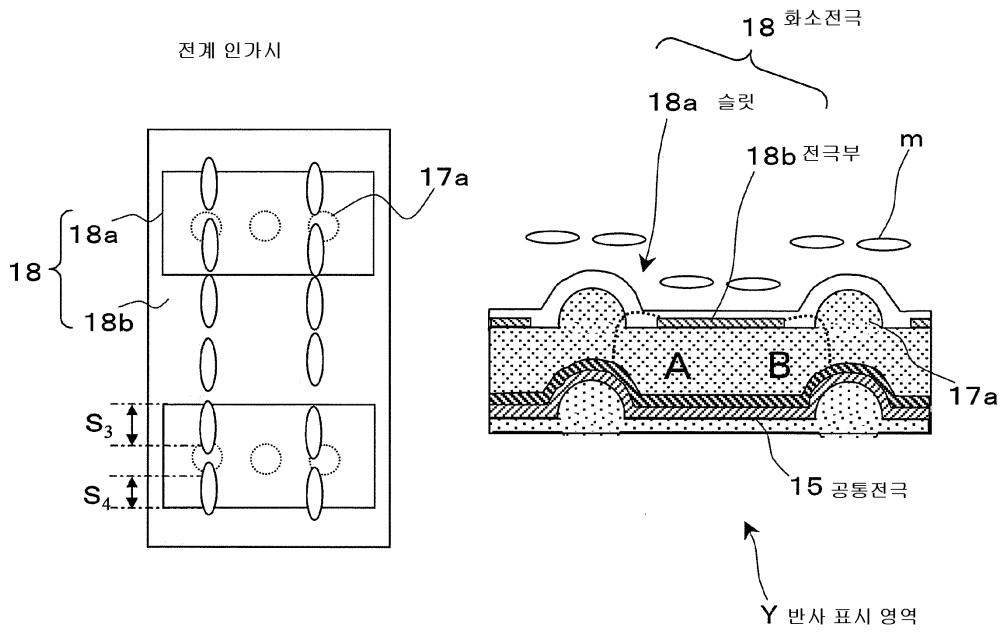
도면1b



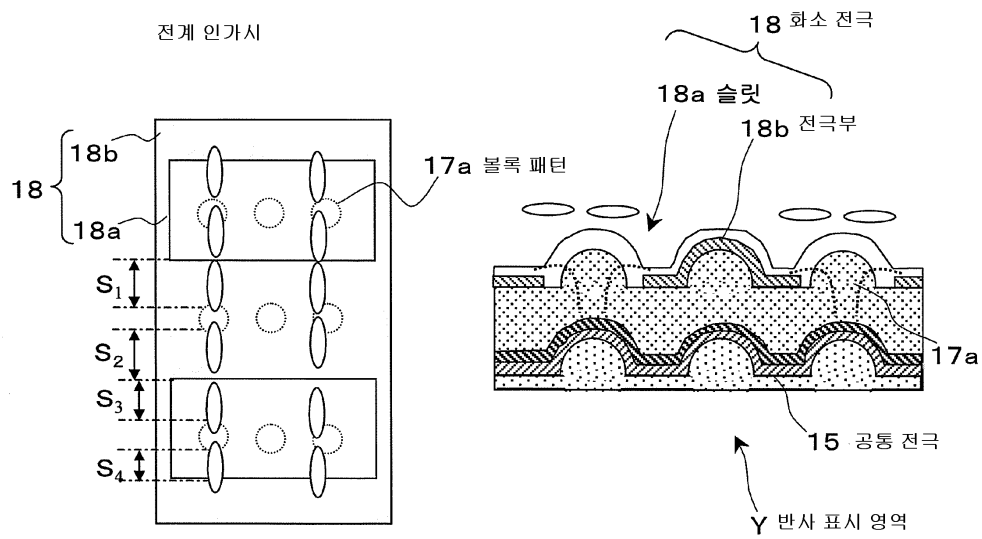
도면2



도면6

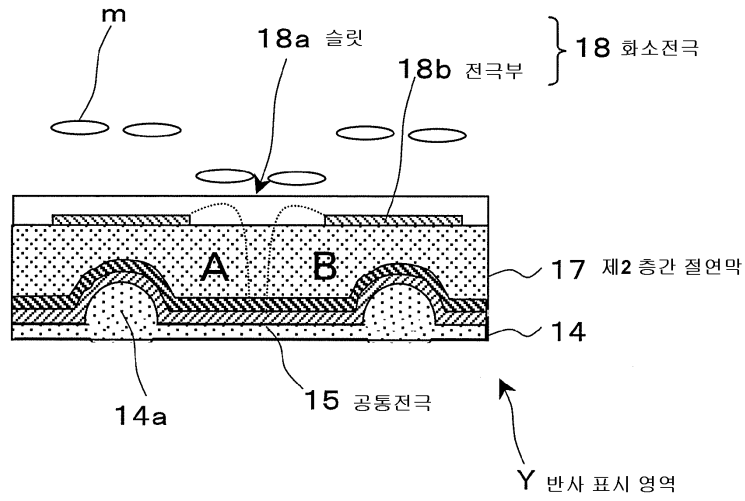


도면7

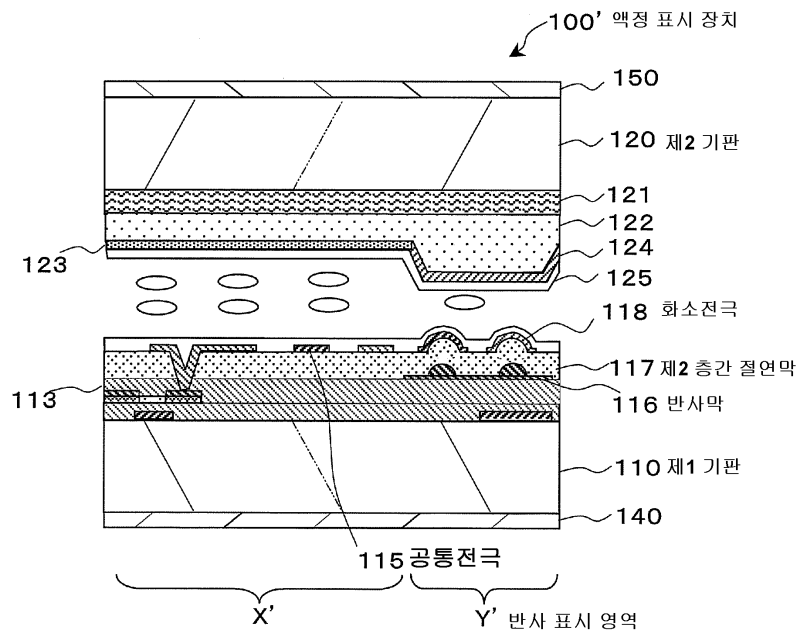


도면8

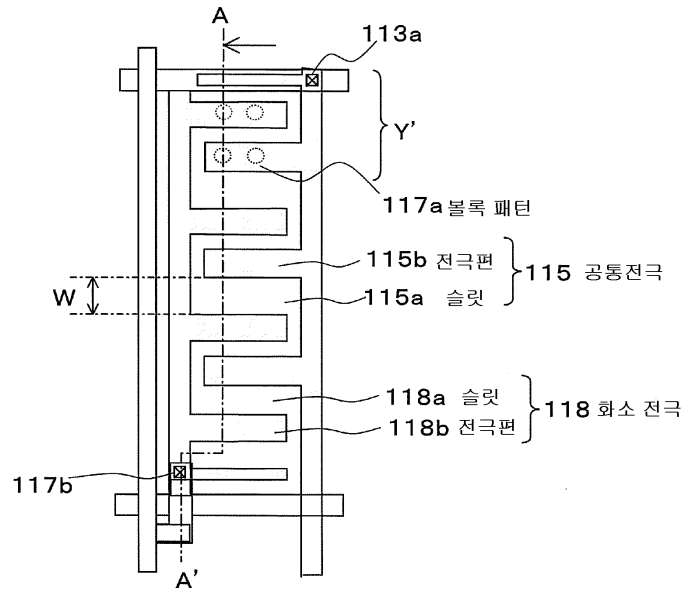
전계 인가시



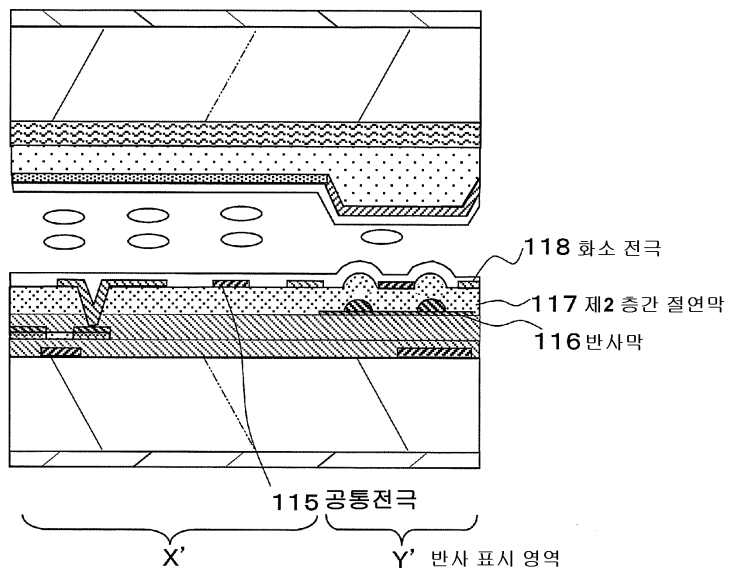
도면9a



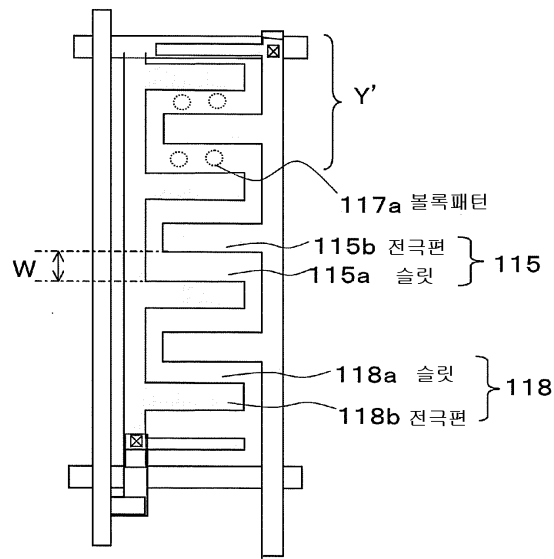
도면9b



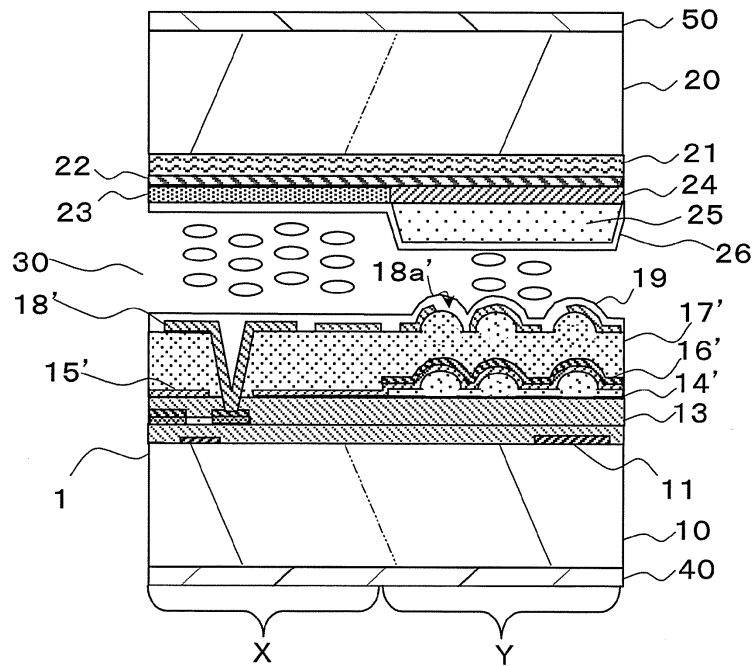
도면10a



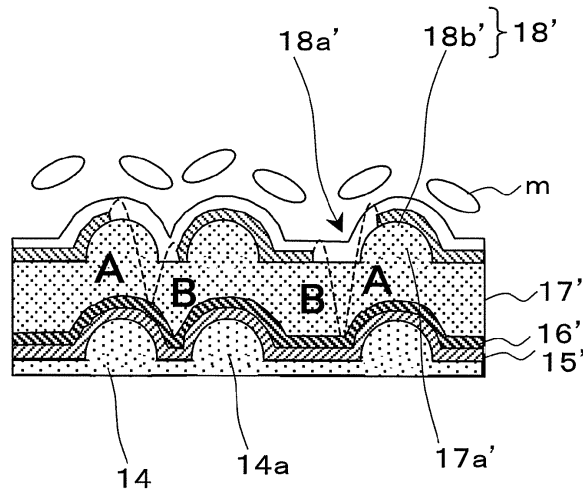
도면10b



도면11



도면12



专利名称(译)	液晶显示装置和显示装置		
公开(公告)号	KR1020080059504A	公开(公告)日	2008-06-30
申请号	KR1020070126091	申请日	2007-12-06
[标]申请(专利权)人(译)	日本显示器西股份有限公司		
申请(专利权)人(译)	在阎王鼻子喷雾的西捕率		
当前申请(专利权)人(译)	在阎王鼻子喷雾的西捕率		
[标]发明人	INO MASUMITSU		
发明人	INO, MASUMITSU		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/133371 G02F1/134363 G02F1/133553 G02F1/133345 G02F1/133555		
代理人(译)	您是我的专利和法律公司		
优先权	2006347048 2006-12-25 JP		
其他公开文献	KR101443163B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示元件和具有用于降低驱动电压的反射显示区域的液晶显示装置。根据本发明的液晶显示装置包括夹在第一基板10和第二基板20之间的液晶层30，

