



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0043515
(43) 공개일자 2008년05월19일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0112163

(22) 출원일자 2006년11월14일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

신정욱

서울 마포구 성산2동 성산시영아파트 16동 906호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 4 항

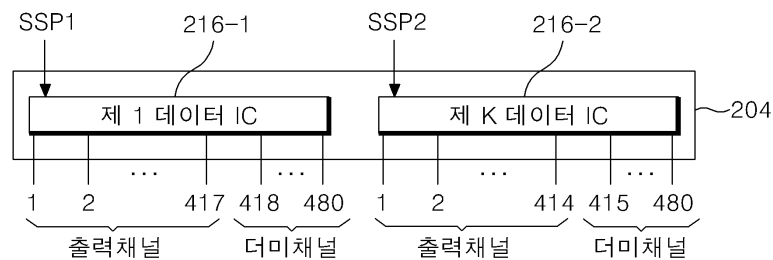
(54) 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 표시품위를 향상시키고 제조비용을 절감할 수 있도록 한 액정표시장치 및 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 다수의 데이터라인을 가지는 표시패널; 상기 데이터라인과 연결되고 데이터의 출력이 가능한 제1 출력채널군과, 상기 데이터의 출력이 차단된 제1 더미채널군을 가지는 제1 데이터 집적회로; 상기 데이터라인과 연결되고 데이터의 출력이 가능한 제2 출력채널군과, 상기 데이터의 출력이 차단된 제2 더미채널군을 가지는 제2 데이터 집적회로; 및 상기 데이터 집적회로들에 디지털 비디오 데이터를 순차적으로 공급하고, 제1 스타트신호와 제2 스타트신호를 발생하는 제어기를 구비하고; 상기 제1 데이터 집적회로는 상기 제1 스타트신호에 응답하여 상기 디지털 비디오 데이터의 샘플링을 시작하고, 상기 제2 데이터 집적회로는 상기 제2 스타트신호에 응답하여 상기 디지털 비디오 데이터의 샘플링을 시작하는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

다수의 데이터라인을 가지는 표시패널;

상기 데이터라인과 연결되고 데이터의 출력이 가능한 제1 출력채널군과, 상기 데이터의 출력이 차단된 제1 더미 채널군을 가지는 제1 데이터 집적회로;

상기 데이터라인과 연결되고 데이터의 출력이 가능한 제2 출력채널군과, 상기 데이터의 출력이 차단된 제2 더미 채널군을 가지는 제2 데이터 집적회로; 및

상기 데이터 집적회로들에 디지털 비디오 데이터를 순차적으로 공급하고, 제1 스타트신호와 제2 스타트신호를 발생하는 제어기를 구비하고;

상기 제1 데이터 집적회로는 상기 제1 스타트신호에 응답하여 상기 디지털 비디오 데이터의 샘플링을 시작하고, 상기 제2 데이터 집적회로는 상기 제2 스타트신호에 응답하여 상기 디지털 비디오 데이터의 샘플링을 시작하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 출력채널군은 상기 제1 데이터 집적회로의 좌측에 배치되고, 상기 제1 더미채널군은 상기 제1 데이터 집적회로의 우측에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 출력채널군은 상기 제2 데이터 집적회로의 좌측에 배치되고, 상기 제2 더미채널군은 상기 제2 데이터 집적회로의 우측에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 4

다수의 데이터라인을 가지는 표시패널, 데이터의 출력이 가능한 제1 출력채널군과 상기 데이터의 출력이 차단된 제1 더미채널군을 가지는 제1 데이터 집적회로, 데이터의 출력이 가능한 제2 출력채널군과 상기 데이터의 출력이 차단된 제2 더미채널들을 가지는 제2 데이터 집적회로, 상기 데이터 집적회로들에 디지털 비디오 데이터를 순차적으로 공급하는 제어기를 구비하는 액정표시장치의 구동방법에 있어서,

상기 제어기에서 제1 스타트신호와 제2 스타트신호를 발생하는 단계;

상기 제1 스타트신호에 응답하여 상기 제1 데이터 집적회로에서 상기 디지털 비디오 데이터의 샘플링을 시작하는 단계; 및

상기 제2 스타트신호에 응답하여 상기 제2 데이터 집적회로에서 상기 디지털 비디오 데이터의 샘플링을 시작하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 액정표시장치 및 그 구동방법에 관한 것으로 특히, 표시품위를 향상시키고 제조비용을 절감할 수 있도록 한 액정표시장치 및 그 구동방법에 관한 것이다.

<14> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다.

<15> 이를 위하여, 액정표시장치는 도 1에 도시된 바와 같이 액정셀들이 매트릭스 형태로 배열된 액정패널(2)과, 액

정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)와, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 게이트 드라이버(6)와 데이터 드라이버(4)를 제어하기 위한 타이밍 제어부(8)를 구비한다.

- <16> 액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속된 액정셀(7)을 구비한다. 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터의 게이트 하이전압(VGH)이 공급되는 경우 턴-온되어 데이터라인(DL)으로부터의 화소신호를 액정셀(7)에 공급한다. 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터 게이트 로우전압(VGL)이 공급되는 경우 턴-오프되어 액정셀(7)에 충전된 화소신호가 유지되게 한다.
- <17> 액정셀(7)은 등가적으로 액정용량 커패시터로 표현되며, 액정을 사이에 두고 대면하는 공통전극과 박막 트랜지스터(TFT)에 접속된 화소전극을 포함한다. 액정셀(7)은 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 커패시터를 더 구비한다. 이러한 액정셀(7)은 박막 트랜지스터(TFT)를 통해 충전되는 화소 신호에 따라 가변되는 액정의 배열 상태를 이용하여 광투과율을 조절함으로써 계조를 구현하게 된다.
- <18> 타이밍 제어부(8)는 도시되지 않은 비디오 카드로부터 공급되는 클럭(CLK) 및 동기신호(Vsync, Hsync)를 이용하여 게이트 제어신호들(GSP, GSC, GOE)과 데이터 제어신호들(SSP, SSC, SOE, POL)을 발생한다. 게이트 제어신호들(GSP, GSC, GOE)은 게이트 드라이버(6)로 공급되어 게이트 드라이버를 제어하게 되고, 데이터 제어신호들(SSP, SSC, SOE, POL)은 데이터 드라이버(4)로 공급되어 데이터 드라이버를 제어하게 된다. 아울러, 타이밍 제어부(8)는 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터(VD)를 재정렬하여 데이터 드라이버(4)로 공급한다.
- <19> 게이트 드라이버(6)는 게이트라인들(GL1 내지 GLn)을 순차적으로 구동시킨다. 이를 위해, 게이트 드라이버(6)는 도 2a와 같이 다수의 게이트 집적회로(Integrated Circuit : 이하, "IC"라 함)(10)를 구비한다. 게이트 IC(10)들은 타이밍 제어부(8)로부터 공급되는 게이트 제어 신호들(GSP, GSC, GOE)에 응답하여 게이트라인들(GL1 내지 GLn)에 게이트 하이전압(VGH)을 순차적으로 공급한다.
- <20> 데이터 드라이버(4)는 수평기간마다 1라인분씩의 화소신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이를 위해, 데이터 드라이버(4)는 도 2b와 같이 다수의 데이터 IC(16)들을 구비한다. 데이터 IC(16)들은 타이밍 제어부(8)로부터 공급되는 데이터 제어 신호들(SSP, SSC, SOE, POL)에 응답하여 데이터라인들(DL1 내지 DLm)에 데이터전압을 공급한다.
- <21> 이와 같은 종래의 액정표시장치는 액정패널(2)의 해상도에 따라 데이터 IC(16)의 출력 채널수 및 데이터 IC(16)의 갯수를 다르게 요구한다. 액정패널(2)의 해상도에 따라 데이터라인(DL)의 갯수가 달라지기 때문이다. 예를 들면, 액정패널(2)의 해상도가 XGA(eXtended Graphics Array)급인 액정표시장치는 3072(1024×3)개의 데이터라인(DL) 수를 가지므로 768개의 데이터 출력채널을 갖는 4개의 데이터 IC(16)를 필요로 한다. 액정패널(2)의 해상도가 SXGA+(Super eXtended Graphics Adapter+)급인 액정표시장치는 4200(1400×3)개의 데이터라인(DL) 수를 가지므로 702개의 데이터 출력채널을 갖는 6개의 데이터 IC(16)를 필요로 한다. 이때, 남은 12개의 출력채널은 더미채널로 처리된다.
- <22> 최근, 액정표시장치의 활용범위가 넓어짐에 따라 특이한 인치나 특이한 해상도 개발이 진행되고 있다. 그 대표적인 예가 (277×124)의 해상도를 가지는 5 인치 액정표시장치이다. 이러한 특이 해상도를 가지는 액정표시장치에서는 현재까지 개발되어진 데이터 IC의 출력채널 수와 액정표시장치의 데이터라인 수가 정확하게 매치되지 않음에 따라 데이터라인과 접속되지 않는 출력채널이 더미채널로 처리되는 빈도가 높다. 데이터라인과 접속되지 않는 더미채널들은 주로 2개의 데이터 IC 사이에 배치된다.
- <23> 그런데, 종래 액정표시장치에서는 상술한 바와 같이 데이터라인과 접속되지 않는 더미채널들이 주로 2개의 데이터 IC 사이에 배치됨으로써 디지털 비디오 데이터의 망실을 초래하였다. 즉, 종래 액정표시장치에서 제1 데이터 IC와 제2 데이터 IC 사이에 일정 수의 더미채널들이 존재하는 경우, 제1 데이터 IC로부터 캐리신호가 발생되기 전에 제2 데이터 IC에서 샘플링되어야 할 디지털 비디오 데이터가 더미채널들로 인가되어 표시품위를 떨어뜨리는 문제가 발생했다. 이를 해결하기 위해 타이밍 콘트롤러 내에 별도의 라인 메모리를 구비하여 디지털 비디오 데이터를 한 수평라인 지연시켜 데이터 IC에 공급하는 방식이 채택된 바 있다.
- <24> 도 3은 디지털 비디오 데이터의 지연을 설명하기 위한 파형도이다. 타이밍 콘트롤러 내에는 두 개의 라인 메모리가 구비되어 있다. 타이밍 콘트롤러는 도 3에 도시된 바와 같이 제1 수평라인에 공급될 디지털 비디오 데이

터를 첫 번째 라인 메모리에 저장한다. 그리고, 타이밍 컨트롤러는 제1 수평라인 아래에 배치된 제2 수평라인에 공급될 디지털 비디오 데이터를 두 번째 라인 메모리에 저장할 때 첫 번째 라인 메모리에 저장된 제1 수평라인에 공급될 디지털 비디오 데이터를 데이터 IC들로 공급한다.

- <25> 이와 같이, 타이밍 컨트롤러 내에 별도의 라인 메모리를 구비하고, 데이터 인에이블 신호(DE)의 폴링 에지에 동기시켜 새로운 데이터 인에이블 신호를 생성하는 경우에는 더미채널들로 인한 디지털 비디오 데이터의 망실은 방지할 수 있지만, 별도의 메모리 사용에 대한 추가 비용이 발생 되어 경제적으로 불리한 단점이 있다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서, 본 발명의 목적은 소스 스타트 펄스를 각 데이터 IC 별로 개별적으로 발생하여 데이터 IC들의 샘플링 시작을 제어함으로써 제조비용을 절감함과 아울러 표시품위를 향상시킬 수 있도록 한 액정표시장치 및 그 구동방법을 제공하는 데 있다.

발명의 구성 및 작용

- <27> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치는 다수의 데이터라인을 가지는 표시패널; 상기 데이터라인과 연결되고 데이터의 출력이 가능한 제1 출력채널군과, 상기 데이터의 출력이 차단된 제1 더미채널군을 가지는 제1 데이터 집적회로; 상기 데이터라인과 연결되고 데이터의 출력이 가능한 제2 출력채널군과, 상기 데이터의 출력이 차단된 제2 더미채널군을 가지는 제2 데이터 집적회로; 및 상기 데이터 집적회로들에 디지털 비디오 데이터를 순차적으로 공급하고, 제1 스타트신호와 제2 스타트신호를 발생하는 제어기를 구비하고; 상기 제1 데이터 집적회로는 상기 제1 스타트신호에 응답하여 상기 디지털 비디오 데이터의 샘플링을 시작하고, 상기 제2 데이터 집적회로는 상기 제2 스타트신호에 응답하여 상기 디지털 비디오 데이터의 샘플링을 시작하는 것을 특징으로 한다.

- <28> 상기 제1 출력채널군은 상기 제1 데이터 집적회로의 좌측에 배치되고, 상기 제1 더미채널군은 상기 제1 데이터 집적회로의 우측에 배치되는 것을 특징으로 한다.

- <29> 상기 제2 출력채널군은 상기 제2 데이터 집적회로의 좌측에 배치되고, 상기 제2 더미채널군은 상기 제2 데이터 집적회로의 우측에 배치되는 것을 특징으로 한다.

- <30> 본 발명의 실시 예에 따라 데이터라인을 가지는 표시패널, 데이터의 출력이 가능한 제1 출력채널군과 상기 데이터의 출력이 차단된 제1 더미채널군을 가지는 제1 데이터 집적회로, 데이터의 출력이 가능한 제2 출력채널군과 상기 데이터의 출력이 차단된 제2 더미채널군을 가지는 제2 데이터 집적회로, 상기 데이터 집적회로들에 디지털 비디오 데이터를 순차적으로 공급하는 제어기를 구비하는 액정표시장치의 구동방법은, 상기 제어기에서 제1 스타트신호와 제2 스타트신호를 발생하는 단계; 상기 제1 스타트신호에 응답하여 상기 제1 데이터 집적회로에서 상기 디지털 비디오 데이터의 샘플링을 시작하는 단계; 및 상기 제2 스타트신호에 응답하여 상기 제2 데이터 집적회로에서 상기 디지털 비디오 데이터의 샘플링을 시작하는 단계를 포함하는 것을 특징으로 한다.

- <31> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

- <32> 이하, 도 4 내지 도 6을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

- <33> 도 4는 본 발명의 실시 예에 따른 액정표시장치의 개략적인 구성도이다.

- <34> 도 4를 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정패널(102)과, 액정패널(102)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(106)와, 액정패널(102)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(104)와, 게이트 드라이버(106)와 데이터 드라이버(104)를 제어하기 위한 타이밍 제어부(108)를 구비한다.

- <35> 액정패널(102)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부마다 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속된 액정셀(도시하지 않음)을 구비한다. 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터의 게이트 하이전압(VGH)에 응답하여 턴-온 됨으로써 데이터라인(DL)으로부터의 데이터전압을 액정셀에 공급한다. 그리고, 박막 트랜지스터(TFT)는 게이트라인(GL)으로부터 게이트 로우전압(VGL)에 응답하여 턴-오프 됨으로써 액정셀에 충전된 화소신호가 유지되게 한다.

- <36> 액정셀은 등가적으로 액정용량 커패시터로 대체되며, 액정을 사이에 두고 박막 트랜지스터(TFT)에 접속된 화소

전극과 대면하는 공통전극을 포함한다. 액정셀은 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 커패시터를 더 구비한다. 스토리지 커패시터는 화소전극과 이전단 게이트 라인 사이에 형성될 수 있으며, 화소전극과 스토리지 라인 사이에 형성될 수도 있다. 이러한 액정셀은 박막 트랜지스터(TFT)를 통해 충전되는 화소 신호에 응답하여 유전 이방성을 가지는 액정의 배열 상태를 가변시킴으로써 광투과율을 조절하여 계조를 구현하게 된다.

<37> 타이밍 제어부(108)는 도시되지 않은 비디오 카드로부터 공급되는 제어신호들(DE, CLK, Vsync, Hsync)을 이용하여 게이트 제어신호들(GSP, GSC, GOE) 및 데이터 제어신호들(SSP1 내지 SSPk, SSC, SOE, POL)을 발생한다. 특히, 제1 내지 제k 소스 스타트 펄스(SSP1 내지 SSPk)는 각각 제1 내지 제k 데이터 IC(116-1 내지 116-k)에서 디지털 비디오 데이터(VD)의 샘플링 시작을 지시하는 제어신호이다. 게이트 제어신호들(GSP, GSC, GOE)은 게이트 드라이버(106)로 공급되어 게이트 드라이버를 제어하게 되고, 데이터 제어신호들(SSP1 내지 SSPk, SSC, SOE, POL)은 데이터 드라이버(104)로 공급되어 데이터 드라이버를 제어하게 된다. 아울러, 타이밍 제어부(108)는 비디오 카드로부터 공급되는 디지털 비디오 데이터(VD)를 재정렬하여 데이터 드라이버(104)로 공급한다.

<38> 게이트 드라이버(106)는 게이트라인들(GL1 내지 GLn)을 순차적으로 구동시킨다. 게이트 드라이버(106)에는 다수의 게이트 IC(도시하지 않음)가 구비되어 있다. 게이트 IC는 타이밍 제어부(108)로부터 공급되는 게이트 제어 신호들(GSP, GSC, GOE)에 응답하여 게이트라인들(GL1 내지 GLn)에 스캔신호를 순차적으로 공급한다. 상술하면, 게이트 IC는 게이트스타트펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시켜 쉬프트출력신호를 발생한다. 게이트 IC는 발생된 쉬프트출력신호를 박막트랜지스터(TFT) 구동에 적합한 전압레벨의 스캔신호로 변환하여 게이트라인들(GL1 내지 GLn)에 공급한다. 여기서, 스캔신호는 박막트랜지스터(TFT)의 문턱전압 이상의 전압인 게이트하이전압(VGH)과 박막트랜지스터(TFT)의 문턱전압 이하의 전압인 게이트로우전압(VGL) 사이에서 스윙된다.

<39> 데이터 드라이버(104)는 수평기간마다 1라인분씩의 화소신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 데이터 드라이버(104)에는 다수의 데이터 IC들(116-1 내지 116-k)이 구비되어 있다. 데이터 IC(116-1 내지 116-k)들 각각은 테이프 캐리어 패키지(Tape Carrier Package : 이하, "데이터 TCP"라 함)(110) 상에 실장된다. 이 데이터 IC(116-1 내지 116-k)들은 데이터 TCP 패드(112), 데이터 패드(114) 및 링크부(118)를 경유하여 데이터라인들(DL1 내지 DLm)과 전기적으로 접속된다. 이 접속을 위해 데이터 IC(116-1 내지 116-k)들은 출력채널군들을 구비한다. 데이터 IC(116-1 내지 116-k)들 각각은 출력채널군 외에 데이터라인들(DL1 내지 DLm)과의 접속이 차단된 잉여 채널인 더미채널들(미도시)을 구비한다. 이는 다양한 해상도를 구현함에 있어 일일이 데이터 IC를 개발하는 대신에 기존의 데이터 IC를 사용함으로써 발생하는 결과이다. 이 더미채널들은 데이터 IC(116-1 내지 116-k)들 각각의 출력채널군 오른쪽에 배치된다.

<40> 데이터 IC(116-1 내지 116-k)들은 타이밍 제어부(108)로부터 공급되는 데이터 제어 신호들(SSP1 내지 SSPk, SSC, SOE, POL)에 응답하여 데이터라인들(DL1 내지 DLm)에 데이터전압을 공급한다. 상술하면, 제1 내지 제k 데이터 IC(116-1 내지 116-k)는 각각 제1 소스 스타트 펄스(SSP1) 내지 제k 소스 스타트 펄스(SSPk)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 각각 발생한다. 제1 내지 제k 데이터 IC(116-1 내지 116-k)는 샘플링 신호에 응답하여 디지털 비디오 데이터(VD)를 일정 단위씩 순차적으로 래치한다. 이어서, 제1 내지 제k 데이터 IC(116-1 내지 116-k)는 래치된 1 수평라인 분의 디지털 비디오 데이터(VD)를 아날로그 데이터전압으로 변환하여 소스 출력 인에이블 신호(SOE)의 인에이블 기간에 데이터라인들(DL1 내지 DLm)에 공급하게 된다. 이때, 제1 내지 제k 데이터 IC(116-1 내지 116-k)는 디지털 비디오 데이터(VD)를 극성 제어 신호(POL)에 따라 정극성 또는 부극성의 데이터전압으로 변환할 수 있다. 이와 같이 각 데이터 IC들(116-1 내지 116-k)은 독립적으로 공급되는 소스 스타트 펄스(SSP1 내지 SSPk)를 이용하여 샘플링신호를 발생함으로써, 각 데이터 IC(116-1 내지 116-k)의 출력채널군 오른쪽에 배치되는 더미채널들로 인한 디지털 비디오 데이터의 망실을 방지한다. 아울러, 각 데이터 IC들(116-1 내지 116-k)은 독립적으로 공급되는 소스 스타트 펄스(SSP1 내지 SSPk)를 이용하여 샘플링신호를 발생함으로써, 타이밍 제어부내에 별도의 라인 메모리를 생략할 수 있다.

<41> 도 5는 277×124의 특이 해상도를 구현하는 데이터 드라이버의 일 예를 나타낸 것이다.

<42> 도 5를 참조하면, 데이터 드라이버는 제1 소스 스타트 펄스(SSP1)를 쉬프트 시켜 샘플링 신호를 발생하는 제1 데이터 IC(216-1)와, 제2 소스 스타트 펄스(SSP2)를 쉬프트 시켜 샘플링 신호를 발생하는 제2 데이터 IC(216-2)를 구비한다. 여기서, 데이터 IC들(216-1, 216-2)은 480개의 채널수를 갖는다.

<43> 제1 데이터 IC(216-1)는 채널수에 대응되는 480개의 쉬프트 레지스터들을 구비한다. 제1 데이터 IC(216-1)는 제1 내지 제417 번째 쉬프트 레지스터들을 이용하여 타이밍 제어부(108)로부터의 제1 소스 스타트 펄스(SSP1)를

소스 샘플링 신호(SSC)에 따라 순차적으로 쉬프트시커 샘플링신호로 출력한다. 제1 데이터 IC(216-1)는 제418 내지 제 480번째 쉬프트 레지스터들을 통해서는 샘플링신호를 출력하지 않는다. 이에 따라, 제1 데이터 IC(216-1)는 417개의 출력채널과 63개의 더미채널을 가지게 된다.

<44> 제2 데이터 IC(216-2)는 채널수에 대응되는 480개의 쉬프트 레지스터들을 구비한다. 제2 데이터 IC(216-2)는 제1 내지 제414 번째 쉬프트 레지스터들을 이용하여 타이밍 제어부(108)로부터의 제2 소스 스타트 펄스(SSP2)를 소스 샘플링 신호(SSC)에 따라 순차적으로 쉬프트시킴 샘플링신호로 출력한다. 제2 데이터 IC(216-2)는 제415 내지 제 480번째 쉬프트 레지스터들을 통해서는 샘플링신호를 출력하지 않는다. 이에 따라, 제2 데이터 IC(216-2)는 414개의 출력채널과 66개의 더미채널을 가지게 된다.

<45> 도 6은 도 5의 데이터 드라이버로 소스 샘플링 클럭이 입력되는 타이밍을 보여준다. 도시된 VD는 병렬로 입력되는 RGB 데이터이다. 예를 들어, D1은 동일 계조의 3개의 데이터를 나타낸다.

<46> 타이밍 제어부(108)는 하나의 소스 샘플링 클럭(SSC) 당 RGB 데이터를 병렬로 각 데이터 IC(216-1, 216-2)로 입력한다. 도 5를 통해 설명한 바와 같이, 제1 데이터 IC(216-1)는 417개의 출력채널과 63개의 더미채널을 가지고 있다. 따라서, 타이밍 제어부(108)는 제1 데이터 IC(216-1)로 제1 소스 스타트 펄스(SSP1)를 공급하고, 이때부터 139개 $\{(480-63)/3\}$ 의 소스 샘플링 클럭(SSC) 발생 되는 기간 동안 제1 내지 제139 디지털 비디오 데이터(D1 내지 D139)를 제1 데이터 IC(216-1)로 공급한다. 이어서, 타이밍 제어부(108)는 제1 데이터 IC(216-1)의 더미채널들로 140번째 이후의 디지털 비디오 데이터가 공급되는 것을 차단하기 위해 제1 소스 스타트 펄스(SSP1)의 공급 시점을 기산점으로 하여 140번째 소스 샘플링 클럭(SSC)이 발생되는 순간, 제2 데이터 IC(216-2)로 제2 소스 스타트 펄스(SSP2)를 공급한다.

<47> 제1 데이터 IC(216-1)는 타이밍 제어부(108)로부터의 제1 소스 스타트 펄스(SSP1)를 소스 샘플링 신호(SSC)에 따라 순차적으로 쉬프트시켜 제1 내지 제139 디지털 비디오 데이터(D1 내지 D139)를 샘플링한다.

<48> 제2 데이터 IC(216-2)는 타이밍 제어부(108)로부터 제2 소스 스타트 펄스(SSP2)를 소스 샘플링 신호(SSC)에 따라 순차적으로 쉬프트시켜 제140 내지 제277 디지털 비디오 데이터(D140 내지 D277)를 샘플링한다.

발명의 효과

<49> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 구동방법은 소스 스타트 펄스를 각 데이터 IC 별로 개별적으로 발생하여 데이터 IC들의 샘플링 시작을 제어함으로써 더미채널에 의한 데이터의 망실을 방지하여 표시품위를 향상시킬 수 있다.

<50> 나아가, 본 발명에 따른 액정표시장치 및 그 구동방법은 소스 스타트 펄스를 각 데이터 IC 별로 개별적으로 발생하여 데이터 IC들의 샘플링 시작을 제어함으로써 타이밍 제어부에 구비되던 별도의 메모리를 생략할 수 있어 제조 비용을 절감할 수 있다.

<51> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면.

<2> 도 2a는 종래의 게이트 드라이버에 포함되어 있는 게이트 집적회로를 나타내는 도면.

<3> 도 2b는 종래의 데이터 드라이버에 포함되어 있는 데이터 집적회로를 나타내는 도면.

<4> 도 3은 디지털 비디오 데이터의 지연을 설명하기 위한 과형도.

<5> 도 4는 본 발명의 실시 예에 따른 액정표시장치의 개략적인 구성도.

<6> 도 5는 277×124 의 특이 해상도를 구현하는 데이터 드라이버의 일 예를 나타낸 도면.

<7> 도 6은 도 5의 데이터 드라이버로 입력되는 소스 샘플링 클럭의 타이밍도.

<8> < 도면의 주요 부분에 대한 부호의 설명 >

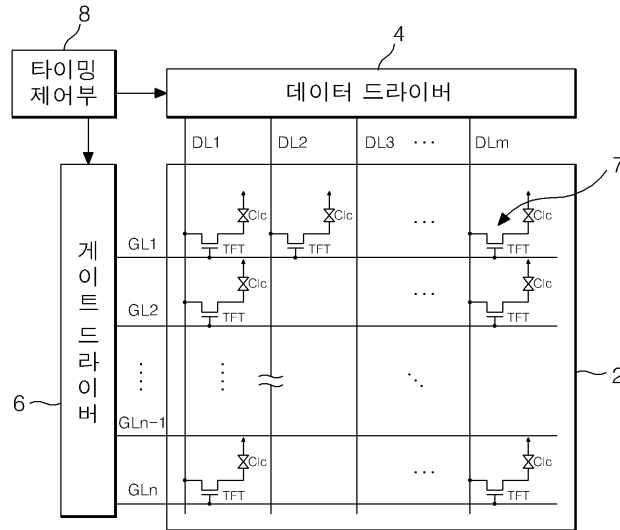
<9> 2,102 : 액정패널

4,104,204 : 데이터 드라이버

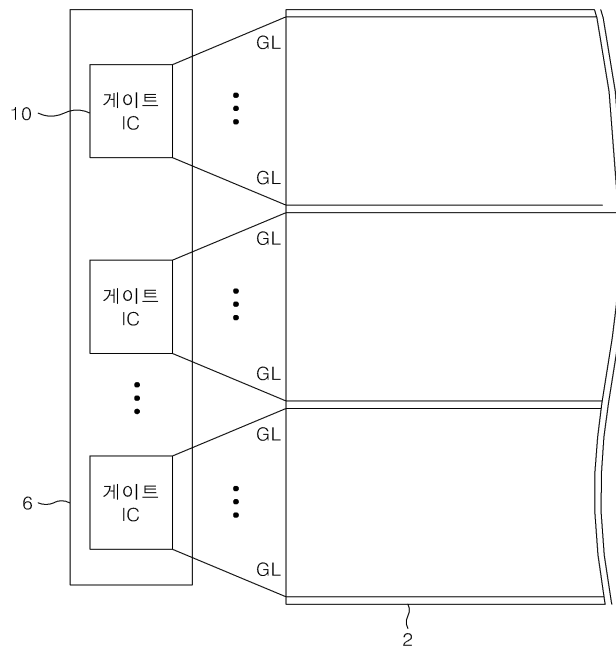
- <10> 6,106 : 게이트 드라이버 7 : 액정셀
 <11> 8,108 : 타이밍 제어부 10 : 게이트 IC
 <12> 16,116-1 내지 116-k,216-1,216-2 : 데이터 IC

도면

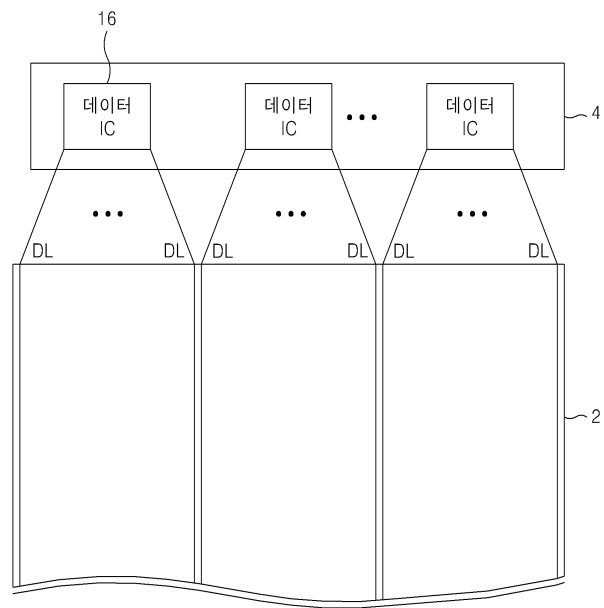
도면1



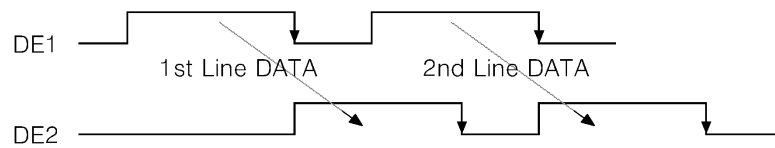
도면2a



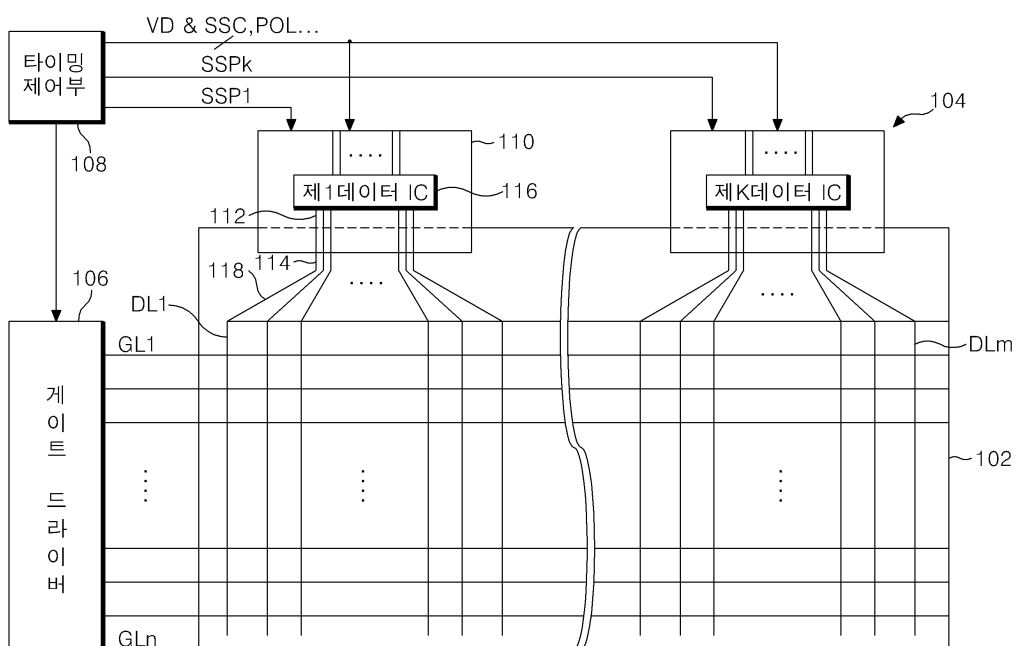
도면2b



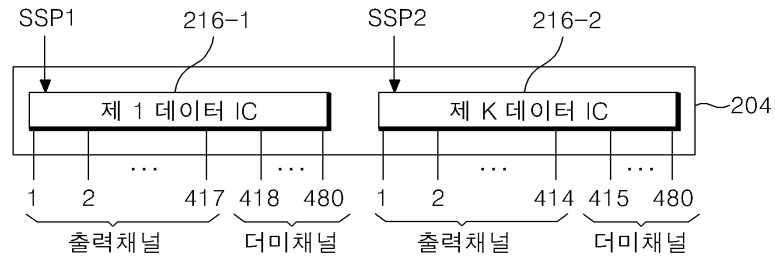
도면3



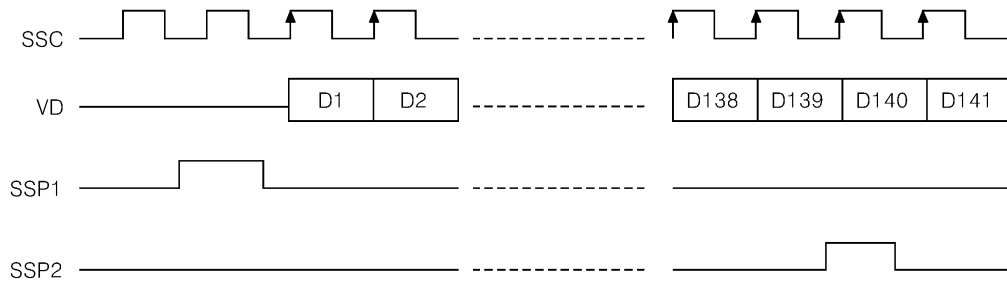
도면4



도면5



도면6



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020080043515A	公开(公告)日	2008-05-19
申请号	KR1020060112163	申请日	2006-11-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN JUNG WOOK		
发明人	SHIN,JUNG WOOK		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3685 G02F1/136213 G02F2001/1635 G09G3/3648 G09G2300/0413 G09G2310/0286 G09G2310/0294 G09G2320/02		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示装置及其驱动方法，提高显示质量，降低制造成本。根据本发明的液晶显示器包括多条数据线，在第二数据集成电路中连续提供产生第一启动信号和第二启动信号数字视频数据的控制器，以及具有第二虚设通道组的数据集成电路。第二输出通道组的输出能够输出数据，它连接到第一数据集成电路：数据线，数据被拦截，第一数据集成电路响应第一次启动开始数字视频数据的采样信号。第二数据集成电路响应于第二启动信号开始数字视频数据的采样。

