



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0042122
(43) 공개일자 2008년05월14일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2008-7005703

(22) 출원일자 2008년03월07일

심사청구일자 없음

번역문제출일자 2008년03월07일

(86) 국제출원번호 PCT/EP2006/066130

국제출원일자 2006년09월07일

(87) 국제공개번호 WO 2007/028818

국제공개일자 2007년03월15일

(30) 우선권주장

0509224 2005년09월09일 프랑스(FR)

(71) 출원인

탈레스

프랑스 에프-92200 뉴이 쉬르 시엔 튀 드 비에 45

(72) 발명자

크레츠 띠에리

프랑스 에프-38430 생 장 드 모랑 상 드 라 꾸르 165

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 14 항

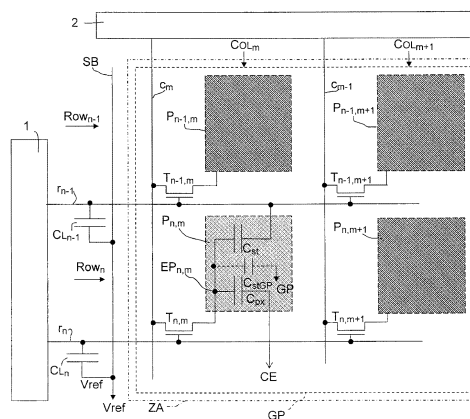
(54) 능동 매트릭스형 액정 매트릭스 디스플레이

(57) 요약

본 발명은, 활성 영역 (ZA) 에 복수의 화소 전극 ($EP_{n,m}$) 을 포함한 액정 디스플레이용 능동 매트릭스에 관한 것으로, 복수의 화소 전극 ($EP_{n,m}$) 각각은 N 개의 선택 라인 중에서 하나의 선택 라인 (r_n) 과 M 개의 데이터 라인 중에서 하나의 데이터 라인 (c_m) 을 사용하여 어드레싱될 수 있고, 저장 커패시터 (C_{st}) 는 능동 매트릭스 내의 각 화소 전극 ($EP_{n,m}$) 에 접속되고, 라인 안정화 커패시터 (C_{Ln}) 는 능동 매트릭스 내의 각 선택 라인 (r_n) 에 제공된다. 이러한 안정화 커패시터의 제 1 전극은 상기 선택 라인 (r_n) 에 접속되고, 제 2 전극은 기준 전압 (V_{ref}) 에 접속된다.

본 발명은 능동 매트릭스형 액정 매트릭스 디스플레이, 특히 집적된 구동기를 갖는 능동 매트릭스형 액정 매트릭스 디스플레이에 적용 가능하다.

대표도



특허청구의 범위

청구항 1

액정 디스플레이용 능동 매트릭스로서,

활성 영역 (ZA) 내에 복수의 화소 전극 ($EP_{n,m}$) 으로서, 상기 화소 전극 ($EP_{n,m}$) 각각은 N 개의 선택 라인 중에서 하나의 선택 라인 (r_n) 과 M 개의 데이터 라인 중에서 하나의 데이터 라인 (c_m) 을 사용하여 어드레싱 될 수 있는, 상기 복수의 화소 전극 ($EP_{n,m}$),

상기 능동 매트릭스 내의 각 화소 전극 ($EP_{n,m}$) 에 접속되는 저장 커패시터 (C_{st}), 및

각각의 선택 라인 (r_n) 마다, 제 1 전극이 상기 선택 라인 (r_n) 에 접속되고 제 2 전극이 기준 전압 (V_{ref}) 에 접속되는 라인 안정화 커패시터 (CL_n) 를 포함하는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 2

제 1 항에 있어서,

상기 기준 전압 (V_{ref}) 은 상기 능동 매트릭스 내의 모든 안정화 커패시터에 공통인 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 안정화 커패시터는 상기 활성 영역 (ZA) 외부에 형성되는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 4

제 3 항에 있어서,

상기 선택 라인 (r_n) 내의 상기 안정화 커패시터 (CL_n) 는 병렬로 배열된 복수의 기본 커패시터 ($C_{L1,n}, \dots, C_{Lk,n}$) 를 포함하는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 선택 라인 내의 상기 안정화 커패시터의 상기 제 2 전극은, 적어도 하나의 절연층에 의해 이들 라인에서 분리된 레벨에서, 상기 선택 라인들과 교차하는 적어도 하나의 도전 버스 (SB) 로 형성되는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 선택 라인 (r_n) 내의 상기 안정화 커패시터 (CL_n) 는, 상기 활성 영역 (ZA) 에 형성되고, 데이터 라인 (c_m, c_{m+1}) 마다 하나씩 병렬로 배열된 복수의 기본 안정화 커패시터 ($CL_{n,m}, CL_{n,m+1}$) 와 등가인 상기 선택 라인을 따라 분산되는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 7

제 6 항에 있어서,

상기 선택 라인의 상기 안정화 커패시터 내의 상기 제 2 전극은 적어도 하나의 절연 레벨에 의해 이들 라인의 레벨에서 분리된 선택 라인들에 면하는 부분을 적어도 포함한 도전 버스 (SP) 에 의해 형성되는 것을 특징으로

하는, 액정 디스플레이용 능동 매트릭스.

청구항 8

제 7 항에 있어서,

상기 도전 버스 (SP) 는 상기 데이터 라인 (c_m , c_{m+1}) 과 병렬인 수직 도체들 (B_m , B_{m+1}) 의 망 (network) 을 포함하는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 9

제 7 항에 있어서,

상기 도전 버스 (SP) 는 상기 선택 라인들 (r_{n-1} , r_n) 과 병렬인 수평 도체들 (B_{n-1} , B_n) 의 망을 포함하는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 10

제 8 항 또는 제 9 항에 있어서,

상기 수평 또는 수직 도체들은 상기 선택 및/또는 데이터 라인들에 대응하는 하나 이상의 레벨 상에 형성되는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 11

제 7 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 도전 버스 (SP) 는 적어도 하나의 절연 레벨에 의해 이들 라인 레벨에서 분리된 레벨에서 상기 선택 라인 과 데이터 라인들 위 또는 아래에 형성된 도전면으로 이루어지는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 12

제 5 항 또는 제 10 항에 있어서,

상기 도전 버스 (SB, SP) 는 상기 능동 매트릭스의 기존 도전면 (GP) 상에 또는 상기 능동 매트릭스의 기존 도전면 (GP) 에 의해 형성되는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 13

제 7 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 도전 버스는, 추가 저장 커패시터가 각 화소 전극으로 형성되도록 적어도 하나의 절연 레벨에 의해 상기 화소 전극에서 분리된 레벨 상에, 화소 전극에 면하는 부분을 포함하는 것을 특징으로 하는, 액정 디스플레이용 능동 매트릭스.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 따른 능동 매트릭스를 포함한 매트릭스형 액정 디스플레이.

명세서

- <1> 본 발명은 매트릭스형 액정 디스플레이 (Liquid Crystal Display; LCD) 에 관한 것으로, 더욱 상세하게는 능동 매트릭스형 디스플레이에 관한 것이다.
- <2> 능동 매트릭스 디스플레이는, 화소 어드레싱 장치에 의해 적절히 제어되어 표시될 데이터에 대응하는 계조 레벨을 표시하는 능동 소자를 각 화소 내에 포함한다.
- <3> 통상, 화소 어드레싱 장치는, 디스플레이 상의 행 선택 라인을 제어하여 각 비디오 프레임에서 행을 순서대로 하나씩 선택하는 제어 회로 (보통, 라인 구동기로 지칭됨), 및 표시될 데이터에 대응하는 전압 레벨을 열에 인가하는 디스플레이 상의 화소 열 제어 회로 (보통, 열 구동기로 지칭됨) 를 포함한다. 이하, 구동기 또는 구동기들이라는 용어를 사용하여 이들 제어 회로 또는 어드레싱 장치를 지시할 것이다. 이들 구동기는, 능

동 매트릭스의 주변 근방에서, 능동 매트릭스와 동일 기관 상에 동일 제조 기술을 사용하여 제조되는 경우에, 집적된다고 일컬어진다.

- <4> 최신 아모퍼스 실리콘 기술에 따르면, 집적된 라인 구동기는 고출력 임피던스 타입이므로, 트랜지스터 응력을 제한하고, 그 결과, 이들 트랜지스터의 임계 전압의 드리프트를 제한하게 된다. 이러한 타입의 구동기를 사용하면, 라인이 선택되지 않은 경우 (즉, 디스플레이 어드레싱 시간의 99% 이상의 시간 동안 라인이 선택되지 않은 경우), 이들 라인은 소위 플로팅 상태에 있게 된다. 이러한 상태에서, 라인은 모든 기생 변화, 더욱 상세하게는, 라인과 열의 교차로 인한 용량 결합에 관련된 변화에 민감하다. 더욱 정확하게는, 각각의 새로 선택된 라인마다, 표시될 데이터가 디스플레이의 모든 열에 인가된다: 라인과 열 간의 교차로 인한 용량 결합의 결과로서, 선택되지 않은 라인의 전압 레벨이 이들 열에서 변하게 된다. 이는 디스플레이의 표시 품질에 영향을 준다.
- <5> 특히, 이들 결합으로 인해, 디스플레이 상의 원하지 않는 라인을 선택할 수 있고, 그 결과로서 이러한 라인 상의 데이터가 변경될 수도 있다. 이것이 소위 멀티라인 선택 문제이다.
- <6> 능동 매트릭스의 각 화소 전극과 연관된 저장 커패시터를 형성하는데 사용된 방법에 따라, 다른 원하지 않는 결과가 일어날 수 있다. 특히, 화소 행 선택 라인을 사용하여 이러한 저장 커패시터를 형성하는 경우에, 이들 결합은 또한 저장 커패시터를 통해 화소 상에 저장된 전압 레벨의 변화를 일으킬 것이다. 표시 품질이 영향을 받게 된다.
- <7> 또한, 이와 같은 구조에서는, 각 라인의 총 커패시턴스가 저장 커패시터를 통해 이러한 라인 내의 화소 상에 표시된 비디오 정보에 의존한다. 이러한 총 커패시턴스는, 제 1 근사치로서, 이러한 라인으로 이루어진 관련 액정 커패시턴스와 직렬인 모든 저장 커패시턴스의 합을 더한, 능동 매트릭스 내의 각 열과 이러한 라인 간의 모든 결합 커패시턴스의 합에 의존한다. 이러한 의존성은 표시 불균일을 일으킬 수도 있다.
- <8> 본 발명의 하나의 목적은 그와 같은 라인 구동기의 사용과 관련된 여러 불이익을 해결하고자 하는 것이다.
- <9> 본 발명에 따르면, 이들 여러 불이익을 해결하기 위한, 특히 각 라인 상의 안정화 커패시터의 설치로 인한 기생 결합에 대한 감도를 없애기 위한 하나의 기술적인 솔루션을 발견하였다. 이러한 커패시터의 값은, 예를 들어, 표시 화면의 제조 레벨의 스케일 피치보다 낮은 레벨로, 비디오 교란을 제한하고 라인을 안정화시킬 수 있도록 충분히 크게 선택된다. 각각의 매트릭스 선택 라인 상에 설치된 이러한 커패시터는 연관된 라인 레벨을 안정화시킬 수 있다. 디스플레이의 동작 및 디스플레이 성능, 특히 표시 균일성이 향상된다.
- <10> 본 발명의 다른 목적은 수리 영역 (repair zone) 을 유리하게 제공함으로써, 각 라인 상의 그와 같은 커패시터의 설치에 관련된 제조 효율의 손실을 방지하기 위한 것이다.
- <11> 따라서, 본 발명은 활성 영역 내에 복수의 화소 전극을 포함한 액정 화면용 능동 매트릭스에 관한 것으로서, 복수의 화소 전극 각각은 N 개의 선택 라인 중에서 하나의 선택 라인과 M 개의 데이터 라인 중에서 하나의 데이터 라인을 사용하여 어드레싱될 수 있으며, 저장 커패시터는 능동 매트릭스 내의 각 화소 전극에 접속되고, 각각의 선택 라인마다, 제 1 전극이 상기 선택 라인에 접속되며 제 2 전극이 기준 전압에 접속되는 라인 안정화 커패시터를 포함하는 것을 특징으로 한다.
- <12> 본 발명의 일 실시형태에 따르면, 상기 안정화 커패시터는 디스플레이의 활성 영역 외부에 형성된다. 통상, 라인 제어 회로의 아날로그 전원 중에서 기준 레벨인, 디스플레이의 기준 레벨과 관련 선택 라인 간에 안정화 커패시터가 접속된다.
- <13> 디스플레이의 수리를 용이하게 하는 일 개선에 따르면, 상기 안정화 커패시터는 병렬인 기본 커패시터 세트에 형성된다.
- <14> 본 발명의 다른 실시형태에 따르면, 선택 라인의 안정화 커패시터는 활성 영역에 형성되고, 적어도 하나의 절연 층에 의해 이들 라인 레벨에서 분리된 선택 라인에 면하는 부분을 포함한 도전 버스를 사용하여 상기 라인을 따라 분산된다. 이러한 버스는 도전면에 의해, 또는 병렬, 수직, 또는 수평 도체의 망에 의해 이루어질 수도 있다. 본 발명에 따른 라인 안정화 커패시터의 도전 버스는 각각의 화소마다 추가 저장 커패시터를 유리하게 형성할 수 있다.
- <15> 또한, 본 발명은 그와 같은 능동 매트릭스를 포함한 액정 매트릭스 디스플레이에 관한 것이다.
- <16> 본 발명의 기타 이점 및 특징은 첨부된 도면을 참조하여 본 발명의 길잡이를 위해 주어지며 본 발명을 한정하는

것이 아닌 다음 설명을 읽은 후에 더 명확해질 것이다.

- <17> 도 1 은 최신 기술에 따른 능동 매트릭스의 전기 도면을 도시한다.
- <18> 도 2 는 본 발명에 따른 라인 안정화 커패시터의 제 1 실시형태를 도시한다.
- <19> 도 3 은 이러한 커패시터의 다른 실시형태를 도시한다.
- <20> 도 4 및 도 5 는 도 3 에 도시된 실시형태의 변형을 각각 도시한다.
- <21> 도 6 은 도 2 에 도시된 실시형태의 변형을 도시한다.
- <22> 도 1 은 Row_{n-1} 및 Row_n 과 같이 N 개의 행 및 Col_m 및 Col_{m+1} 과 같이 M 개의 열로 배열된 $N \times M$ 개의 화소를 포함한 최신 기술에 따른 디스플레이의 능동 매트릭스를 그림으로 도시한다. 각 화소는 능동 매트릭스의 선택 라인과 데이터 라인에 의해 어드레싱될 수 있다. 이와 같이, 통상, "라인 구동기" 로 지칭되는 선택 라인의 제어 회로 (1) 는 N 개의 선택 라인 각각에 순차 어드레싱 신호를 제공한다. 특히, 제어 회로 (1) 는 행 (Row_{n-1} 및 Row_n) 의 선택 라인 (r_{n-1} 및 r_n) 을 제어한다.
- <23> 통상, "열 구동기" 로 지칭되는 열 제어 회로 (2) 는 M 개의 화소 열과 연관된 M 개의 데이터 라인 각각에 표시될 계조 레벨에 대응하는 전압 레벨을 인가한다. 디스플레이 내의 각 화소 열마다, 열 구동기 (2) 에 의해 제어되는 데이터 라인이 존재한다. 특히, 데이터 라인 (c_m 및 c_{m+1}) 은 각각 열 (Col_m 및 Col_{m+1}) 과 연관된 데이터 라인이다.
- <24> 라인 구동기 (1) 와 열 구동기 (2) 는 능동 매트릭스에 일체로 형성될 수도 있다. 이 경우에, 라인 구동기 (1) 와 열 구동기 (2) 는 능동 매트릭스의 활성 영역의 주변 근방에, 즉, 화소를 포함한 영역에 형성된다. 또한, 라인 구동기 (1) 와 열 구동기 (2) 는 매트릭스 외부에 존재할 수도 있다.
- <25> 이와 같이, 도시된 예에 따르면, 제 n 행 (Row_n) 과 제 m 열 (Col_m) 상에 화소 ($P_{n,m}$) 가 위치한다. 화소 ($P_{n,m}$) 는 행 (Row_n) 에 대응하는 선택 라인 (r_n) 을 선택하고, 열 (Col_m) 에 대응하는 데이터 라인 (c_m) 상에 표시 전압을 인가함으로써 어드레싱될 수 있다.
- <26> 각 화소는 능동 매트릭스 상에 형성된 도전 전극인 화소 전극 ($EP_{n,m}$) 을 포함한다. 이러한 전극은 투과형 응용에서는 투명하고, 반사형 응용에서는 불투명하다.
- <27> 디스플레이는 능동 매트릭스, 카운터 전극을 형성하는 기관 및 능동 매트릭스와 카운터 전극 간의 액정을 포함한다. 화소 커패시터는 디스플레이의 능동 매트릭스의 각 화소 전극과 카운터 전극 (CE) 간에 형성된다.
- <28> 도 1 에 도시된 바와 같이, 화소 ($P_{n,m}$) 의 화소 전극 ($EP_{n,m}$) 은 통상, 트랜지스터인 능동 스위칭 소자에 의해 제어된다. 이와 같이, 화소 ($P_{n,m}$) 는 열 구동기 (2) 에 의해 제어되는 데이터 라인 (c_m) 과 화소 전극 ($EP_{n,m}$) 간에 직렬로 접속된 트랜지스터 ($T_{n,m}$) 와 연관된다. 이러한 트랜지스터는 해당 화소에 대응하며 라인 구동기 (1) 에 의해 인가되는 행 선택 신호에 의해 제어된다. 실제로는, 이러한 트랜지스터의 게이트는 해당 행의 선택 라인에 접속된다 (또는, 그 선택 라인에 의해 형성된다). 실제로는, 단일 행의 트랜지스터 게이트 모두는 라인 구동기가 행 선택 신호를 인가하는 능동 매트릭스의 동일 도전 라인에 접속된다 (또는, 그 도전 라인에 의해 형성된다).
- <29> 소정의 화소와 연관된 트랜지스터는, 대응하는 행 선택 라인, 예를 들어, 화소 ($P_{n,m}$) 에 대한 행 (r_n) 상에서 선택 신호를 인가하고, 연관된 데이터 라인, 예를 들어, 화소 ($P_{n,m}$) 에 대한 데이터 라인 (c_m) 상에 충전될 전압을 인가함으로써 활성 상태로 된다. 이와 같이, 화소와 연관된 트랜지스터는 선택 라인이 어드레싱될 때 표시될 계조 레벨을 나타내는 전압으로 그 화소 ($P_{n,m}$) 를 충전한다. 라인이 선택되지 않으면, 트랜지스터는 능동 매트릭스의 나머지 부분에서 화소를 분리하는 개방 회로와 등가로 되므로, 충전된 전압 레벨을 비디오 프레임에 필요한 만큼 오래 유지할 수 있어야 한다.
- <30> 이를 달성하기 위해, 통상, 저장 커패시터가 능동 매트릭스의 도전 레벨과 화소 전극 ($EP_{n,m}$) 간에 제공되는데, 그 이유는, 기생 평면 커패시턴스를 통해 인접한 선택 및 데이터 라인과 함께 존재하는 결합 때문에, 화소 커패시터가 프레임의 지속 기간 내내 전압 레벨을 유지하기에 충분하지 않기 때문이다. 이러한 화소 저장 커패

시터는 상이한 방법으로 제조되고, 해당 능동 매트릭스 기술에 따라 단독으로 또는 조합하여 사용될 수도 있다.

도시된 예에 따르면, 저장 커패시터 (C_{st})는 화소 전극과 이전 선택 라인 간에 형성된다: 예를 들어, 화소 ($P_{n,m}$)의 경우, 저장 커패시터 (C_{st})는 화소 전극 ($EP_{n,m}$)과 선택 라인 (r_{n-1}) 간에 형성된다. 이러한 커패시터는 상이한 방법으로 제조될 수도 있다. 예를 들어, 소위 "커패시터 온 게이트 (capacitor on gate)" 구조체는 화소 전극이 이전 선택 라인을 부분적으로 덮도록 설계된다. 또한, 도전 버스가 각각의 선택 라인 쌍 간에 제공될 수 있어서, 이전 선택 라인에 전기적으로 접속된다.

<31> 도시된 예에 따르면, 각 화소 전극과 도전면 (GP; 보통, 접지면으로 지칭됨) 간에 형성된 추가 저장 커패시터 (C_{stGP})는 기준 전압 (V_{GP})으로 되고, 실제로는 매트릭스 선택 및 데이터 라인 아래 또는 위에 위치할 수도 있다.

<32> 본 발명에 따르면, 이러한 라인을 위한 안정화 커패시터는 라인의 평면 커패시턴스를 증가시키도록, 능동 매트릭스의 각 행 선택 라인 상에 제공된다. 이러한 방법으로, 라인이 선택되지 않을 때, 라인의 평면 커패시턴스는, 이러한 라인과 이러한 라인 내의 화소가 라인 구동기 (1)로부터의 대응하는 출력의 고임피던스 상태로 인해 상이한 교란에 둔감하게 될 수 있다. 특히, 멀티라인 선택 효과가 회피된다.

<33> 도 2는 안정화 커패시터가 자신의 트랜지스터를 갖는 화소를 포함한 능동 매트릭스의 활성 영역 외부의 각 라인 상에 형성되는 본 발명의 제 1 실시형태를 도시한다. 도시된 예에서, 이러한 안정화 커패시터는 라인 구동기 (1)로부터의 출력과 도 2의 점선으로 구체화된 활성 영역 (ZA) 간에 형성된다. 이와 같이, 라인 (r_{n-1})과 연관된 안정화 커패시터 (C_{Ln-1}) 및 라인 (r_n)과 연관된 안정화 커패시터 (C_{Ln})가 존재한다. 각각의 안정화 커패시터는 제 1 전극을 형성하는 관련 라인과, 기준 전압 (V_{ref})에 의해 전원 공급되는 제 2 전극을 형성하는 도전 버스 (SB) 간에 형성된다. 기준 전압 (V_{ref})은 능동 매트릭스 내의 모든 안정화 커패시터에 공통이다.

<34> 기준 전압 (V_{ref})는 디스플레이 특성의 함수로서 규정된 특정 전압일 수도 있다. 이러한 전압 (V_{ref})은 dc 전압이다. 통상, 이러한 전압 (V_{ref})은 접지면 (GP)의 전압 (V_{GP}) (도 1 참조), 또는 카운터 전극의 전압 (V_{CE})일 수도 있다. 라인 구동기에 의해 공급된 기준 전압인, 통상, 능동 매트릭스 내의 트랜지스터의 차단 전압 (V_{goff})이 적당할 수도 있다. 기준 전압 (V_{ref})은 능동 매트릭스 내의 모든 안정화 커패시터에 공통이다.

<35> 하나의 실제 단순한 실시형태는, 능동 매트릭스 위에 있지만 활성 영역 외부에, 모든 선택 라인과 교차하는 도전 버스 (SP; 통상, 수직 버스임)를 형성하는 것을 포함한다. 이러한 도전 버스는, 통상, 도 1에 도시된 것과 같은 능동 매트릭스의 도전면 (GP)과 동일 레벨에 있는 (바람직하게는, 기존 기술적인 레벨에 있는) 적어도 하나의 절연층을 통해 선택 라인의 도전 레벨에서 분리된 도전 레벨의 능동 매트릭스 상에 형성될 수도 있다.

<36> 도 3 내지 도 5는 안정화 커패시터가 활성 영역에 형성되는 본 발명에 따른 안정화 커패시터의 다른 실시형태를 도시한다. 이들 실시형태에 따르면, 선택 라인 (r_n)의 안정화 커패시터가 능동 매트릭스의 활성 영역에 형성되고, 이 선택 라인을 따라 분산된다. 안정화 커패시터는 병렬인 M개의 기본 커패시터와 등가이다: $C_{Ln,m}$, $C_{Ln,m+1}$, ..., 열 (또는 데이터 라인)마다 하나씩.

<37> 도 3에 도시된 예시적인 실시형태에 따르면, 도전 버스 (SP)는, 투명 도전 재료로 이루어지며 기준 전압 레벨 (V_{ref})로 되는, 능동 매트릭스의 선택 및 데이터 라인 아래 또는 위에 형성된 도전면의 형태로 사용된다. 이러한 도전면 (SP)은 적어도 하나의 절연 레벨에 의해 선택 라인 레벨에서 분리된 선택 라인에 면하는 고체 부분을 가지므로, 본 발명에 따른 선택 라인의 안정화 커패시터를 형성하게 된다.

<38> 그 결과로서, 선택 라인과 기본 안정화 커패시터가 연관되는데, 예를 들어, 열 (Col_m) 상에서, 라인 (r_{n-1})과 기본 커패시터 ($C_{Ln-1,m}$)가 연관된다. 이러한 안정화 커패시터 ($C_{Ln-1,m}$)는 화소 열 (Col_m) 내의 선택 라인 (r_{n-1})과 도전면 (SP) 간에 접속된다. 라인 (r_{n-1})의 이러한 기본 안정화 커패시터는 화소 ($P_{n,m}$)의 저장 커패시터 (C_{st})와 함께 공통 전극을 갖는다. 이러한 저장 커패시터 (C_{st})는 화소 전극 ($EP_{n,m}$)과 이전 선

택 라인 (r_{n-1}) 간의 열 (Col_m) 에 형성된다.

- <39> 도전면 (SP) 이 화소 전극 아래에 고체 부분을 포함하면, 도전면 (SP) 은 각 화소마다 추가 저장 커패시터 (C_{st}') 를 형성한다. 이러한 추가 저장 커패시터 (C_{st}') 는 화소 ($P_{n,m}$) 와 관련하여 도면에 표현된다: 이러한 커패시터 (C_{st}') 는 해당 전극에 면하는 이 도전면의 일부에 의해 화소 전극 ($EP_{n,m}$) 과 도전면 (SP) 간에 형성된다.
- <40> 유리하게는, 이러한 도전면 (SP) 은 능동 매트릭스의 선택 및 데이터 라인 위 또는 아래에 배열된 능동 매트릭스에서 기존의 기술적인 레벨에 의해 형성된다.
- <41> 구체적으로는, 도 1 을 참조하면, 최신 기술에 따른 몇몇 능동 매트릭스 구조체에 있어서, 커패시터 (C_{stGP}) 는 화소 전극에 면하는 이러한 접지면의 일부에 대해 각 화소 전극과 도전면 (GP) 간에 형성된다는 것을 알 수 있다.
- <42> 이러한 도전면 (GP) 은 투명 도전 재료, 예를 들어, ITO 로 이루어진다. 도전면 (GP) 은 트랜지스터에 대응하는 층 아래에, 즉, 선택 라인과 데이터 라인의 능동 매트릭스 아래에 매설될 수도 있다. 이러한 매설된 접지면은, 종종 예를 들어, 광학 스크린을 형성하는 티탄으로 이루어진 투명층에 불투명층을 추가한 2 층 타입이다. 도전면 (SP) 은 예를 들어, 그 명칭이 "Liquid display device with shielded pixel structure" 인 특허 출원 EP 0682282 에 설명된 것과 같은 능동 매트릭스의 선택 라인 및 데이터 라인 위에 배치될 수도 있다. 그러면, 이러한 도전면이 차폐물에 해당하므로, 화소 전극과 선택 및 데이터 라인 간의 기생 평면 커패시턴스 때문에 필드 라인을 클리핑하는 효과를 갖게 된다.
- <43> 이와 같이, 도 1 에 도시된 바와 같이, 능동 매트릭스는 선택 및 데이터 라인 위 또는 아래에 공지된 방법으로 형성된 도전면 (GP) 을 포함할 수도 있는데, 이 도전면 (GP) 은 결정된 기준 전압 (V_{GP}) 으로 되고, 이러한 화소의 전극과 이러한 도전면 간에 형성되는 각 화소와 연관된 저장 커패시터 (C_{stGP}) 를 제공한다.
- <44> 도 3 은 GP 로 표시된 그와 같은 기존의 면을 도시한다. 이러한 면을 도전면으로서 사용하여 본 발명에 따른 라인 안정화 커패시터를 형성하면, 이는 도 3 의 SP 와 GP 를 일치시키는 것과 같다. 그러면, 커패시터 (C_{st}') 는 화소 전극과 GP 면 간에 형성된 커패시터 (C_{stGP}) 와 일치하게 된다 (도면을 단순화하기 위해, 도 3 에는 도시되어 있지 않음).
- <45> 이러한 GP 면이 연속적인 도전면이 아니면, 즉, 공동화 (hollow out) 되면, 본 발명의 사용은, GP 면이 또한 본 발명에 따른 라인 안정화 커패시터를 형성하기 위해 선택 라인에 면하는 고체 부분을 갖도록, 필요에 따라 단순히 도면을 수정하는 것을 포함한다.
- <46> 본 발명의 이와 같은 실시형태의 한 이점은 최신 기술의 매트릭스 레벨을 사용하므로, 제조 면에서, 또한 기술적인 레벨의 수에 대한 한정 면에서 유리하다는 것이다.
- <47> 도 4 및 도 5 에 도시된 다른 예시적인 실시형태에 따르면, 특정 도전 버스가 능동 매트릭스 내에 추가된다. 본 실시형태에 따르면, 기본 선택 라인 안정화 커패시터, 예를 들어, 열 (Col_m) 내의 라인 (r_{n-1}) 에 있는 커패시터 ($C_{Ln-1,m}$) 는 행 선택 라인 (r_{n-1}) 에 접속되고, 기준 전압 (V_{ref}) 으로 되는 특정 도전 버스로 형성된다. 통상, 이러한 기준 전압은 특정 전압, 또는 라인 구동기 (1) 에 의해 출력된 전원 전압일 수도 있는 DC 전원 전압이다. 실제로는, 이러한 특정 전압은 교차 트랙의 스위칭 (coupling) 에 민감하지 않은 안정된 dc 전압이어야 한다. 통상적으로는, 접지면 (GP) 에 인가된 트랜지스터 차단 전압 (V_{goff}) 또는 기준 전압을 사용하는 것이 바람직할 것이다. 대체로, 전압 레벨은 광학상 밖으로 향하는 회전 또는 누설 위험 (그 도체 망에 의해 생성된 기생 전압 때문에 발생하는 열악한 액정 분자 배향) 을 제한하도록 결정된다.
- <48> 도 4 에 도시된 예에 따르면, 이러한 버스는, 각각이 선택 라인 쌍 (r_n, r_{n-1}) 간에 배치되며 그 선택 라인 쌍 (r_n, r_{n-1}) 에 병렬인 수평 도체 (B_{n-1}, B_n) 의 망을 포함한다.
- <49> 도 5 에 도시된 예에 따르면, 이러한 버스는, 각각이 데이터 라인 쌍 (c_m, c_{m+1}) 간에 배치되며 그 데이터 라인 쌍 (c_m, c_{m+1}) 에 병렬인 수직 도체 (B_m, B_{m+1}) 의 망을 포함한다.
- <50> 도 4 의 수평 도체의 망의 일 예시적인 실시형태에 따르면, 실제로는, 사용된 금속이 예를 들어, 라인 안정화

커패시터를 형성하는 몰리브덴 (Mo) 과 같이, 데이터 라인 (C_m) 에 사용된 것과 동일한 금속 (TFT 트랜지스터의 소스/드레인 금속) 일 수 있다. 교차 영역 외부에는, 예를 들어, 티탄과 몰리브덴의 2 층 (TiMo) 과 같이, 병렬인 선택 라인의 금속 레벨을 사용하는 것이 바람직할 것이다.

- <51> 실제로는, 도 5 의 수직 도체의 망은 선택 라인에 사용되는 것과 같은 금속 (TiMo) 으로 이루어질 수 있다. 병렬인 데이터 라인에 대한 금속 (Mo) 레벨은 교차 영역 외부에서 사용될 수 있다.
- <52> 또한, 이들 수평 또는 수직 도체는, 매설된 접지면 또는 차폐물의 기술적인 레벨, 또는 데이터 및 선택 라인 아래 또는 위에 배치된 특정 도전 레벨을 사용하지만, 연속적인 면이라기보다는 병렬인 도체 망의 형태로 형성될 수 있다.
- <53> 본 발명의 일 양태에 따르면, 이러한 특정 버스의 설계가 적어도 화소 전극에 면하는 일부를 갖도록 규정되면, 이러한 특정 버스는 화소에 대한 추가 저장 버스로서 사용될 수 있다. 본 발명의 이러한 양태를 사용할 가능성은 주로 화소 내의 가용 공간, 필요한 효율, 수리 가능성 등에 의존한다.
- <54> 도 4 는 본 발명에 따른 화소 전극 ($EP_{n,m}$) 과 연관된 화소 저장 커패시터의 등가 전기 회로, 및 선택 라인 (r_{n-1}) 과 연관된 안정화 커패시터를 도시한다.
- <55> 이와 같이, 그 결과로서, 화소 전극 ($EP_{n,m}$), 저장 커패시터 (C_{st}), 안정화 커패시터 ($C_{Ln-1,m}$), 특정 버스 (r_{n-1}) 는 모두 직렬로 된다.
- <56> 각 선택 라인과 연관된 도체가 화소 전극 ($EP_{n,m}$) 아래를 통과하도록 설계되면, 화소 전극에 면하는 버스 부분은 또한 도 4 의 점선으로 도시된 바와 같이, 화소 전극 ($EP_{n,m}$) 과 버스 간의 추가 저장 커패시터 (C_{st}') 로서 사용된다. 통상, 상기 설계는, 망 내의 각 도체가 이러한 선택 라인 위 또는 아래를 통과하도록 선택 라인을 향하여 소정의 오프셋으로, 즉, 화소 전극의 행 아래를 통과하도록 회로를 배치함으로써 얻어지서, 이러한 선택 라인에 대한 안정화 커패시터를 형성할 수 있다. 도체가 각 화소 전극에 면하기 때문에, 연관된 추가 저장 커패시터 (C_{st}') 가 생성된다. 실제로는, 이들 수평 도체는, 예를 들어, 화소 전극 아래를 통과하는 부분에 대한 선택 라인과 동일 레벨 상에 통상 ITO 로 이루어진 투명 도전 재료로 이루어질 수 있다. 데이터 라인 레벨을 사용하여 선택 라인에 대한 오프셋을 만들어서, 선택 라인 위를 통과할 수 있는 것이 유리하다. 그 결과로서, 어떤 추가 기술적인 레벨도 특정 도체의 이러한 망에 사용되지 않게 된다.
- <57> 이와 유사하게, 도 5 는 저장 커패시터 (C_{st}), 안정화 커패시터 ($C_{Ln-1,m}$), 및 적어도 일부가 해당 화소 전극 아래를 통과하도록 도전 버스를 설계하는 경우에 얻어진 저장 커패시터 (C_{st}') 를 점선으로 도시한다. 실제로는, 이들 수직 도체는 예를 들어, 데이터 라인과 동일 레벨 상에, 통상 ITO 인 투명 도전 재료로 이루어질 수 있다.
- <58> 일반적으로, 본 발명에 따른 도전면 또는 도체 망에 의해 형성된 도전 버스는 화소 개구비를 교란하지 않도록 투명 도전 재료로 형성되는 것이 바람직하다. 특히, 이러한 버스로 형성된 추가 저장 커패시터로부터 이익을 얻는 것이 필요한 경우에서와 같이, 도전 버스가 화소 전극 아래 또는 위에 있는 부분을 포함하면, 이들 부분은 예를 들어, ITO 인 투명 도전 재료로 이루어져야 한다. 기타 부분, 특히, 그 자체로는 불투명한 선택 라인에 면하는 부분은, 불투명한 도전 재료로 이루어질 수도 있다. 본 실시형태의 이들 실제 양태는 해당 선택된 설계 옵션과 기술에 의존할 것이다.
- <59> 도 6 은 도 2 를 참조하여 설명된 것과 같이, 본 발명에 따른 활성 영역 외부에 있는 안정화 커패시터의 제 1 실시형태에 적용 가능한 본 발명의 일 개선을 도시한다. 이러한 안정화 커패시터가 분산된다: 안정화 커패시터는 병렬인 n 개의 기본 커패시터로 이루어진다. 예를 들어, 선택 라인 (r_{n-1}) 의 경우에는, 병렬인 k 개의 기본 커패시터 ($C_{1,n-1}, \dots, C_{k,n-1}$) 가 존재하고, 선택 라인 (r_n) 의 경우에는, 병렬인 k 개의 기본 커패시터 ($C_{1,n}, \dots, C_{k,n}$) 가 존재한다.
- <60> 본 발명에 따른 최적의 표시 성능을 주는 소정의 디스플레이에 대해 결정된 안정화 커패시터의 값 (커패시턴스) 을 C 로 나타내면, 각 기본 커패시터의 값은 C/k 와 같아질 것이다. 이들 k 개의 기본 커패시터는 선택 라인과 교차하는 k 개의 도전 버스를 사용하여 얻어진다.
- <61> 유리하게는, 이와 같은 실시형태는 라인과 수직 버스 간의 교차점에서 단락이 발생한 경우에 능동 매트릭스의 수리를 용이하게 한다. 예를 들어, 구동기와 능동 매트릭스의 기능 테스트 동안에, 기본 커패시터(들)를 단

락하는 수직 결함의 시각적인 표시를 사용하여, 단락의 위치를 알 수 있다는 것이 공지되어 있다. 그 다음에, 결함이 있는 기본 커패시터를 격리시킬 수 있다. 예를 들어, 도 6에 도시된 바와 같이, 기본 커패시터($C_{L2,n}$)는 통상 레이저를 사용하여 양측에서 컷아웃 "a"를 행함으로써 격리된다. 결함이 있는 서브커패시터의 격리 후에는, 라인 구동기(1)의 동작에 대한 교란이 거의 없거나 전혀 없고, 화소 상의 비디오 디스플레이에 대한 교란도 거의 없거나 전혀 없도록, C/k 의 값이 결정된다. 그러면, 등가 안정화 커패시턴스가 $(k-1)C/k$ 와 같아지게 된다.

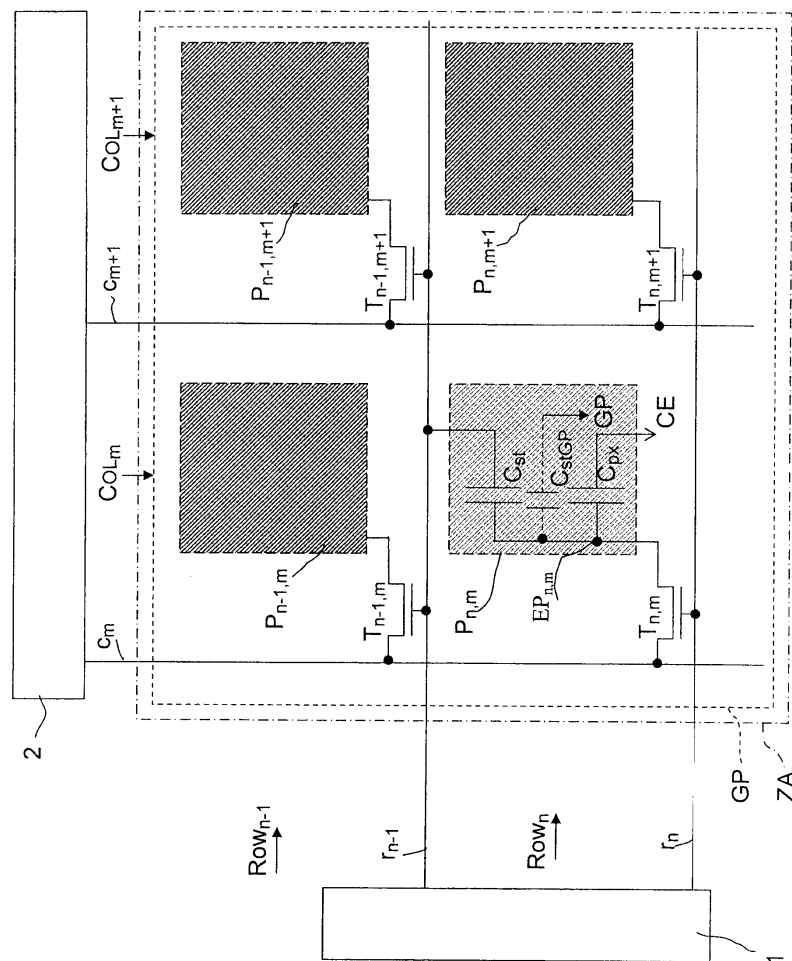
<62> 안정화 커패시터가 능동 매트릭스의 활성 영역 외부에 형성되는, 도 2 및 도 6을 참조하여 도시된 여러 실시형태에서는, 안정화 커패시터 버스의 투명도 또는 불투명도 양태가 중요하지 않다는 것에 주목해야 한다.

<63> 상술한 본 발명은 제조 효율에 영향을 주지 않으면서 대형 화면과 소형 화면 모두에서 능동 매트릭스 액정 화면상의 표시 품질을 향상시킬 수 있는데, 그 이유는 능동 매트릭스 내의 기존 기술적인 레벨을 사용하여 능동 매트릭스를 형성할 수 있기 때문이고, 또한 본 발명의 사용은 신뢰성 있는 수리를 가능하게 한다. 설명된 상이한 실시형태는, 특히 해당 능동 매트릭스의 기존 기술적인 레벨의 함수로서 선택된다. 특히, 본 발명의 실시형태는 저장 커패시터를 형성하는데 사용되는 기술적인 레벨에 의존한다.

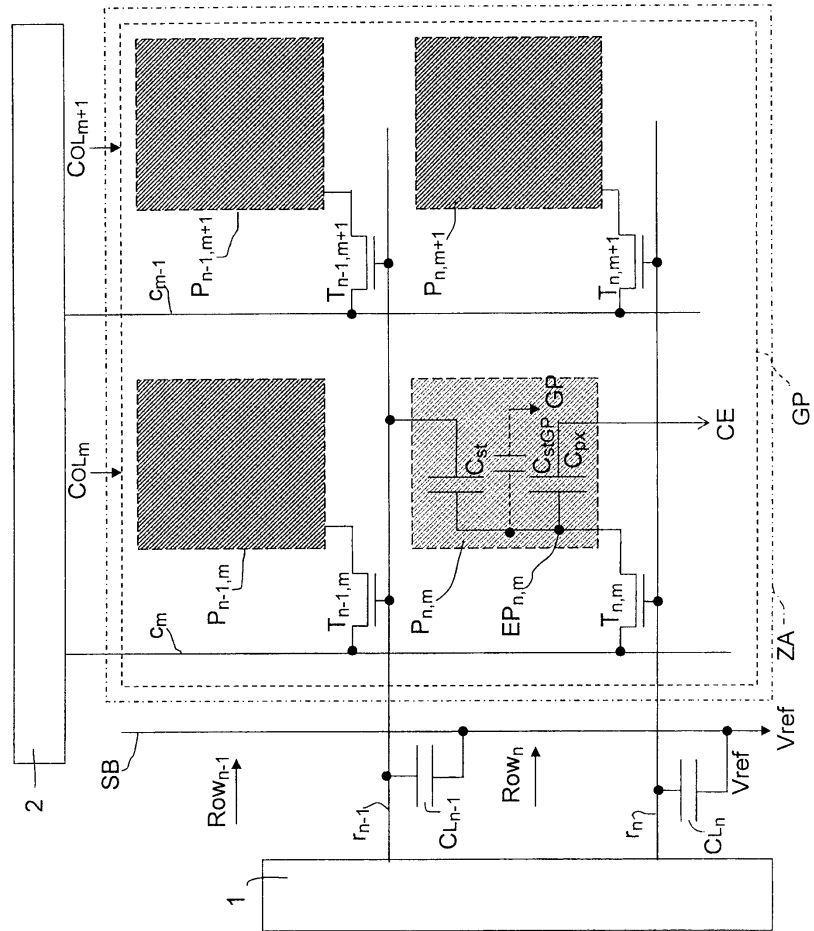
<64> 특히, 본 발명은, 특별한 특징을 가지며 모두 고임피던스 출력을 갖는 집적된 구동기와 함께 능동 매트릭스를 사용하는 디스플레이에 적용 가능하다. 그러나, 본 발명은, 선택되지 않은 선택 라인이 그 근처에서의 전기 변화에 민감할 때마다 더 일반적으로 적용 가능하다.

도면

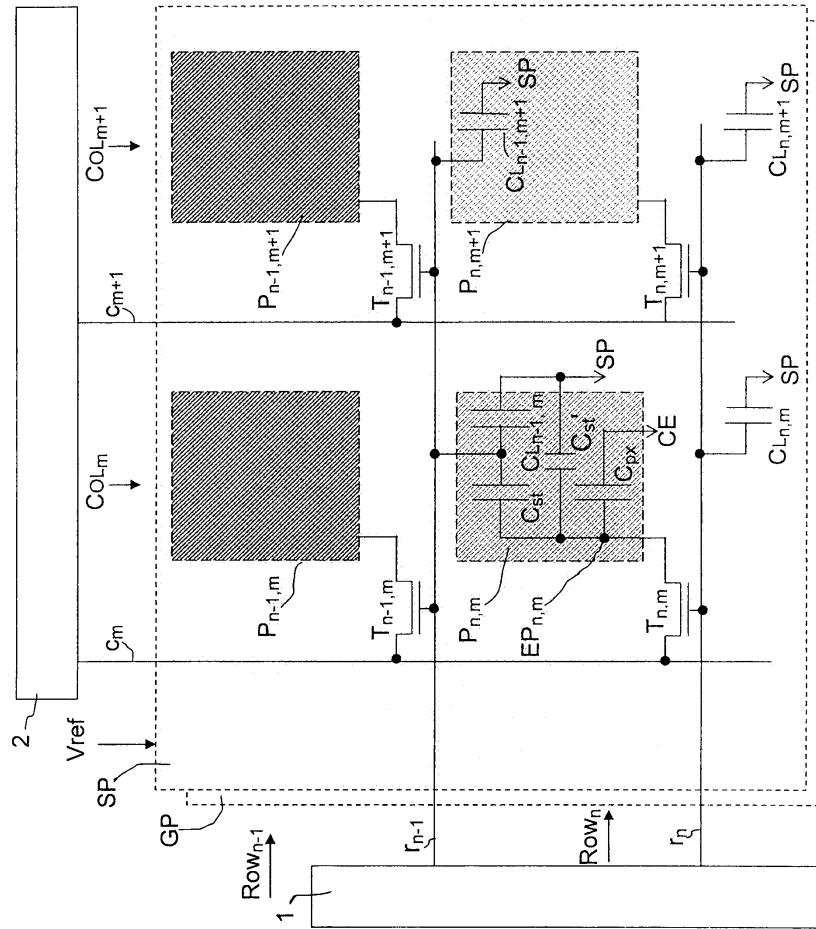
도면1



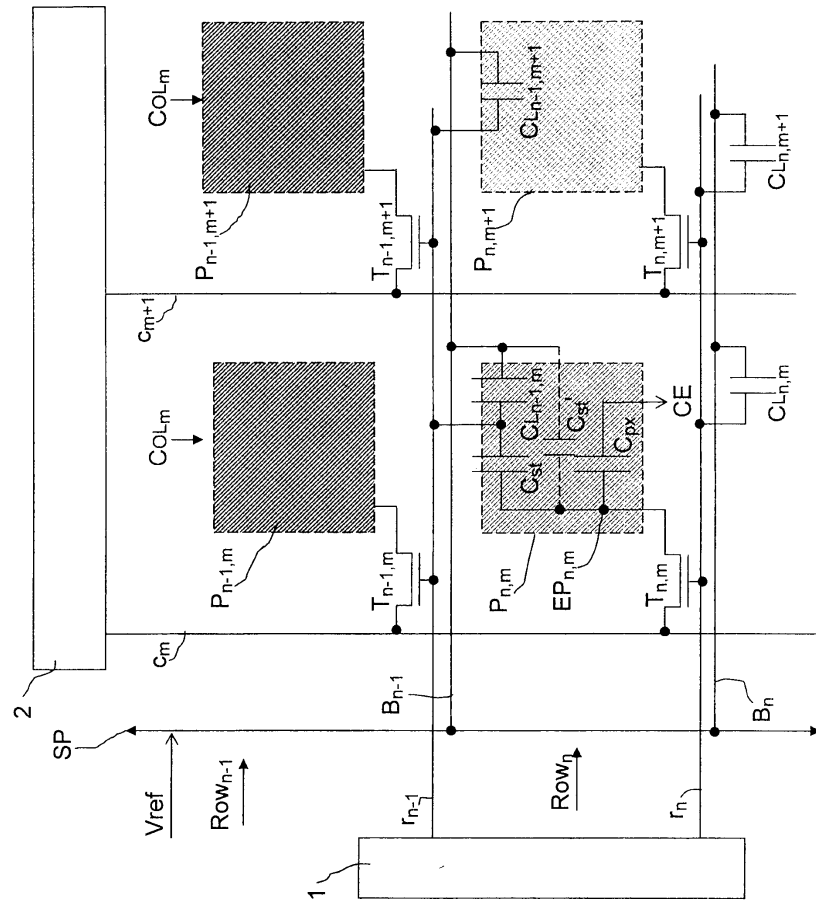
도면2



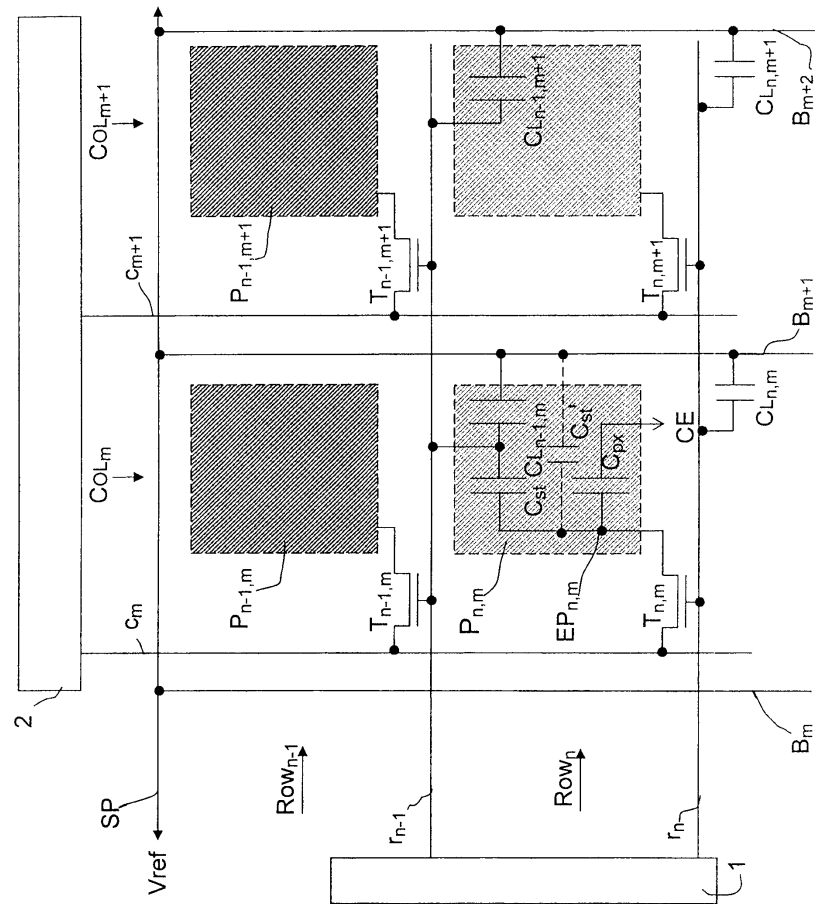
도면3



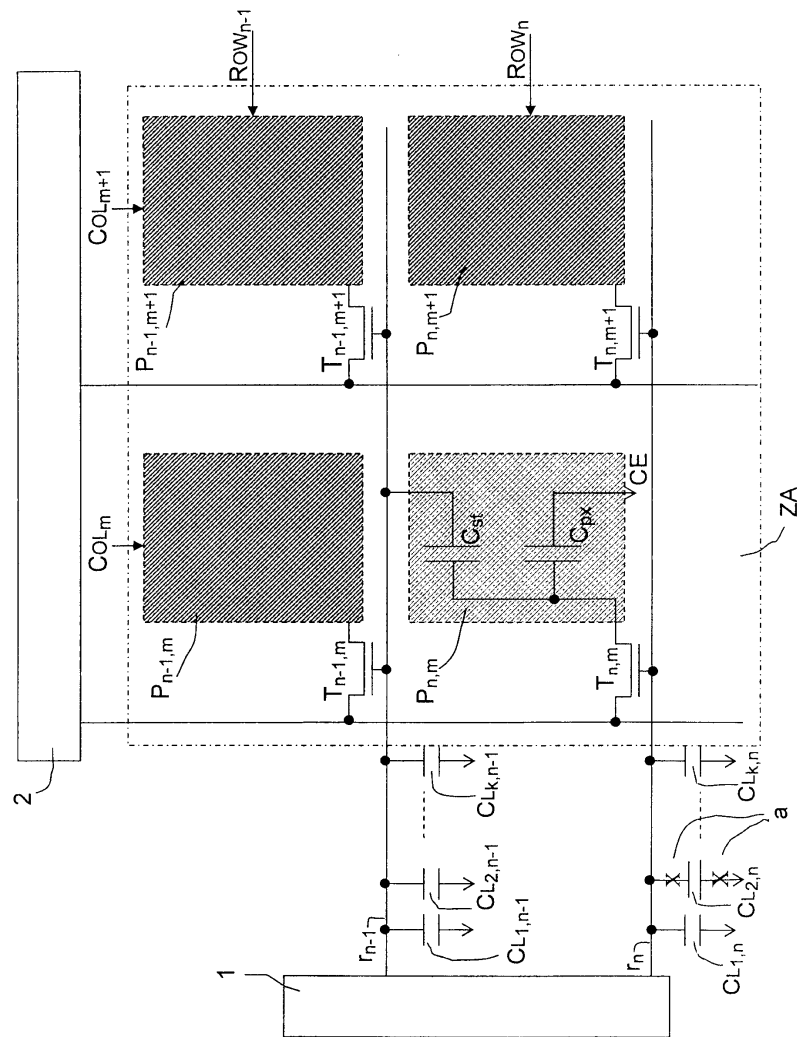
도면4



도면5



도면6



本发明涉及一种用于液晶显示器的有源矩阵，包括在有源区（ZA）中的多个像素电极（EP_{n,m}），其中多个像素电极（EP_{n,m}）中的每一个在数据线（rn）和M条数据线中的（cmn），存储电容器Cst连接到有源矩阵中的每个像素电极EP_{n,m}和线路稳定电容器CL_n为有效矩阵中的每个选择线rn提供。稳定电容器的第一电极连接到选择线rn，第二电极连接到参考电压Vref。本发明适用于有源矩阵型液晶矩阵显示器，特别是具有集成驱动器的有源矩阵型液晶矩阵显示器。

