



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0039295
(43) 공개일자 2008년05월07일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0109515

(22) 출원일자 2007년10월30일

심사청구일자 2007년10월30일

(30) 우선권주장

JP-P-2006-00296732 2006년10월31일 일본(JP)

(71) 출원인

엡슨 이미징 디바이스 가부시기가이샤

일본국 나가노켄 아즈미노시 도요시나 다자와 6925

(72) 발명자

오노기 도모히데

일본 나가노켄 아즈미노시 도요시나 다자와 6925
엡슨 이미징디바이스 가부시기가이샤 내

세가와 야스오

일본 나가노켄 아즈미노시 도요시나 다자와 6925
엡슨 이미징디바이스 가부시기가이샤 내

(74) 대리인

양영준, 이중희

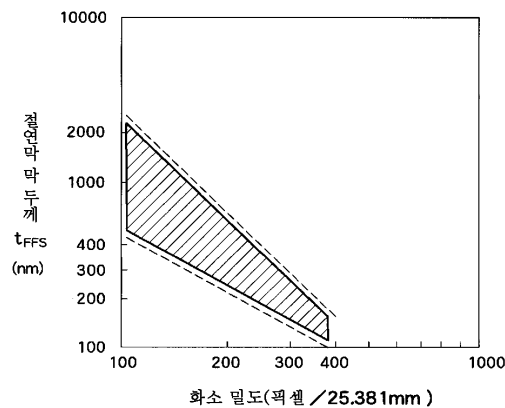
전체 청구항 수 : 총 14 항

(54) 액티브 매트릭스형 액정 표시 장치

(57) 요약

FFS 방식의 액티브 매트릭스형 액정 표시 장치로서, 오버 레이어 구조를 이용하여 축적 용량을 형성하고, 축적 용량의 최적화를 통하여 표시 품질의 향상을 도모하는 것을 과제로 한다. 상기 과제를 해결하기 위해, 본 발명에 따른 액정 표시 장치는, 평탄화 절연막의 상층에, FFS 절연막을 개재하여 화소 전극과 공통 전극이 배치되는 오버 레이어 구조를 갖는다. FFS 절연막을 개재하여 화소 전극과 공통 전극의 겹쳐진 부분에서 축적 용량이 형성된다. 축적 용량은, 유지 시간과 화소 TFT의 리크 전류 등으로부터 정해지는 적당한 크기를 포함과 함께, 신호선 용량에 비해 적당하게 작은 것이 필요하다. 이 2 조건을 충족시키는 FFS 절연막의 막 두께를 계산하면, 예를 들면 화소 밀도 P=100에서 430nm 이상 2400nm 이하, 화소 밀도 P=400에서 90nm 이상 140nm 이하로 된다.

대표도 - 도9



특허청구의 범위

청구항 1

화소 트랜지스터와, 상기 화소 트랜지스터에 접속하는 배선층과,
 상기 화소 트랜지스터 및 상기 배선층의 상층에 형성되는 제1 절연층과,
 상기 제1 절연층의 상층에 형성되고, 공통 전극층 또는 화소 전극층 중 어느 한쪽으로 할당되는 하부 전극층과,
 상기 하부 전극층의 상층에 형성되는 제2 절연층과,
 상기 제2 절연층의 상층에 형성되고, 상기 공통 전극층 또는 상기 화소 전극층 중 다른쪽으로 할당되는 상부 전극층
 을 갖고,

상기 제2 절연층의 막 두께 t 는,

표시 화소를 복수의 서브 픽셀로 이루어지는 대략 정방형 형상으로 하고, 상기 표시 화소의 종방향 및 횡방향의 배치 피치를 각각 25.381mm당 P 개로 하고, 상기 화소 트랜지스터의 채널폭을 W 로 하고, 상기 화소 트랜지스터의 단위 채널폭당의 ON 저항을 ρ_{ON} , 상기 화소 트랜지스터의 게이트 라인과 드레인 라인이 동시에 ON하고 있는 시간을 τ_{ON} 으로 하고, 상기 제2 절연층의 비유전률을 ϵ 로 하고, 진공 유전률을 ϵ_0 으로 하고, 보정 파라미터를 k 로 하여,

$$t < [(\epsilon_0 \epsilon / W) \times \{(0.025381/P)^2 / 6\}] / (100 \times 10^{-9})$$

및

$$t > [(\epsilon_0 \epsilon / W) \times \{(0.025381/P)^2 / 6\} \times k \times \rho_{ON}] / \tau_{ON}$$

으로서, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 절연층은 절연성 투명 수지로 구성되고, 상기 제2 절연층은 저온 프로세스로 형성된 질화 실리콘으로 구성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 상부 전극은 단힌 형상의 슬릿을 갖고 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 상부 전극은 빗살 무늬 형상의 개구부를 갖고 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 하부 전극층과, 상기 하부 전극층의 상층에 형성되는 제2 절연층과, 상기 제2 절연층의 상층에 형성되는 상부 전극층으로 용량이 형성되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 상부 전극은, 공통 전극층인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 7

제1항에 있어서,

상기 상부 전극은, 화소 전극층인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 8

화소 트랜지스터와, 상기 화소 트랜지스터에 접속하는 배선층과,

상기 화소 트랜지스터 및 상기 배선층의 상층에 형성되는 제1 절연층과,

상기 제1 절연층의 상층에 형성되고, 공통 전극층 또는 화소 전극층 중 어느 한쪽으로 할당되는 하부 전극층과,

상기 하부 전극층의 상층에 형성되는 제2 절연층과,

상기 제2 절연층의 상층에 형성되고, 상기 공통 전극층 또는 상기 화소 전극층 중 다른쪽으로 할당되는 상부 전극층

을 갖고,

상기 제2 절연층의 막 두께 t 는,

표시 화소를 복수의 서브 픽셀로 이루어지는 대략 정방형 형상으로 하고, 상기 표시 화소의 종방향 및 횡방향의 배치 피치를 각각 25.381mm당 P개로 하고,

P가 100 이상 400 이하인 경우에,

상기 화소 트랜지스터에 대한 화소 축적 용량이 200fF를 초과하는 제1 조건과,

상기 화소 트랜지스터의 드레인 라인에 대한 신호선 용량이 상기 화소 축적 용량의 10배를 초과하는 제2 조건

을 모두 충족시키는 조건 하에서, 90nm 이상 2400nm 이하의 범위로서, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 9

제8항에 있어서,

상기 제1 절연층은 절연성 투명 수지로 구성되고, 상기 제2 절연층은 저온 프로세스로 형성된 질화 실리콘으로 구성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 10

제8항에 있어서,

상기 상부 전극은 단한 형상의 슬릿을 갖고 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 11

제8항에 있어서,

상기 상부 전극은 빗살 무늬 형상의 개구부를 갖고 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 12

제8항에 있어서,

상기 화소 축적 용량은, 상기 하부 전극층과, 상기 하부 전극층의 상층에 형성되는 제2 절연층과, 상기 제2 절연층의 상층에 형성되는 상부 전극층으로 형성되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 13

제8항에 있어서,

상기 상부 전극은, 공통 전극층인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 14

제8항에 있어서,

상기 상부 전극은, 화소 전극층인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은, 액티브 매트릭스형 액정 표시 장치에 관한 것으로, 특히, 동일 기관 상에 절연층을 개재하여 형성된 상부 전극층과 하부 전극층에 대해서, 어느 한쪽을 공통 전극층으로 할당하고, 다른쪽을 화소 전극층으로 할당하고, 상기 상부 전극층에 전계를 통과시키는 복수의 개구부를 서로 평행하게 되도록 형성하고, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 액티브 매트릭스형 액정 표시 장치에 관한 것이다.

배경 기술

- <2> 액티브 매트릭스형 액정 표시 장치의 표시 방식으로서 종래 TN(Twisted Nematic) 방식이 널리 이용되어 오고 있는데, 이 방식은 표시 원리 상, 시야각에 제한이 있다. 이를 해결하는 방법으로서, 동일 기관 상에 화소 전극과 공통 전극을 형성하고, 이 화소 전극과 공통 전극 사이에 전압을 인가하여, 기관에 거의 평행한 전계를 발생시켜, 액정 분자를 기관면에 주로 평행한 면 내에서 구동하는 횡전계 방식이 알려져 있다.
- <3> 횡전계 방식에는, IPS(In Plane Switching) 방식과, FFS(Fringe Field Switch) 방식이 알려져 있다. IPS 방식에서는, 빗살 무늬 형상의 화소 전극과 빗살 무늬 형상의 공통 전극을 조합하여 배치된다. FFS 방식에서는, 절연층을 개재하여 형성된 상부 전극층과 하부 전극층에 대해서, 어느 한쪽을 공통 전극층으로 할당하고, 다른쪽을 화소 전극층으로 할당하고, 상부 전극층에 전계를 통과시키는 개구로서 예를 들면 슬릿 등이 형성된다.
- <4> 상부 전극층과 하부 전극층 사이의 절연층으로서, 특허 문헌 1에서, 화소 전극과 공통 신호 전극을 절연막을 사이에 두는 상하 2층의 ITO로 구성하는 경우에 대하여 상하 ITO 사이의 절연층으로서 TFT의 표면 보호 절연층의 일층으로 구성되는 예, TFT의 게이트 절연막으로 구성되는 예가 개시되어 있다.
- <5> [특허 문헌 1] 일본 특개 2001-183685호 공보

발명의 내용

해결 하고자하는 과제

- <6> 액티브 매트릭스형 액정 표시 장치에서는, 액정을 구동할 때의 화소 전위 변화를 억제하기 위해 축적 용량이 형성된다. FFS 방식의 경우에는, 상부 전극층과 하부 전극층 사이의 절연막을 이용하여, 상부 전극층과 하부 전극층 사이의 겹쳐진 부분에 형성되는 용량을 축적 용량으로서 이용할 수 있다. 그러나, 상부 전극층과 하부 전극층과의 겹쳐진 부분에 형성되는 용량을 축적 용량으로서 이용하면, 액정 표시 장치에서의 화소 밀도에 의존하여, 축적 용량의 크기가 변화된다. 예를 들면, 화소 밀도가 커져서, 1화소의 평면 상의 면적이 작아지면 축적 용량이 작아지고, 반대로 화소 밀도가 작아지면, 1화소의 평면 상의 면적이 커져서 축적 용량이 커진다.
- <7> 이를 방지하기 위해서는, 예를 들면, 상부 전극층과 하부 전극층 사이의 절연막의 막 두께를, 화소 밀도에 따라서 바꾸는 것이 생각된다. 그런데, 상기 특허 문헌 1에 설명되어 있는 예의 하나인 TFT의 게이트 절연막을 상부 전극층과 하부 전극층 사이의 절연막으로서 이용하면, TFT의 게이트 절연막의 막 두께는, TFT의 특성에 중요한 파라미터이므로, 간단히 변경할 수는 없다. 또한, 다른 하나의 예로서 설명되고 있는 TFT의 표면 보호 절연층은, 너무 얇게 하면, 신뢰성에 영향을 줄 우려가 있다. 그 외에, TFT의 표면 보호 절연층 상에 형성되는 평

탄화 절연막의 이용이 생각되지만, 이는 아크릴막 등으로 형성되기 때문에, 막질이 그다지 좋지 않다.

<8> 이와 같이, 종래 기술의 액티브 매트릭스형 액정 표시 장치의 구조에 이용되는 절연막은, FFS 방식에서, 화소 밀도가 넓은 범위에 대응하는 축적 용량을 형성하기 위해 바람직한 것이 없다. 따라서, 평탄화 절연막의 상층에, 하부 전극층, 절연막층, 상부 전극층을 순차적으로 형성하는 구조로 하고, 그 절연막을 이용하여, 축적 용량을 형성하는 것이 생각된다. 이 구조를, 오버 레이어 구조라고 부르는 것으로 하면, 오버 레이어 구조에서의 축적 용량의 최적화를 도모하여, FFS 방식의 표시 품질의 향상을 도모할 필요가 있다.

<9> 본 발명의 목적은, 오버 레이어 구조를 이용하여 축적 용량을 형성하고, 축적 용량의 최적화를 통하여 표시 품질의 향상을 도모할 수 있는 FFS 방식의 액티브 매트릭스형 액정 표시 장치를 제공하는 것이다.

과제 해결수단

<10> 본 발명은, FFS 방식의 액티브 매트릭스형 액정 표시 장치에 대하여, 오버 레이어 구조를 이용하여 축적 용량을 형성했을 때의 화소 전위 유지를 위한 조건과, 신호선의 전위 변화의 영향을 억제하는 조건을 고려하여, 최적의 표시 품질을 위한 조건을 구한 것에 기초한다. 그 결과를 실현하기 위한 수단은 이하와 같다.

<11> 본 발명에 따른 액티브 매트릭스형 액정 표시 장치는, 화소 트랜지스터와, 상기 화소 트랜지스터에 접속하는 배선층과, 상기 화소 트랜지스터 및 상기 배선층의 상층에 형성되는 제1 절연층과, 상기 제1 절연층의 상층에 형성되고, 공통 전극층 또는 화소 전극층 중 어느 한쪽으로 할당되는 하부 전극층과, 상기 하부 전극층의 상층에 형성되는 제2 절연층과, 상기 제2 절연층의 상층에 형성되고, 상기 공통 전극층 또는 상기 화소 전극층 중 어느 한쪽이나 다른쪽으로 할당되는 상부 전극층을 갖고, 상기 제2 절연층의 막 두께 t 는, 표시 화소를 복수의 서브 픽셀로 이루어지는 대략 정방형 형상으로 하고, 상기 표시 화소의 종방향 및 횡방향의 배치 피치를 각각 25.381mm당 P개로 하고, 상기 화소 트랜지스터의 채널폭을 W로 하고, 상기 화소 트랜지스터의 단위 채널폭당의 ON 저항을 ρ_{ON} , 상기 화소 트랜지스터의 게이트 라인과 드레인 라인이 동시에 ON하고 있는 시간을 τ_{ON} 으로 하고, 상기 제2 절연층의 비유전률을 ϵ 로 하고, 진공 유전률을 ϵ_0 으로 하고, 보정 파라미터를 k로 하여, $t < [(\epsilon_0 \epsilon / W) \times \{(0.025381/P)^2/6\}]/(100 \times 10^{-9})$ 및 $t > [(\epsilon_0 \epsilon / W) \times \{(0.025381/P)^2/6\} \times k \times \rho_{ON}]/\tau_{ON}$ 으로서, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 것을 특징으로 한다.

<12> 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치는, 화소 트랜지스터와, 상기 화소 트랜지스터에 접속하는 배선층과, 상기 화소 트랜지스터 및 상기 배선층의 상층에 형성되는 제1 절연층과, 공통 전극층 또는 화소 전극층 중 어느 한쪽으로 할당되는 하부 전극층과, 상기 하부 전극층의 상층에 형성되는 제2 절연층과, 상기 제2 절연층의 상층에 형성되고, 상기 공통 전극층 또는 상기 화소 전극층 중 어느 한쪽이나 다른쪽으로 할당되는 상부 전극층을 갖고, 상기 제2 절연층의 막 두께 t 는, 표시 화소를 복수의 서브 픽셀로 이루어지는 대략 정방형 형상으로 하고, 상기 표시 화소의 종방향 및 횡방향의 배치 피치를 각각 25.381mm당 P개로 하고, P가 100 이상 400 이하인 경우에, 상기 화소 트랜지스터에 대한 화소 축적 용량이 200fF를 초과하는 제1 조건과, 상기 화소 트랜지스터의 드레인 라인에 대한 신호선 용량이 상기 화소 축적 용량의 10배를 초과하는 제2 조건을 모두 충족시키는 조건 하에서, 90nm 이상 2400nm 이하의 범위로서, 상기 상부 전극층과 상기 하부 전극층 사이에 전압을 인가하여 액정 분자를 구동하는 것을 특징으로 한다.

<13> 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치로서, 상기 제1 절연층은 절연성 투명 수지로 구성되고, 상기 제2 절연층은 저온 프로세스로 형성된 질화 실리콘으로 구성되어도 된다. 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치로서, 상기 상부 전극은 단힌 형상의 슬릿을 갖고 있어도 된다. 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치로서, 상기 상부 전극은 빗살 무늬 형상의 개구부를 갖고 있어도 된다. 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치로서, 상기 하부 전극층과, 상기 하부 전극층의 상층에 형성되는 제2 절연층과, 상기 제2 절연층의 상층에 형성되는 상부 전극층으로 용량이 형성되어도 된다. 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치로서, 상기 상부 전극은, 공통 전극층이어도 된다. 또한, 본 발명에 따른 액티브 매트릭스형 액정 표시 장치는, 상기 상부 전극은, 화소 전극층이어도 된다.

효과

<14> 본 발명에 따른 액티브 매트릭스형 액정 표시 장치에 따르면, FFS 방식에서, 오버 레이어 구조를 이용하여 축적 용량을 형성하고, 축적 용량의 최적화를 통하여 표시 품질의 향상을 도모할 수 있다.

발명의 실시를 위한 구체적인 내용

- <15> 이하에, 도면을 이용하여 본 발명에 따른 실시 형태에 대하여, 상세히 설명한다. 이하에서는, FFS 방식의 액정 표시 장치로서, 적(R), 녹(G), 청(B)의 3색으로 구성되는 표시를 행하는 것에 대하여 설명하지만, 물론, R, G, B의 이외에 예를 들면 C(시안) 등을 포함하는 다색 구성이어도 되고, 단적으로 흑백 표시를 행하는 것이어도 된다. 또한, 이하에 설명하는 형상, 구조, 재질 등은, 설명을 위한 일례로서, 액정 표시 장치의 용도에 맞추어, 적절히 변경이 가능하다.
- <16> 우선, FFS 방식의 액티브 매트릭스형 액정 표시 장치의 구성에 대하여 설명하고, 그 다음으로, 축적 용량의 최적화의 내용에 대하여 설명한다.
- <17> 도 1은, FFS 방식에 의한 액티브매트릭스형의 액정 표시 장치로서, R, G, B의 3색 구성으로 표시를 행하는 경우의 표시 영역의 1 표시 화소분, 즉, 3색에 대응하는 3개의 서브 픽셀에 대한 평면 구성을 도시하는 도면이다. FFS 방식의 액정 표시 장치(30)는, 화소 전극 및 공통 전극이 어레이 기관(32) 상에 배치되고, 어레이 기관(32)에 대향하는 대향 기관 상에 컬러 필터 및 블랙 매트릭스 등이 배치되고, 그 사이에 액정 분자층이 밀봉되어 구성된다. 도 1은, 대향 기관측으로부터 어레이 기관(32)을 본 평면도로서, 대향 기관 상에 배치되는 각 요소를 생략하고 있으므로, 실질 상으로는 어레이 기관(32)의 평면도로 되어 있다. 도 2는, 도 1에 도시하는 A-A선을 따라, 두께 방향을 과장하여 도시하는 단면도인데, 여기에서도 어레이 기관(32)에 대해서만 도시되어 있다.
- <18> 도 1에 도시되는 바와 같이, 액정 표시 장치(30)에서, 복수의 드레인 배선(46)은, 각각이 직선 형상으로 연장하고(도 1의 예에서는 종방향으로 연장), 그 연장 방향에 교차하는 방향(여기서는 직교하는 방향이며, 도 1의 예에서는 횡방향)으로 복수의 게이트 배선(40)이 각각 배열된다. 복수의 드레인 배선(46)과, 복수의 게이트 배선(40)에 의해 구획되는 개개의 영역이, 화소 배치 영역이며, 도 1에서는, R, G, B의 3색 구성에 대응해서 3개의 화소 배치 영역이 도시된다. 여기에서는, 컬러 표현 단위마다 1 픽셀이라고 세고, 이를 1 표시 화소로 하므로, 여기에서 말하는 화소 배치 영역은, 서브 픽셀의 영역에 해당한다. 이하에서 화소라고 하는 것은, 특별히 한정하지 않는 한 서브 픽셀 단위로서 설명하는 것으로 하고, 복수의 서브 픽셀을 모아서 하나의 표시 화소로 하여 구성된 것을, 표시 화소라고 부르는 것으로 한다. 또한, 공통 전극(60)은, 어레이 기관(32)의 전체면 또는, 복수의 화소에 걸쳐서 배치되어 있으므로, 도 1에서는, 슬릿(61)의 형상선을 제외하고, 그 윤곽선이 나타내어지지 않지 않다.
- <19> 여기에서는, 각 드레인 배선(46)의 배열 피치는 복수의 드레인 배선(46) 전체에서 동일한 경우를 예시한다. 또한, 각 드레인 배선(46)의 폭(드레인 배선(46)의 배열 방향에서의 치수)도 동일한 것으로 한다. 또한, 도 1에서는 드레인 배선(46)이 직선 형상인 경우를 도시하고 있지만, 예를 들면 국소적으로 사행부를 갖고 전체로서 상기 연장 방향으로 연장하고 있어도 된다. 또한, 화소 배열로서는, 스트라이프 배열, 델타 배열, 모자이크 배열 등을 형성하여도 된다.
- <20> 드레인 배선(46)과 게이트 배선(40)으로 구획되는 각 화소 배치 영역에는, 화소 TFT(70)가 각각 배치된다. 도 1의 예에서는, 각 화소 TFT(70)에 대해서, 반도체층(36)(도 2참조)은 대략 U자형으로 연장하고 있고(도면에서는 대략 U자형이 상하반전하여 도시되어 있음), 그 대략 U자형의 2개의 아암부를 가로질러 게이트 배선(40)이 드레인 배선(46)의 배열 방향에 직교하여 연장하고 있다. 이 구성에서는, 화소 TFT(70)의 소스 전극(48)은, 드레인 배선(46)에 접속되는 드레인 전극과 함께 게이트 배선(40)에 대하여 동일한 측에 위치하고 있다. 이에 의해, 화소 TFT(70)에서는, 게이트 배선(40)이 소스와 드레인 사이에서 반도체층(36)에 2회 교차하는 구성, 바꾸어 말하면 반도체층(36)의 소스와 드레인 사이에 게이트 전극이 2개 설치된 구성을 갖고 있다.
- <21> 이와 같이, 화소 TFT(70)의 드레인은 바로 가까이의 드레인 배선(46)에 접속되고, 한편, 소스는, 소스 전극(48)을 통하여, 화소 전극(52)에 접속된다. 화소 전극(52)은 각 화소마다 형성되고, 그 화소의 화소 TFT(70)의 소스에 접속되는 평판 형상의 전극이다. 도 1에서는, 사각 형상의 화소 전극(52)이 도시되어 있다.
- <22> 공통 전극(60)은, 상기한 바와 같이, 어레이 기관(32) 상에 배치된다. 다만, 경우에 따라서는, 공통 전극(60)을 각 화소마다 설치되는 것으로 하여도 된다. 그 구조의 경우에는, 각 화소의 공통 전극(60)을 접속하는 공통 전극 배선이 배치된다. 공통 전극(60)은, 투명 전극막층에, 개구부인 슬릿(61)이 형성된 것이다. 이 슬릿(61)은, 화소 전극(52)과 공통 전극(60) 사이에 전압을 인가했을 때에, 전기력선을 통과시켜, 기관면에 대하여 주로 평행한 횡전계를 발생시키는 기능을 갖는다.
- <23> 공통 전극(60) 상에는, 배향막이 배치되고, 배향 처리로서 러빙 처리가 행해진다. 러빙 방향은, 예를 들면, 도 1에서, 게이트 배선(40)에 평행한 방향으로 행할 수 있다. 공통 전극(60)의 슬릿(61)은, 그 긴 변이 연장되는

방향, 이 러빙 방향에 대하여 약간 경사져 형성된다. 예를 들면, 각도로 5° 정도, 러빙 방향에 대하여 경사 지도록 형성할 수 있다. 공통 전극(60) 상에 배향막을 형성하고, 러빙 처리를 행함으로써, 어레이 기관(32)이 완성된다.

- <24> 다음으로, 도 2의 단면도를 이용하여, FFS 방식의 액정 표시 장치에서의 어레이 기관(32)의 구조를 설명한다. 도 2는, 상기와 같이, 도 1의 A-A선을 따라 취한 단면도에서, 1개의 화소에 대한 각 요소가 도시되어 있다.
- <25> 어레이 기관(32)은, 투광성 기관(34)과, 반도체층(36)과, 게이트 절연막(38)과, 게이트 배선(40)과, 층간 절연막(44)과, 드레인 배선(46)과, 소스 전극(48)과, 평탄화 절연막(50)과, 화소 전극(52)과, FFS 절연막(58)과, 공통 전극(60)을 포함하여 구성된다.
- <26> 투광성 기관(34)은, 예를 들면 글래스에 의해 구성된다. 반도체층(36)은 예를 들면 폴리실리콘에 의해 구성되고, 투광성 기관(34) 상에 배치되어 있다. 게이트 절연막(38)은, 예를 들면 산화 실리콘, 질화 실리콘 등으로 구성되고, 반도체층(36)을 덮어 투광성 기관(34) 상에 배치되어 있다. 게이트 배선(40)은, 예를 들면 Mo, Al 등의 금속으로 구성되고, 반도체층(36)에 대향하여 게이트 절연막(38) 상에 배치되고, 게이트 절연막(38) 및 반도체층(36)과 함께 화소 TFT(70)를 구성하고 있다. 또한, 게이트 배선(40)은 주사선이라고도 불린다.
- <27> 층간 절연막(44)은, 예를 들면 산화 실리콘, 질화 실리콘 등으로 구성되고, 게이트 배선(40) 등을 덮어 게이트 절연막(38) 상에 배치되어 있다. 층간 절연막(44) 및 게이트 절연막(38)을 관통하여 콘택트 홀이 형성되고 있고, 그 콘택트 홀은 반도체층(36) 내에서 화소 TFT(70)의 소스 및 드레인에 해당하는 위치에 형성되어 있다. 드레인 배선(46)은, 예를 들면 Mo, Al, Ti 등의 금속으로 구성되고, 층간 절연막(44) 상에 배치되어 있음과 함께 한쪽의 상기 콘택트 홀을 통하여 반도체층(36)에 접속하고 있다. 또한, 드레인 배선은 신호선이라고도 불린다. 소스 전극(48)은, 예를 들면 드레인 배선(46)과 동일한 재료로 구성되고, 층간 절연막(44) 상에 배치되어 있음과 함께 다른쪽의 상기 콘택트 홀을 통하여 반도체층(36)에 접속하고 있다.
- <28> 여기에서는, 반도체층(36)에서, 드레인 배선(46)이 접속하는 부분을 화소 TFT(70)의 드레인으로 하고, 소스 전극(48)을 통하여 화소 전극(52)이 접속하는 부분을 화소 TFT(70)의 소스로 하지만, 드레인과 소스를 상기와는 반대로 부르는 것도 가능하다.
- <29> 평탄화 절연막(50)은, 예를 들면 아크릴 등의 절연성 투명 수지 등으로 구성되고, 드레인 배선(46) 및 소스 전극(48)을 덮어 층간 절연막(44) 상에 배치되어 있다. 평탄화 절연막(50)을 관통하여 소스 전극(48) 상에 콘택트 홀이 형성되어 있다.
- <30> 화소 전극(52)은, 예를 들면 ITO(Indium Thin Oxide) 등의 투명 도전 재료로 구성되고, 평탄화 절연막(50) 상에 배치되어 있음과 함께 상기 콘택트 홀을 통하여 소스 전극(48)에 접속되어 있다.
- <31> FFS 절연막(58)은, 화소 전극(52)과 공통 전극(60) 사이에 배치되는 절연막층이다. 예를 들면 질소 실리콘으로 구성되고, 화소 전극(52)을 덮어 평탄화 절연막(50) 상에 배치되어 있다. 또한, 평탄화 절연막(50)이 수지로 구성되어 있는 경우에는, FFS 절연막(58)은 저온 프로세스로 형성할 필요가 있다.
- <32> 공통 전극(60)은, 예를 들면 ITO 등의 투명 도전 재료로 구성되고, FFS 절연막(58) 상에 배치되어 있고, 도시하지 않았지만 공통 전극용 전극에 접속되어 있다. 공통 전극(60)은, FFS 절연막(58)을 개재하여 화소 전극(52)에 대향하여 설치되고, 화소 전극(52)에 대향하는 부분에 복수의 슬릿(61)을 갖고 있다. 슬릿(61)은, 게이트 배선(40)이 연장하는 방향보다 약간 경사진 방향으로 장축을 갖는 가늘고 길게 닫힌 형상의 개구이다. 이 기울기 각도는, 상기한 바와 같이, 배향 처리의 러빙 각도에 관계되어 설정된다.
- <33> 공통 전극(60) 상에는, 도시하지 않았지만, 배향막층이 배치된다. 배향막층은, 액정 분자를 초기 배향시키는 기능을 갖는 막으로서, 예를 들면 폴리이미드 등의 유기막에, 러빙 처리를 실시하여 이용된다.
- <34> 이와 같이, 동일 기관인 투광성 기관(34) 상에, 평탄화 절연막(50)의 상층부에, 절연층인 FFS 절연막(58)을 개재하여 상부 전극층인 공통 전극(60)과 하부 전극층인 화소 전극(52)이 형성된다. 상기한 바와 같이 이 구조를 오버 레이어 구조라고 부를 수 있다. 그리고, 상부 전극층인 공통 전극(60)에 슬릿(61)을 형성하고, 하부 전극층인 화소 전극(52)과의 사이에 전압을 인가하여, 기관면에 대하여 주로 평행한 횡전계를 발생시켜서 배향막층을 개재하여 액정 분자를 구동할 수 있다. 즉, 오버 레이어 구조를 이용하여, FFS 방식에 의한 액티브 매트릭스형의 액정 표시 장치(30)가 구성된다.
- <35> 상기에서는, FFS 절연막(58)을 개재하여, 하부 전극층을 화소 전극(52)으로 하고, 상부 전극층을 공통 전극(60)으로 하고, 공통 전극(60)에 슬릿(61)이 형성되지만, 하부 전극층을 공통 전극(60)으로 하고, 상부 전극층을

화소 전극(52)으로 할 수도 있다.

- <36> 도 3, 도 4는, 하부 전극층을 공통 전극(60)으로 하고, 상부 전극층을 화소 전극(52)으로 하고, 화소 전극(52)에 슬릿(53)을 형성하는 액정 표시 장치(30)의 구성을 도시하는 도면이다. 이들 도면은, 도 1, 도 2에 대응하여, 실질적인 어레이 기관(32)의 구성을 도시하는 도면으로 되어 있다. 도 1, 도 2와 동일한 요소에는 동일한 기호를 붙이고, 상세한 설명을 생략한다.
- <37> 상부 전극층을 화소 전극(52)으로 하는 경우에는, 도 4에 도시되는 바와 같이, 소스 전극(48)에 접속되는 화소 전극(52)이, FFS 절연막(58)의 상부에 배치된다. 그리고, 어레이 기관(32)의 최표면층의 전극인 화소 전극(52)에, 슬릿(53)이 형성된다. 슬릿(53)은, 도 1, 도 2에 관련되어 설명한 바와 같이, 게이트 배선(40)이 연장하는 방향보다 약간 경사진 방향으로 장축을 갖는 가늘고 길게 닫힌 형상의 개구이다. 또한, 하부 전극층인 공통 전극(60)은, 어레이 기관(32)의 전체면, 혹은 복수의 화소에 걸쳐서 배치된다.
- <38> 또한, 상기에서, 상부 전극층에 형성되는 전계를 통과시키기 위한 개구부로서, 가늘고 긴 개구홈인 슬릿을 설명했지만, 상부 전극 구조를, 빗살 무늬 형상 혹은 울타리 형상의 형상으로 형성할 수도 있다. 이 경우에는, 전계는, 빗살 무늬 형상 혹은 울타리 형상의 사이의 개구를 통과하게 된다.
- <39> 다음으로, 오버 레이어 구조를 이용한 FFS 방식의 액티브 매트릭스형 액정에서의 축적 용량의 최적화에 대해서, 도 5 내지 도 9를 이용하여 설명한다.
- <40> 도 5는, 액티브 매트릭스형 액정 표시 장치의 화소의 동작을 설명하기 위한 등가 회로도이다. 여기에서는, 화소 TFT(70)에 관한 각종의 용량에 대하여 나타내어져 있다. 화소 TFT(70)의 게이트에는, 게이트 배선(Gate)(40)이 접속되고, 드레인에는, 드레인 배선(Video)(46)이 접속된다. 게이트 배선(40)은, 주사선 선택 신호가 공급되는 주사 신호선이고, 드레인 배선(46)은, 비디오 신호가 공급되는 데이터 신호선이다. 그리고, 화소 TFT(70)의 소스에는, 화소 전극(52)이 접속된다.
- <41> 여기서, 화소 전극(52)과, 공통 전극(VCOM)(60) 사이의 용량으로서는, 액정 분자의 용량에 상당하는 액정 용량 C_{LC} (72)와, 축적 용량 C_{SC} (74)가 있는 것으로 된다. 또한, 도 5의 등가 회로에서는, 이 액정 용량(72)과, 축적 용량(74)은, 1화소, 즉 1 서브 픽셀에 대한 성분이 나타내어져 있다.
- <42> 또한, 드레인 배선(46)과 공통 전극(60) 사이, 및 드레인 배선(46)과 게이트 배선(40) 사이에는, 도 2 등에서 설명한 층간 절연막(44)을 개재하여 신호선 용량(C_{video})(76)이 형성된다. 도 5의 등가 회로에서는, 이 드레인 배선(46)에 따른 신호선 용량(76)은, 해당하는 화소 TFT(70)의 드레인에 접속되는 1개의 드레인 배선(46)에 대한 성분이 나타내어져 있다. 즉, 1개의 드레인 배선(46)에 대해서, n개의 게이트 배선(40)이 접속되고, 또한, 공통 전극(60)이 m개의 화소에 걸쳐서 배치되어 있는 것으로 하면, 신호선 용량(76)은, 1개의 드레인 배선(46)과 n개의 게이트 배선(40) 사이에 형성되는 용량 성분과, 1개의 드레인 배선(46)과 m개의 화소에 걸쳐서 배치되는 공통 전극(60) 사이에 형성되는 용량 성분의 합이다.
- <43> 이와 같은 등가 회로에서, 도시하지 않은 주사선 구동 회로가, 임의의 주사선, 예를 들면 도 5에 도시되는 게이트 배선(40)을 선택하면, 화소 TFT(70)가 도통 상태로 된다. 따라서, 드레인 배선(46)으로부터 비디오 신호가 화소 전극(52)에 공급되고, 화소 전극(52)과 공통 전극(60) 사이의 전위차에 따른 전하가, 액정 용량(72)과 축적 용량(74)에 축적된다. 선택되어 있지 않은 게이트 배선(40)에 접속된 화소 TFT(70)는 차단 상태이므로, 축적 용량(74)에 축적된 전하가 유지되는 것으로 된다.
- <44> 여기서, 축적 용량(74)의 크기가 작으면, 유지 기간 동안에, 화소 TFT(70)의 리크 전류 등에 의해 화소 전위의 변화가 생겨서, 액정에 걸리는 전압이 변화되어, 콘트라스트의 저하, 크로스토크 등의 표시 불량에 생길 우려가 있다. 한편, 축적 용량이 지나치게 크면, 충전 기간, 즉 1 수평 주사 기간 동안에, 축적 용량(74)에서의 충분한 충전이 되지 않거나, 혹은, 축적 용량(74)과 신호선 용량(76) 사이에 생기는 전하의 재배분이 커져, 드레인 배선(46)의 전위 자체가 변화될 우려가 생긴다. 이에 의해, 화소 전극 전위가 원하는 전위 레벨에 도달하지 않은 채, 유지 상태로 들어가는 경우가 생겨서, 콘트라스트 저하, 표시 얼룩 등의 표시 불량에 생길 우려가 있다. 즉, 축적 용량(74)은, 유지 시간과 화소 TFT의 리크 전류 등으로부터 정해지는 적당한 크기를 요함과 함께, 신호선 용량에 비해 적당하게 작을 것이 필요하다.
- <45> 여기서, 축적 용량(74)은, 화소 전극(52)과 공통 전극(60) 사이에 형성되는 용량이다. 상기한 바와 같이, 화소 전극(52)과 공통 전극(60) 사이에는 FFS 절연막(58)이 있으므로, FFS 절연막(58)을 사이에 두고, 화소 전극(52)과 공통 전극(60) 사이의 겹치는 부분에서, 축적 용량(74)이 형성되는 것으로 된다. 또한, FFS 방식에서는,

어레이 기관(32)의 최표면층의 상부 전극층에, 슬릿 또는 빗살 무늬 형상의 개구부가 형성되므로, 상부 전극층의 구조는, 도전체 부분의 전극부와, 도전체 부분이 제거된 개구부가, 반복 배치된 것으로 되어 있다.

<46> 도 6은, 모식적으로, 1개의 표시 화소(80)가 3개의 서브 픽셀, 즉 3개의 화소(81)로 구성되어 있는 경우의, 1개의 화소(81)에 대한 전극부(82)와 개구부(84)의 모습을 도시하는 도면이다. 전극부(82)와 개구부(84)의 반복 부분에는, 개구부(84)의 단측폭을 S로 하고, 인접하는 개구부(84) 사이의 거리인 도전체 부분의 전극부(82)의 폭을 L로 하여 나타낼 수 있다. 이하에서는, S를 전극 간격, L을 전극폭이라고 부르는 것으로 한다. 여기에서, 개구부(84)는, 상기에서 설명한 슬릿(61)은 혹은, 빗살 무늬 형상의 개구부에 대응한다.

<47> 도 6에 도시되는 모델을 이용하여, 1 화소(81)당의 축적 용량의 크기를 계산할 수 있다. 도 6에 도시된 바와 같이, 화소(81)의 세로 길이를 Y로 하고, 가로 길이를 X로 하여 3개의 화소(81)로 구성되는 하나의 표시 화소(80)를, 통상 이용되도록 정방형으로 한다. 즉 $Y=3X$ 로 한다. 그리고, 표시 영역에서의 화소 밀도를, 25.381mm (1인치)당 P 표시 화소로 한다. 또한, 1화소(81)당의 전극부(82)의 수를 n으로 하고, FFS 절연막의 막 두께를 t_{FFS} 로 하고, 그 비유전률을 ϵ_{FFS} 로 하고, 진공 유전률을 ϵ_0 로 한다.

<48> 화소 밀도 P를 이용하여, 1인치=25.381mm의 환산을 이용하는 것으로 하여, $Y=(0.025381/P)(m)$, $X=(0.025381/3P)(m)$ 으로 되고, 또한, 전극부(82)의 수는, $n=Y/(L+S)$ 로 된다. 따라서, 1화소(81)당의 축적 용량 C_{SC} 는, $C_{SC}=(\epsilon_0 \epsilon_{FFS}/t_{FFS}) \times nLX=(\epsilon_0 \epsilon_{FFS}/t_{FFS}) \times (0.025381/P)/(L+S) \times L \times (0.025381/3P)$ 로 주어진다.

<49> 도 7은, $\epsilon_{FFS}=6$, $t_{FFS}=200nm$, $L=S=4\mu m$ 로 하여, 화소 밀도 P와 축적 용량 C_{SC} 의 관계를 계산한 결과를 도시하는 도면이다. 도 7로부터 알 수 있는 바와 같이, 화소 밀도 P가 증가하면, 축적 용량 C_{SC} 의 크기는 급격히 작아지고, 반대로 화소 밀도 P가 적어지면, 축적 용량 C_{SC} 의 크기는 급격히 커진다. 따라서, t_{FFS} 의 막 두께가 일정한 상태에서는, 화소 밀도의 변화에 대하여, 축적 용량 C_{SC} 의 크기가 부족하거나 또는 과대로 된다. 이것이, 본 발명에서의 과제이다.

<50> 도 8, 도 9를 이용하여, 화소 밀도 P에 따른 t_{FFS} 의 설정 방법에 대하여 설명한다. 상기한 바와 같이, 축적 용량은, 유지 시간과 화소 TFT의 리크 전류 등으로부터 정해지는 적당한 크기를 요함과 함께, 신호선 용량에 비해 적당하게 작을 것이 필요하다. 전자의 화소 전위 유지를 위해서는, 경험적으로, 화소 TFT의 채널폭이 $2\mu m$ 정도 이면, 그 리크 전류의 크기로부터, 축적 용량(C_{SC})이 200fF 이상 있으면 충분한 것을 알 수 있다. 또한, 후자는, 축적 용량:신호선 용량($C_{SC}:C_{video}$)이, 1:10 이상 있으면, 신호선 전위 변화를 예를 들면 1/10 정도로 할 수 있으므로, 표시 품질의 저하를 충분히 억제할 수 있는 것을 알 수 있다.

<51> 도 8은, 상기 2 조건을 모두 충족시키는 FFS 절연막의 막 두께 t_{FFS} 의 범위를 도시하는 도면이다. 즉, 횡축에 화소 밀도를 취하고, 종축에 축적 용량을 취하고, FFS 절연막의 막 두께를 파라미터로 취하여 도시되는 도 8에서, 축적 용량(C_{SC})=200fF의 선과, 축적 용량:신호선 용량($C_{SC}:C_{video}$)=1:10을 나타내는 선이 과선으로 나타내어져 있다. 이 2개의 과선으로 둘러싸여진 사선 영역이, 상기 2 조건을 모두 충족시키는 FFS 절연막의 막 두께 t_{FFS} 의 범위이다.

<52> 여기서, 신호선 용량은, 게이트 배선과 드레인 배선 사이의 교차부 용량을, 단위 면적당 $7.1 \times 10^{-17} fF/(\mu m)^2$ 로 하고, 드레인 배선과 공통 전극 사이의 교차부 용량을, 단위 면적당 $7.1 \times 10^{-17} fF/(\mu m)^2$ 로 하고, 게이트 배선의 폭 및 드레인 배선의 폭을 모두 $5\mu m$ 로 하고, 게이트 배선의 층수, 즉 주사선수를 240개로 하여, 화소 밀도 P에 대응하는 값을 계산했다. 또한, $\epsilon_{FFS}=6$, $L=S=4\mu m$ 로 하였다.

<53> 도 9는, 도 8의 내용을, 횡축에 화소 밀도, 종축에 FFS 절연막의 막 두께 t_{FFS} 를 취하고, 상기 2 조건을 충족시키는 범위를 사선 영역으로 나타낸 것이다. 도 9의 결과로부터 다음의 것을 알 수 있다. 즉, 화소 밀도 P가 100 이상 400 이하인 경우에, 화소 TFT에 대한 축적 용량이 200fF를 초과하는 제1 조건과, 화소 TFT의 드레인 배선에 대한 신호선 용량이 축적 용량의 10배를 초과하는 제2 조건을 모두 충족시키는 조건 하에서, FFS 절연막의 막 두께는, 90nm 이상 2400nm 이하의 범위로 설정하는 것이 좋다.

<54> 예를 들면, 화소 밀도 P=100에서는, FFS 절연막의 막 두께를 430nm 이상 2400nm 이하, 화소 밀도 P=200에서는, FFS 절연막의 막 두께를 200nm 이상 600nm 이하, 화소 밀도 P=300에서는, FFS 절연막의 막 두께를 130nm 이상

260nm 이하, 화소 밀도 P=400에서는, FFS 절연막의 막 두께를 90nm 이상 140nm 이하로 설정하는 것이 바람직하다.

<55> 또한, 일반적인 FFS 절연막의 막 두께의 설정 조건을 나타낼 수 있다. 즉, 제1 조건의 200fF는, 화소 TFT의 채널폭 W를 2 μ m로 한 경우이므로, 이를 200fF/2 μ m로 하여, $C_{SC}/W=100 \times 10^{-9}$ (fF/m)과 치환할 수 있다. 따라서, 제1 조건은, $C_{SC}/W=(\epsilon_0 \epsilon_{FFS}/t_{FFS}) \times nLX/W > 100 \times 10^{-9}$ (fF/m)으로 된다. 이 좌변은, L=S로 하여, $nL=Y/2$ 를 이용하면, $C_{SC}/W=(\epsilon_0 \epsilon_{FFS}/Wt_{FFS}) \times (0.025381/P)^2/6$]으로 된다. 따라서, 제1 조건은,

<56> $t_{FFS} < [(\epsilon_0 \epsilon / W) \{ (0.025381/P)^2/6 \}] / (100 \times 10^{-9})$

<57> 로, 일반적으로 나타낼 수 있다.

<58> 또한, 제2 조건은, 화소 TFT를 이용하여 축적 용량 C_{SC} 에 충전하여 데이터를 기입할 때의 조건이므로, 다음과 같이 생각할 수 있다. 즉, 화소 TFT의 단위 채널폭당의 ON 저항을 ρ_{ON} , 화소 TFT 게이트 배선과 드레인 배선이 동시에 ON하고 있는 시간을 τ_{ON} 으로 하고, 보정 파라미터를 k로 하면, 충전의 시상수가 τ_{ON} 보다 작으면 되므로, 제2 조건은, 근사적으로, $k \times \rho_{ON} \times W \times C_{SC} < \tau_{ON}$ 으로 나타낼 수 있다. 이를 실제의 액정 표시 소자에 적용해 보면, k=2 정도의 값으로 되어, 시뮬레이션 결과와 잘 맞는 것을 알 수 있다. 따라서, 이 식에서의 C_{SC} 를 상기한 바와 마찬가지로 일반화함으로써, 제2 조건은 다음과 같이 나타낼 수 있다. 즉, 이 식의 좌변은, $k \times \rho_{ON} \times W \times (\epsilon_0 \epsilon_{FFS}/t_{FFS}) \times \{ (0.025381/P)^2/6 \}$ 으로 된다. 이로부터, 제2 조건은,

<59> $t_{FFS} > [(\epsilon_0 \epsilon / W) \times \{ (0.025381/P)^2/6 \} \times k \times \rho_{ON}] / \tau_{ON}$

<60> 으로, 일반적으로 나타낼 수 있다.

<61> 예를 들면, W=4 μ m, 화소 밀도 P=200, τ_{ON} =160nsec, ρ_{ON} =0.66 Ω/μ m, k=1.7로 하면, 제1 조건은, $t_{FFS} < 366.9$ nm, 제2 조건은, $t_{FFS} > 250.2$ nm로 되고, 도 9의 결과와 잘 일치한다.

도면의 간단한 설명

<62> 도 1은 본 발명에 따른 실시 형태에서, 상부 전극층을 공통 전극으로 하여 슬릿을 형성하는 FFS 방식의 액정 표시 장치의 표시 영역의 1 표시 화소분의 평면 구성을 도시하는 도면.

<63> 도 2는 도 1에서의 A-A선을 따라 취한 단면도.

<64> 도 3은 본 발명에 따른 실시 형태에서, 상부 전극층을 화소 전극으로 하여 슬릿을 형성하는 FFS 방식의 액정 표시 장치의 표시 영역의 1 표시 화소분의 평면 구성을 도시하는 도면.

<65> 도 4는 도 3에서의 A-A선을 따라 취한 단면도.

<66> 도 5는 본 발명에 따른 실시 형태에서, 액티브 매트릭스형 액정 표시 장치의 화소의 동작을 설명하기 위한 등가 회로도.

<67> 도 6은 본 발명에 따른 실시 형태에서, 1개의 표시 화소가 3개의 서브 픽셀 로 구성되어 있는 경우의 하나의 서브 픽셀에 대한 전극부와 개구부의 모습을 도시하는 모식도.

<68> 도 7은 본 발명에 따른 실시 형태에서, 화소 밀도 P와 축적 용량 C_{SC} 의 관계를 계산한 예를 도시하는 도면.

<69> 도 8은 본 발명에 따른 실시 형태에서, 축적 용량의 최적화의 2 조건을 모두 충족시키는 FFS 절연막의 막 두께 t_{FFS} 의 범위를 도시하는 도면.

<70> 도 9는 도 8의 내용을 별도의 표현으로 도시한 도면.

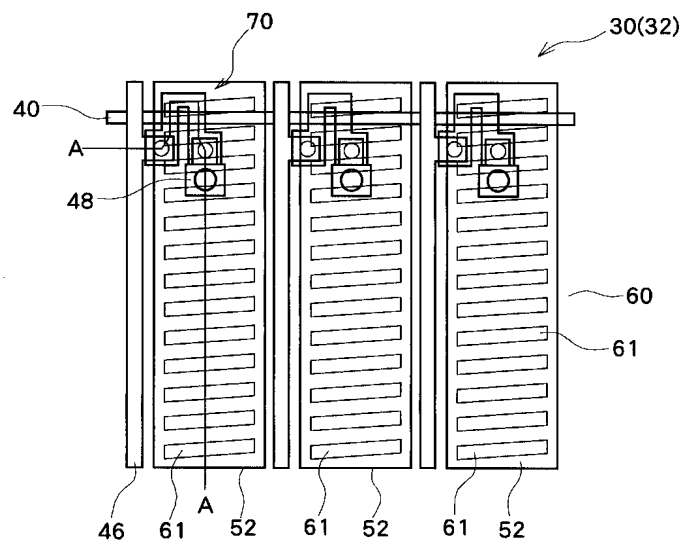
<71> <도면의 주요 부분에 대한 부호의 설명>

<72> 30 : 액정 표시 장치

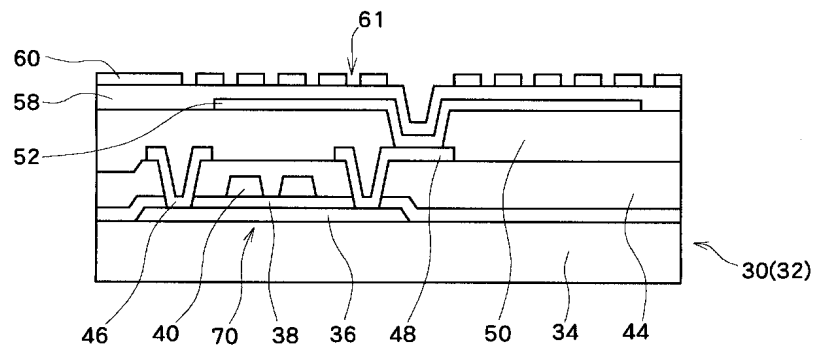
- <73> 32 : 어레이 기판
- <74> 34 : 투광성 기판
- <75> 36 : 반도체층
- <76> 38 : 게이트 절연막
- <77> 40 : 게이트 배선
- <78> 44 : 층간 절연막
- <79> 46 : 드레인 배선
- <80> 48 : 소스 전극
- <81> 50 : 평탄화 절연막
- <82> 52 : 화소 전극
- <83> 53, 61 : 슬릿
- <84> 58 : FFS 절연막
- <85> 60 : 공통 전극
- <86> 70 : 화소 TFT
- <87> 72 : 액정 용량
- <88> 74 : 축적 용량
- <89> 76 : 신호선 용량
- <90> 80 : 표시 화소
- <91> 81 : 화소
- <92> 82 : 전극부
- <93> 84 : 개구부

도면

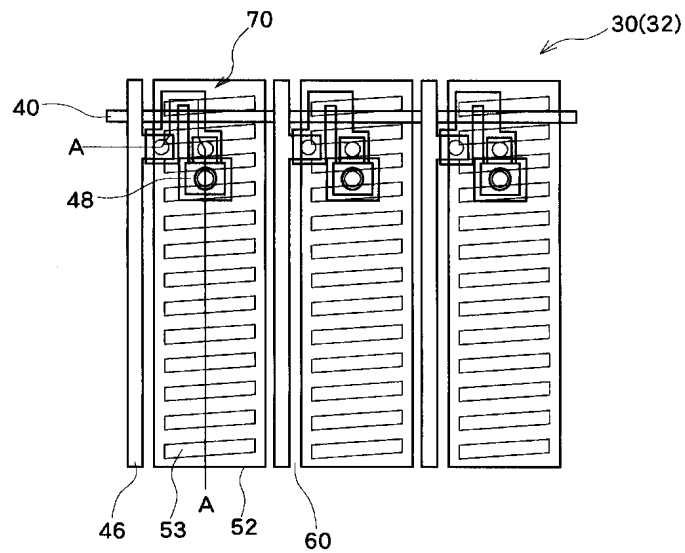
도면1



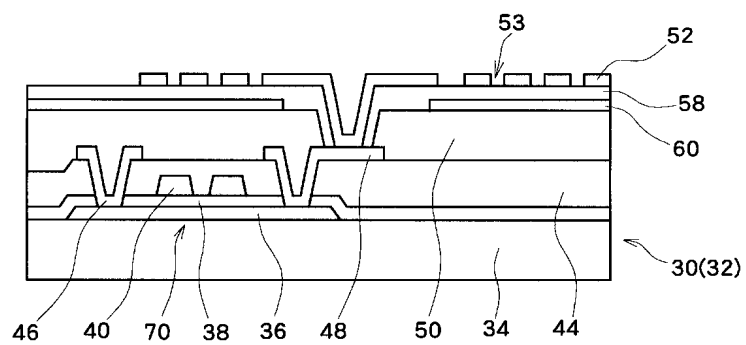
도면2



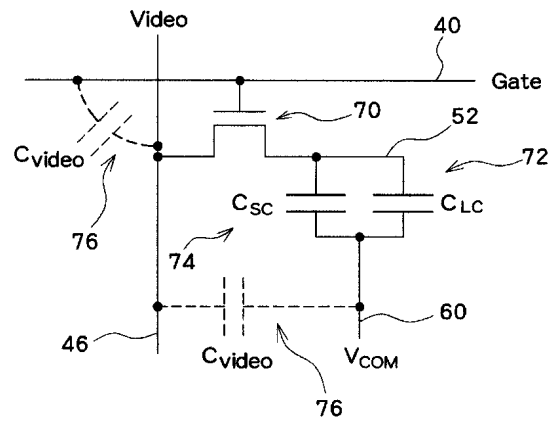
도면3



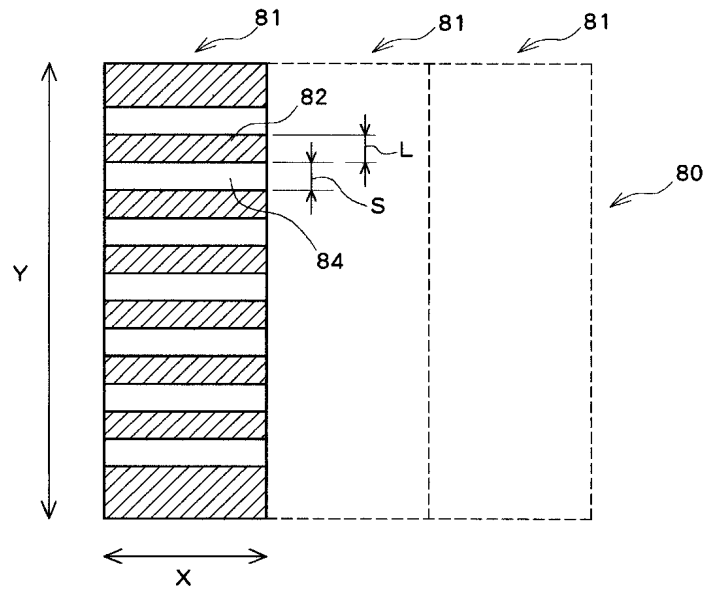
도면4



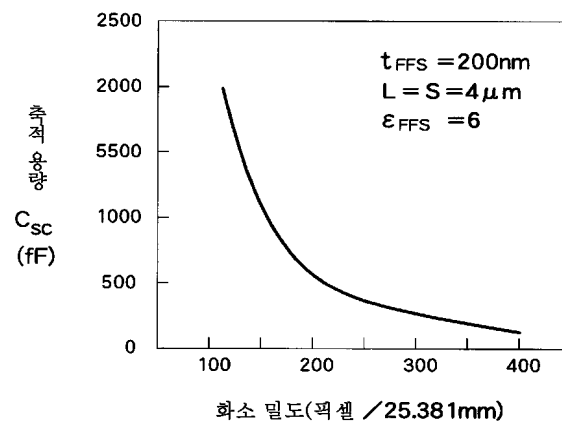
도면5



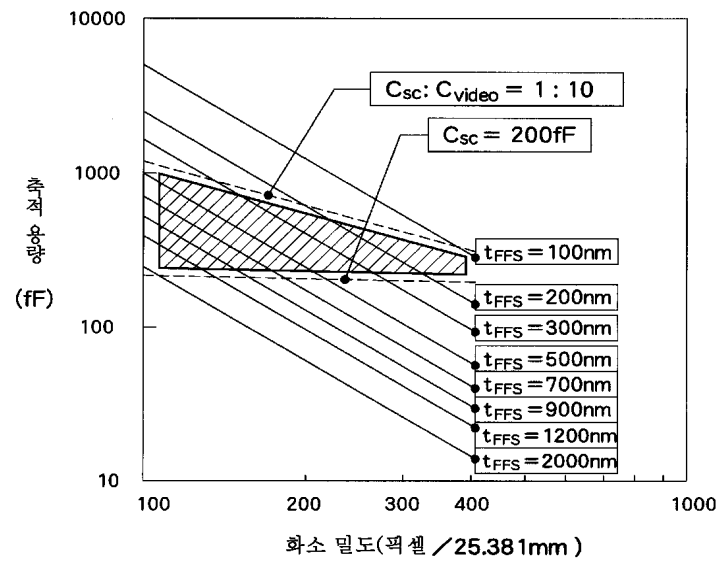
도면6



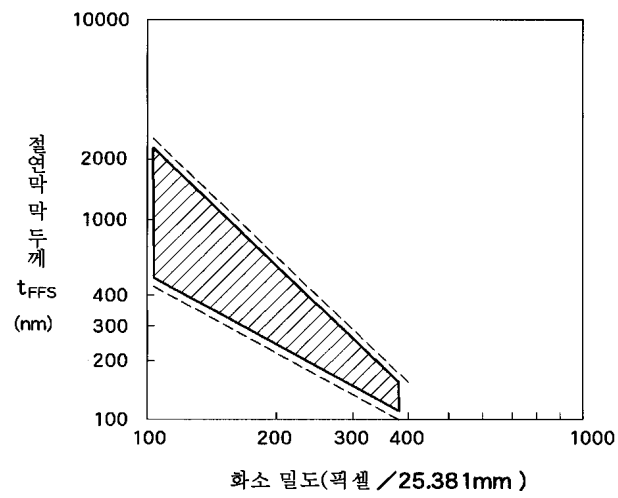
도면7



도면8



도면9



专利名称(译)	有源矩阵型液晶显示器		
公开(公告)号	KR1020080039295A	公开(公告)日	2008-05-07
申请号	KR1020070109515	申请日	2007-10-30
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
当前申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
[标]发明人	ONOGI TOMOHIDE 오노기도모히데 SEGAWA YASUO 세가와야스오		
发明人	오노기도모히데 세가와야스오		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/134363 G02F2001/134372		
代理人(译)	LEE, JUNG HEE		
优先权	2006296732 2006-10-31 JP		
其他公开文献	KR100910694B1		
外部链接	Espacenet		

摘要(译)

作为FFS模式的有源矩阵液晶显示器，使用上层装置形成累积体积。通过优化累积量来计划显示质量的提高。为了解决问题，根据本发明的液晶显示器具有上层装置，其中FFS绝缘层插入在平坦化绝缘层的上层中，并且布置像素电极和公共电极。插入FFS绝缘层，并且在公共电极和像素电极的重叠部分处形成累积体积。累积体积需要根据像素TFT的漏电流和保持时间等确定的适当尺寸，与信号线电容相比，具有小的特性是合适的。如果计算满足这2条件的FFS绝缘层的膜厚，则它变成例如像素密度 $P = 100$ ，超过430nm，小于2400nm，像素密度 $P = 400$ ，超过90nm，140nm这靶。FFS绝缘层，像素电极，公共电极，累积体积，像素晶体管。

