

(72) 발명자

유두환

경기 광명시 소하2동 미도아파트 101동 602호

이성영

경기 안양시 만안구 석수동 323-6 2층

특허청구의 범위

청구항 1

영상을 표시하는 다수의 화소 및 공통 전압을 전송하는 공통전압 배선부를 포함하는 어레이 기관;

상기 공통전압 배선부로부터 상기 공통전압을 입력받는 공통전극을 포함하는 대향기관; 및

상기 공통전극과 상기 공통전압 배선부와 사이에 개재되어 상기 공통전극 과 상기 공통전압 배선부를 전기적으로 연결시키고, 상기 공통전압 배선부와 대응하는 영역에 부분적으로 형성되며, 상기 공통전압 배선부를 따라 연장된 막대 형상을 갖는 도전성 스페이서부를 포함하는 것을 특징으로 하는 표시패널.

청구항 2

제1항에 있어서, 상기 어레이 기관은,

상기 화소들이 형성된 표시영역 및 상기 표시영역에 인접한 주변영역이 정의된 제1 베이스 기관; 및

상기 제1 베이스 기관에 형성되고, 상기 영상에 대응하는 영상 신호를 상기 화소들에 제공하는 다수의 신호 라인을 포함하고,

상기 공통전압 배선부는 상기 주변 영역에 형성되고 상기 신호 라인들과 절연되는 것을 특징으로 하는 표시패널.

청구항 3

제2항에 있어서, 상기 도전성 스페이서부는,

상기 신호 라인들의 제1 단부와 인접하게 위치하는 적어도 하나의 제1 도전성 스페이서; 및

상기 신호 라인들의 제2 단부와 인접하게 위치하고, 상기 신호 라인들과 이격되어 위치하는 적어도 하나의 제2 도전성 스페이서를 포함하는 것을 특징으로 하는 표시패널.

청구항 4

제3항에 있어서, 상기 어레이 기관은,

상기 공통전압 배선부와 상기 신호 라인들과의 사이에 개재되어 상기 공통전압 배선부와 상기 신호 라인들을 절연시키는 제1 절연층; 및

상기 제1 절연층의 상부에 형성되어 상기 신호 라인들을 커버하는 적어도 하나의 제2 절연층을 더 포함하고,

상기 제1 및 제2 절연층은 부분적으로 제거되어 적어도 하나의 제1 및 2 비아홀이 형성되고,

상기 제1 도전성 스페이서는 상기 제1 비아홀을 통해 상기 공통전압 배선부와 전기적으로 연결되며,

상기 제2 도전성 스페이서는 상기 제2 비아홀을 통해 상기 공통전압 배선부와 전기적으로 연결된 것을 특징으로 하는 표시패널.

청구항 5

제4항에 있어서, 상기 제1 도전성 스페이서는 서로 인접한 두 개의 신호 라인들 사이에 위치하는 것을 특징으로 하는 표시패널.

청구항 6

제5항에 있어서, 상기 제1 비아홀은 상기 제1 도전성 스페이서가 형성된 영역과 대응하게 형성된 것을 특징으로 하는 표시패널.

청구항 7

제4항에 있어서, 상기 도전성 스페이서부는 다수의 제1 도전성 스페이서를 포함하고, 상기 제1 도전성 스페이서

들은 서로 이격되어 위치하는 것을 특징으로 하는 표시패널.

청구항 8

제4항에 있어서, 상기 제1 도전성 스페이서는 서로 인접한 적어도 두 개의 제1 비아홀을 통해 상기 공통전압 배선부와 전기적으로 연결된 것을 특징으로 하는 표시패널.

청구항 9

제8항에 있어서, 상기 제1 도전성 스페이서는 상기 공통전압 배선부를 따라 연속적으로 형성되고, 상기 신호 라인들과 절연되어 교차하는 것을 특징으로 하는 표시패널.

청구항 10

제4항에 있어서, 상기 제2 비아홀은 상기 제2 도전성 스페이서가 형성된 영역과 대응하게 형성된 것을 특징으로 하는 표시패널.

청구항 11

제10항에 있어서, 상기 제2 도전성 스페이서는 상기 공통전압 배선부를 따라 연속적으로 형성된 것을 특징으로 하는 표시패널.

청구항 12

제10항에 있어서, 상기 도전성 스페이서부는 다수의 제2 도전성 스페이서를 구비하고, 상기 다수의 제2 도전성 스페이서는 서로 이격되어 위치하는 것을 특징으로 하는 표시패널.

청구항 13

제1항에 있어서, 상기 어레이 기판과 상기 대향 기판과의 사이에 개재되고, 상기 화소들과 상기 공통전극과의 사이에 형성된 전계에 따라 광의 투과율을 조절하는 액정층을 더 포함하는 것을 특징으로 하는 표시패널.

청구항 14

제12항에 있어서, 상기 어레이 기판과 상기 대향 기판과의 사이에 개재되어 상기 액정층을 둘러싸고, 상기 어레이 기판과 상기 대향 기판을 결합시키는 결합 부재를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 15

제13항에 있어서, 상기 도전성 스페이서부가 형성된 영역과 상기 결합부재가 형성된 영역은 부분적으로 중첩되는 것을 특징으로 하는 표시패널.

청구항 16

제13항에 있어서, 상기 도전성 스페이서부는 상기 결합부재와 상기 액정층과의 사이에 위치하는 것을 특징으로 하는 표시패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 표시패널에 관한 것으로, 더욱 상세하게는 생산성을 향상시킬 수 있는 표시패널에 관한 것이다.
- <22> 일반적으로, 액정표시장치는 영상을 표시하는 액정표시패널을 포함하고, 액정표시패널은 어레이 기판, 어레이 기판과 대향하여 결합하는 대향기판 및 어레이 기판과 대향기판과의 사이에 개재된 액정층으로 이루어진다.
- <23> 어레이 기판에는 다수의 화소전극이 형성되고, 대향기판에는 다수의 화소전극과 마주하는 공통전극이 형성된다.

화소전극들에는 영상 정보를 갖는 데이터 신호가 인가되고, 공통전극에는 공통전압이 인가된다.

<24> 영상을 표시하는데 필요한 각종 신호들은 대부분 어레이 기관 측으로 인가되기 때문에, 외부 장치는 어레이 기관과 직접적으로 연결될 뿐, 대향 기관과는 직접적으로 연결되지 않는다. 따라서, 대향 기관의 공통전극에 공통전압을 인가하기 위하여 어레이 기관은 외부장치로부터 공통전압을 입력받는 공통전압 배선을 구비하고, 대향 기관과의 사이에 공통전압 배선과 공통전극을 전기적으로 연결시키는 도전성 스페이서가 구비된다. 이에 따라, 공통 전극은 공통전압배선과 도전성 스페이서를 통해 공통전압을 입력받는다.

<25> 일반적으로, 도전성 스페이서는 점 형상으로 갖기 때문에, 액정표시패널의 크기가 증가할수록 그 수가 증가하고, 이로 인해, 공정 시간이 증가하여 생산성이 저하된다. 또한, 도전성 스페이서는 어레이 기관 및 대향 기관과 점 접촉되므로, 어레이 기관과 대향기관 간의 접촉저항이 증가한다. 어레이 기관과 대향기관 사이의 접촉저항이 증가하면, 액정표시패널에 크로스토크 불량이 발생하여 액정표시장치의 표시품질이 저하된다.

발명이 이루고자 하는 기술적 과제

<26> 본 발명의 목적은 생산성을 향상시킬 수 있는 표시패널을 제공하는 것이다.

발명의 구성 및 작용

<27> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 표시패널은, 어레이 기관, 대향 기관 및 도전성 스페이서부로 이루어진다.

<28> 어레이 기관은 영상을 표시하는 다수의 화소 및 공통 전압을 전송하는 공통전압 배선부를 구비한다. 대향 기관은 상기 공통전압 배선부로부터 상기 공통전압을 입력받는 공통전극을 구비한다. 도전성 스페이서부는 상기 공통전극과 상기 공통전압 배선부와 사이에 개재되어 상기 공통전극과 상기 공통전압 배선부를 전기적으로 연결시키고, 상기 공통전압 배선부와 대응하는 영역에 부분적으로 형성되며, 상기 공통전압 배선부를 따라 연장되어 막대 형상을 갖는다.

<29> 또한, 상기 어레이 기관은, 제1 베이스 기관과 다수의 신호라인 더 구비한다. 제1 베이스 기관은 상기 화소들이 형성된 표시영역 및 상기 표시영역에 인접한 주변영역이 정의된다. 다수의 신호라인은 상기 제1 베이스 기관에 형성되고, 상기 영상에 대응하는 영상 신호를 상기 화소들에 제공한다. 여기서, 상기 공통전압 배선부는 상기 주변 영역에 형성되고, 상기 신호 라인들과 절연된다.

<30> 한편, 상기 도전성 스페이서부는, 상기 신호 라인들의 제1 단부와 인접하게 위치하는 적어도 하나의 제1 도전성 스페이서, 및 상기 신호 라인들의 제2 단부와 인접하게 위치하고 상기 신호 라인들과 이격되어 위치하는 적어도 하나의 제2 도전성 스페이서로 이루어진다. 여기서, 상기 제2 도전성 스페이서는 상기 공통전압 배선부를 따라 연속적으로 형성된다.

<31> 이러한 표시패널에 따르면, 도전성 스페이서부가 막대 형상으로 이루어지므로, 그 형성 횟수가 감소되고, 공정 시간이 감소되며, 생산성이 향상된다. 또한, 도전성 스페이서부와 상기 공통전압 배선부가 전기적으로 연결되는 접촉 면적이 증가하므로, 어레이 기관과 대향 기관 사이의 접촉 저항이 감소된다.

<32> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<33> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이고, 도 2는 도 1의 절단선 I-I'에 따른 단면도이다.

<34> 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치(600)는 영상을 표시하는 표시패널(LP), 상기 영상에 대응하는 데이터 제어 신호를 출력하는 데이터 인쇄회로기판(510), 상기 영상 신호에 응답하여 데이터 신호를 출력하는 다수의 데이터 테이프 캐리어 패키지(Tape Carrier Package : 이하, TCP), 상기 영상에 대응하는 게이트 제어 신호를 출력하는 게이트 인쇄회로기판(530), 및 상기 게이트 제어 신호에 응답하여 데이터 신호를 출력하는 다수의 게이트 TCP를 포함한다.

<35> 상기 액정표시패널(LP)은 어레이 기관(100), 상기 어레이 기관(100)과 대향하여 결합하는 대향기관(200), 상기 어레이 기관(100)과 상기 대향기관(200)과의 사이에 개재된 액정층(300) 및 상기 어레이 기관(100)과 상기 대향기관(200)을 전기적으로 연결하는 도전성 스페이서부를 포함한다.

<36> 상기 어레이 기관(100)은 제1 베이스 기관(110), 다수의 게이트 라인(GL1 ~ GLn), 다수의 데이터 라인(DL1 ~

DLm), 다수의 화소 및 공통전압 배선부(CL1, CL2)를 포함한다.

- <37> 상기 제1 베이스 기관(110)은 상기 영상이 표시되는 표시영역(DA) 및 상기 표시영역(DA)에 인접한 주변영역(PA)이 정의된다. 상기 주변영역(PA)은 상기 표시영역(DA)을 둘러싸고, 실질적으로 상기 영상이 표시되지 않는다.
- <38> 상기 게이트 라인들(GL1 ~ GLn)은 제1 내지 제n 게이트 라인(GL1 ~ GLn)(단, n은 1 이상의 자연수)으로 이루어지고, 상기 제1 베이스 기관(110)에 형성된다. 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)은 제1 방향(D1)으로 연장되어 형성되고, 상기 게이트 TCP들로부터 상기 게이트 신호를 입력받아 전송한다.
- <39> 상기 데이터 라인들(DL1 ~ DLm)은 제1 내지 제m 데이터 라인(DL1 ~ DLm)(단, m은 1 이상의 자연수)으로 이루어지고, 상기 제1 베이스 기관(110)에 형성된다. 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)은 상기 제1 방향(D)과 직교하는 제2 방향(D2)으로 연장되고, 상기 표시 영역(DA)에서 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 절연되어 교차한다. 따라서, 상기 표시영역(DA)에는 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)에 의해 정의되는 다수의 화소 영역이 정의된다. 상기 제1 내지 제m 데이터 라인들(DL1 ~ DLm)은 상기 데이터 TCP들로부터 상기 데이터 신호를 입력받아 전송한다.
- <40> 상기 화소들은 상기 화소 영역들과 일대일 대응하도록 상기 제1 베이스 기관(110)에 형성되고, 상기 영상을 표시하는 기본 단위이다. 각 화소(PM)는 박막 트랜지스터(120)와 화소 전극(130)으로 이루어진다. 본 발명의 일례로, 두 번째 화소 영역에 형성된 박막 트랜지스터(120)는 제1 게이트 라인(GL1)으로부터 분기된 게이트 전극(121), 상기 게이트 전극(121)의 상부에 순차적으로 형성된 액티브층(122)과 오믹 콘택층(123), 상기 제2 데이터 라인(DL2)으로부터 분기되어 상기 오믹 콘택층(123)의 상부에 형성된 소오스 전극(124), 및 상기 두 번째 화소 영역에 형성된 화소 전극(130)과 전기적으로 연결된 드레인 전극(125)을 포함한다.
- <41> 한편, 상기 어레이 기관(100)은 상기 제1 베이스 기관(110)의 상부에 형성되어 상기 게이트 전극(121)과 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)을 커버하는 게이트 절연막(141), 상기 게이트 절연막(141)의 상부에 순차적으로 형성되어 상기 소오스 및 드레인 전극(124, 125)과 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)을 커버하는 보호막(142) 및 유기 절연막(143)을 더 포함한다. 상기 화소 전극(130)은 상기 유기 절연막(143)의 상면에 형성되고, 상기 보호막(142)과 상기 유기 절연막(143)이 부분적으로 제거되어 형성된 콘택홀(CH)을 통해 상기 드레인 전극(124)과 전기적으로 연결된다.
- <42> 상기 주변영역(PA)에서 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)의 제1 단부와 인접한 영역에는 상기 데이터 TCP들이 부착된다. 상기 데이터 TCP들은 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)과 상기 데이터 인쇄회로기판(510)을 전기적으로 연결하고, 각 데이터 TCP(520)는 상기 데이터 인쇄회로기판(510)으로부터 상기 데이터 제어 신호를 입력받아 상기 데이터 신호를 연결된 각 데이터 라인에 출력한다. 상기 주변영역(PA)에서 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)의 제1 단부와 인접한 영역에는 상기 게이트 TCP들이 부착된다. 상기 게이트 TCP들은 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 상기 게이트 인쇄회로기판(530)을 전기적으로 연결하고, 각 게이트 TCP(540)는 상기 게이트 인쇄회로기판(530)으로부터 상기 게이트 제어 신호를 입력받아 상기 게이트 신호를 연결된 각 게이트 라인에 출력한다. 상기 데이터 신호는 상기 게이트 신호에 동기되어 한 행의 박막 트랜지스터들이 턴-온되는 시점에서 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)에 인가되고, 상기 박막 트랜지스터(120)를 통해 상기 화소전극(130)에 인가된다.
- <43> 도 3은 도 1의 절단선 II-II에 따른 단면도이다.
- <44> 도 1 및 도 3을 참조하면, 상기 제1 베이스 기관(110)의 상기 주변 영역(PA)에는 상기 데이터 TCP들로부터 상기 공통전압을 입력받는 상기 공통전압 배선부(CL1, CL2)가 형성된다. 상기 공통전압 배선부(CL1, CL2)는 상기 표시영역(DA)을 둘러싸고, 제1 공통전압 라인(CL1)과 제2 공통전압 라인(CL2)으로 이루어진다. 상기 제1 공통전압 라인(CL1)은 상기 제1 베이스 기관(110)의 상면에 형성되고, 상기 게이트 절연막(141)에 의해 커버된다. 상기 제1 공통전압 라인(CL1)은 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)의 제1 단부가 형성된 영역에서 상기 제1 방향(D1)으로 연장되어 형성되고 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)과 절연되어 교차한다. 또한, 상기 제1 공통전압 라인(CL1)은 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)의 제2 단부와 인접한 영역에서 상기 제2 방향(D2)으로 연장되고 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 이격되어 절연된다. 또한, 상기 제1 공통전압 라인(CL1)은 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)의 제2 단부와 인접한 영역에서 상기 제1 방향(D1)으로 연장되고 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)과 이격되어 위치한다.
- <45> 한편, 상기 제2 공통전압 라인(CL2)은 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)의 제1 단부가 형성된 영역에서 상기 제2 방향(D2)으로 연장되어 형성되고 상기 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 절연되어 교차한다.

즉, 상기 제2 공통전압 라인(CL2)은 상기 게이트 절연막(141)의 상면에 형성되고, 이에 따라, 상기 제1 공통전압 라인(CL1)과 서로 다른 층에 형성된다.

<46> 상기 보호막(142)과 상기 유기 절연막(143)은 상기 제2 공통전압 라인(CL2)의 상부에서 부분적으로 제거되어 제1 비아홀(VH1)이 형성되고, 상기 게이트 절연막(141)과 상기 보호막(142) 및 상기 유기 절연막(143)은 상기 제1 공통전압 라인(CL1)의 상부에서 부분적으로 제거되어 제2 비아홀(VH2)이 형성된다. 상기 제1 및 제2 공통전압 라인(CL1, CL2)은 상기 제1 및 제2 비아홀(VH1, VH2)을 통해 상기 제1 및 제2 공통전압 라인(CL1, CL2)과 도전되는 연결 전극(150)에 의해 전기적으로 연결된다.

<47> 도 4는 도 1에 도시된 액정표시장치를 나타낸 평면도이다.

<48> 도 4를 참조하면, 상기 어레이 기관(110)은 상기 공통전압 배선부(CL1, CL2)와 전기적으로 연결되어 상기 공통전압 배선부(CL1, CL2)로부터 상기 공통전압을 입력받는 다수의 스토리지 라인(SL1 ~ SLn)을 더 포함한다. 여기서, 도 4는 상기 스토리지 라인들(SL1 ~ SLn)과 상기 공통전압 배선부(CL1, CL2)와의 연결 관계를 보다 명확하게 도시하기 위해 상기 게이트 라인들(GL1 ~ GLn)과 상기 화소(PM)를 생략하여 도시하였다.

<49> 상기 스토리지 라인들(SL1 ~ SLn)은 상기 제1 베이스 기관(110)에 형성되고, 상기 제1 방향(D1)으로 연장된다. 상기 스토리지 라인들(SL1 ~ SLn)의 제1 단부는 상기 제2 공통전압 배선부(CL2)와 전기적으로 연결되고, 상기 스토리지 라인들(SL1 ~ SLn)의 제2 단부는 상기 제1 공통전압 배선부(CL1)와 전기적으로 연결된다. 상기 스토리지 라인들(SL1 ~ SLn)은 상기 화소 영역들 각각에 스토리지 커패시터를 형성하기 위해 상기 공통전압 배선부(CL1, CL2)를 경유하여 입력된 상기 공통 전압을 전송한다.

<50> 다시, 도 1 및 도 2를 참조하면, 상기 어레이 기관(100)의 상부에는 상기 대향 기관(200)이 구비된다. 상기 대향 기관(200)은 제2 베이스 기관(210), 상기 제2 베이스 기관(210)에 형성된 컬러필터(220), 상기 제2 베이스 기관(210)에 형성된 블랙 매트릭스(230) 및 상기 컬러필터(220)와 상기 블랙 매트릭스(230)의 상면에 형성된 공통전극(240)을 포함한다. 상기 컬러필터(220)는 광을 이용하여 소정의 색을 발현하는 다수의 색화소로 이루어지고, 상기 표시영역(DA)과 대응하는 영역에 형성된다. 상기 블랙 매트릭스(230)는 상기 표시 영역(DA)과 대응하는 영역에서 상기 색화소들 각각을 둘러싸고, 도 3에 도시된 바와 같이, 상기 주변 영역(PA)과 대응하는 영역에 형성된다. 상기 블랙 매트릭스(230)는 크롬과 같이 금속 물질로 이루어지거나 검은색 안료를 포함하는 포토 레지스트로 이루어져 광을 차단한다. 상기 공통 전극(240)은 상기 액정층(300)을 사이에 두고 상기 화소 전극(130)과 마주하고, 상기 제1 공통전압 라인(CL1)을 통해 상기 공통 전압을 입력받는다.

<51> 상기 공통전극(230)과 상기 화소전극(130)과의 사이에 전계가 인가되면, 두 전극 사이에 위치하는 액정분자들이 배향되고, 그 결과 액정표시패널(LP)의 배면으로부터 입사된 광의 투과도가 제어되면서 상기 영상이 표시된다.

<52> 다시, 도 1 및 도 3을 참조하면, 상기 공통전극(230)은 상기 공통전극(230)과 상기 제1 공통전압 라인(CL1)과의 사이에 개재된 상기 도전성 스페이스부를 경유하여 상기 제1 공통전압 라인(CL1)으로부터 상기 공통 전압을 입력받는다. 상기 도전성 스페이스부는 다수의 제1 도전성 스페이스와 제2 도전성 스페이스(420)로 이루어진다.

<53> 도 5는 도 1의 'A'부분을 확대하여 나타낸 평면도이고, 도 6은 도 5의 절단선 III-III'에 따른 단면도이다.

<54> 도 1 및 도 5를 참조하면, 상기 제1 도전성 스페이스들은 상기 제1 공통전압 라인(CL1)과 대응하는 영역에 부분적으로 형성된다. 각 제1 도전성 스페이스(410)는 상기 제1 공통전압 라인(CL1)을 따라 연장되어 막대 형상을 갖고, 상기 공통전극(240)과 상기 제1 공통전압 라인(CL1)을 전기적으로 연결시키는 다수의 제1 도전볼(411) 및 상기 제1 도전볼들(411)을 커버하는 제1 커버부재(412)를 포함한다. 상기 제1 도전성 스페이스(410)는 상기 제1 내지 제m 데이터 라인(DL1 ~ DLm)의 제1 단부와 인접하게 형성되고, 서로 인접한 두 개의 데이터 라인들 사이에 위치한다. 본 발명의 일례로, 상기 제1 데이터 라인(DL1)과 상기 제2 데이터 라인(DL2)과의 사이에는 한 개의 상기 제1 도전성 스페이스(410)가 위치한다. 평면상에서 볼 때, 상기 제1 공통전압 라인(CL1)은 상기 서로 인접한 두 개의 데이터 라인들 사이로 노출된 부분이 상기 제1 도전성 스페이스(410)에 의해 대부분 커버된다.

<55> 상기 게이트 절연막(141), 상기 보호막(142) 및 상기 유기 절연막(143)은 부분적으로 제거되어 상기 제1 공통전압 라인(CL1)을 노출하기 위한 제3 비아홀들이 형성된다. 각 제3 비아홀(VH3)은 상기 제1 도전성 스페이스(410)가 형성된 영역과 대응하게 형성된다.

<56> 상기 어레이 기관(100)은 상기 유기 절연막(143) 상에 형성되어 상기 제3 비아홀(VH3)을 통해 상기 제1 공통전압 라인(CL1)과 전기적으로 연결되는 제1 콘택전극(161)을 더 포함한다. 상기 제1 도전성 스페이스(410)는 상기 제1 콘택전극(161)의 상면에 형성되어 상기 제1 콘택 전극(161)과 전기적으로 연결된다. 따라서, 상기 공통전압

은 상기 제1 공통전압 라인(CL1)으로부터 상기 제1 콘택전극(161)과 상기 제1 도전볼들(411)을 통해 상기 공통전극(240)에 입력된다.

- <57> 이와 같이, 상기 제1 도전성 스페이서(410)는 상기 제1 공통전압 라인(CL1)을 따라 연장되어 형성되기 때문에, 점 형상을 갖는 도전성 스페이서보다 형성이 용이하고, 공정 시간이 단축되며, 생산성이 향상된다. 또한, 상기 제1 도전성 스페이서(410)는 상기 어레이 기판(100)과 상기 대향 기판(200)과의 접촉 면적이 증가하므로, 상기 어레이 기판(100)과 상기 대향 기판(200) 사이의 접촉 저항이 감소하고, 크로스토크 불량을 방지한다.
- <58> 도 5 및 도 6을 참조하면, 상기 액정표시패널(LP)은 상기 어레이 기판(100)과 상기 대향 기판(200)을 결합시키는 실런트(430)를 더 구비한다. 상기 실런트(430)는 상기 주변영역(PA)에 형성되고, 상기 어레이 기판(100)과 상기 대향 기판(200)과의 사이에 개재되어 상기 액정층(300)을 봉입한다. 본 발명의 일례로, 상기 제1 도전성 스페이서(410)는 상기 실런트(430)의 외측에 위치한다. 평면상에서 볼 때, 상기 제1 도전성 스페이서(410)가 형성된 영역은 상기 실런트(430)가 형성된 영역과 부분적으로 중첩된다.
- <59> 도 7은 도 6에 도시된 실런트와 제1 도전성 스페이서 간의 위치 관계의 다른 일례를 나타낸 단면도이다.
- <60> 도 7을 참조하면, 상기 제1 도전성 스페이서(410)는 상기 실런트(430)의 내측에 위치한다. 즉, 상기 제1 도전성 스페이서(410)는 상기 실런트(430)와 상기 액정층(300)과의 사이에 개재된다. 이에 따라, 상기 제1 공통전압 라인(CL1)의 부식을 방지하고, 상기 실런트(430)에 의한 상기 제1 도전성 스페이서(410)와 상기 제1 공통전압 라인(CL1)의 미스-얼라인을 방지하며, 상기 실런트(430)가 상기 액정층(300)이 형성된 영역 안으로 들어오는 것을 방지한다.
- <61> 도 8은 도 5에 도시된 제1 도전성 스페이서와 제3 비아홀의 다른 일례를 나타낸 평면도이고, 도 9는 도 8의 절단선 IV-IV'에 따른 단면도이다.
- <62> 도 8 및 도 9를 참조하면, 본 발명의 제1 도전성 스페이서(440, 450)는 상기 제1 내지 제 m 데이터 라인(DL1 ~ DL m)(도 1 참조)의 제1 단부와 인접하게 형성되고, 상기 제1 공통전압 라인(CL1)과 대응하는 영역에 부분적으로 형성된다. 각 제1 도전성 스페이서(440, 450)는 상기 제1 공통전압 라인(CL1)을 따라 연장되어 막대 형상을 갖고, 상기 공통전극(240)과 상기 제1 공통전압 라인(CL1)을 전기적으로 연결시키는 다수의 제1 도전볼(441, 451) 및 상기 제1 도전볼들(441, 451)을 커버하는 제1 커버부재(442, 452)를 포함한다. 상기 제1 도전성 스페이서(440, 450)는 상기 제1 내지 제 m 데이터 라인(DL1 ~ DL m)의 제1 단부와 인접하게 형성되고, 서로 인접한 두 개의 데이터 라인들 사이에 위치한다. 본 발명의 일례로, 상기 제1 데이터 라인(DL1)과 상기 제2 데이터 라인(DL2)과의 사이에는 두 개의 상기 제1 도전성 스페이서(440, 450)가 위치하고, 상기 두 개의 제1 도전성 스페이서(440, 450)는 서로 이격되어 위치한다. 평면상에서 볼 때, 상기 제1 공통전압 라인(CL1)은 상기 서로 인접한 두 개의 데이터 라인들 사이로 노출된 부분이 상기 두 개의 제1 도전성 스페이서(440, 450)에 의해 대부분 커버된다.
- <63> 상기 게이트 절연막(141), 상기 보호막(142) 및 상기 유기 절연막(143)은 부분적으로 제거되어 상기 제1 공통전압 라인(CL1)을 노출하기 위한 제3 비아홀들이 형성된다. 각 제3 비아홀(VH4_1, VH4_2)은 상기 제1 도전성 스페이서(410)가 형성된 영역과 대응하게 형성된다. 따라서, 상기 서로 인접한 두 개의 데이터 라인들 사이에는 두 개의 제3 비아홀(VH4_1, VH4_2)이 형성된다.
- <64> 상기 각 제3 비아홀(VH4_1, VH4_2)에는 상기 제1 공통전압 라인(CL1)과 전기적으로 연결되는 제1 콘택 전극(162)이 각각 형성된다. 상기 제1 도전성 스페이서(440, 450)는 상기 제1 콘택전극(162)의 상면에 형성되어 상기 제1 콘택전극(161)과 전기적으로 연결된다. 따라서, 상기 공통전압은 상기 제1 공통전압 라인(CL1)으로부터 상기 제1 콘택전극(162)과 상기 제1 도전볼들(441, 451)을 통해 상기 공통전극(240)에 입력된다.
- <65> 본 발명의 일례로, 상기 제1 도전성 스페이서(440, 450)는 상기 실런트(430)의 외측에 위치하고, 상기 제1 도전성 스페이서(440, 450)가 형성된 영역과 상기 실런트(430)가 형성된 영역이 부분적으로 중첩된다. 그러나, 상기 제1 도전성 스페이서(440, 450)는 상기 실런트(430)의 내측에 위치하여 상기 실런트(430)와 상기 액정층(300)과의 사이에 개재될 수도 있다.
- <66> 도 10은 도 5에 도시된 제1 도전성 스페이서의 다른 일례를 나타낸 평면도이고, 도 11은 도 10의 절단선 V-V'에 따른 단면도이다.
- <67> 도 10 및 도 11을 참조하면, 본 발명의 제1 도전성 스페이서(460)는 상기 제1 내지 제 m 데이터 라인(DL1 ~ DL m)(도 1 참조)의 제1 단부와 인접하게 형성되고, 상기 제1 공통전압 라인(CL1)과 대응하는 영역에 부분적으로

형성된다. 상기 제1 도전성 스페이서(460)는 상기 제1 공통전압 라인(CL1)을 따라 연속적으로 연장되어 막대 형상을 갖고, 상기 제1 내지 제 m 데이터 라인(DL1 ~ DL m)과 절연되어 교차한다. 상기 제1 도전성 스페이서(460)는 상기 제1 공통전압 라인(CL1)과 상기 공통전극(240)을 전기적으로 연결시키는 다수의 제1 도전볼(461) 및 상기 제1 도전볼들(461)을 커버하는 제1 커버부재(462)를 포함한다.

<68> 본 발명의 일례로, 상기 제1 데이터 라인(DL1)과 상기 제2 데이터 라인(DL2)과의 사이에는 상기 게이트 절연막(141), 상기 보호막(142) 및 상기 유기 절연막(143)은 부분적으로 제거되어 상기 제1 공통전압 라인(CL1)을 노출하기 위한 네 개의 제3 비아홀(VH6_1, VH6_2, VH6_3, VH6_4)이 형성된다. 이 실시예에 있어서, 서로 인접한 두 개의 데이터 라인들 사이에는 네 개의 제3 비아홀(VH6_1, VH6_2, VH6_3, VH6_4)이 형성되나, 상기 제3 비아홀의 개수는 상기 서로 인접한 두 개의 데이터 라인들의 이격 거리에 따라 증가하거나 감소될 수 있다. 또한, 상기 제3 비아홀(VH6_1, VH6_2, VH6_3, VH6_4)의 크기도 증가하거나 감소될 수도 있다.

<69> 상기 네 개의 제3 비아홀(VH6_1, VH6_2, VH6_3, VH6_4)에는 상기 제1 공통전압 라인(CL1)과 전기적으로 연결된 제1 콘택전극(163)이 각각 형성된다. 상기 제1 콘택전극(163)의 상면에는 상기 제1 도전성 스페이서(460)가 구비되고, 상기 제1 도전성 스페이서(460)는 상기 제1 콘택전극(163)과 전기적으로 연결된다. 따라서, 상기 공통전압은 상기 제1 공통전압 라인(CL1)으로부터 상기 제1 콘택전극(163)과 상기 제1 도전볼들(461)을 통해 상기 공통전극(240)에 입력된다.

<70> 본 발명의 일례로, 상기 제1 도전성 스페이서(460)는 상기 실린트(430)의 외측에 위치하고, 상기 제1 도전성 스페이서(460)가 형성된 영역과 상기 실린트(430)가 형성된 영역이 부분적으로 중첩된다. 그러나, 상기 제1 도전성 스페이서(460)는 상기 실린트(430)의 내측에 위치하여 상기 실린트(430)와 상기 액정층(300)과의 사이에 개재될 수도 있다.

<71> 도 12는 도 1에 도시된 'B'부분을 확대하여 나타낸 평면도이고, 도 13은 도 12의 절단선 VI-VI'에 따른 단면도이다.

<72> 도 1 및 도 12를 참조하면, 상기 제1 내지 제 m 데이터 라인(DL1 ~ DL m)의 제2 단부 측에는 상기 제2 도전성 스페이서(420)가 형성된다. 상기 제2 도전성 스페이서(420)는 상기 제1 내지 제 m 데이터 라인(DL1 ~ DL m)으로부터 이격되고, 상기 제1 공통전압 라인(CL1)에 형성된 영역에 위치한다. 본 발명의 일례로, 상기 제2 도전성 스페이서(420)는 상기 제1 공통전압 라인(CL1)을 따라 연속적으로 형성되고, 막대 형상을 갖는다. 이 실시예에 있어서, 상기 어레이 기판(100)은 하나의 제2 도전성 스페이서(420)를 구비하나, 다수의 제2 도전성 스페이서를 구비할 수도 있다. 이러한 경우, 제2 도전성 스페이서들은 상기 제1 방향(D1)으로 연장되어 형성되고, 서로 이격되어 위치한다.

<73> 도 12 및 도 13을 참조하면, 상기 게이트 절연막(141)과 상기 보호막(142) 및 상기 유기 절연막(143)은 부분적으로 제거되어 상기 제1 공통전압 라인(CL1)을 노출시키기 위한 제2 비아홀(VH7)이 형성된다. 상기 어레이 기판(100)은 상기 제2 비아홀(VH7)을 통해 상기 제1 공통전압 라인(CL1)과 전기적으로 연결되는 제2 콘택전극(164)을 더 포함한다. 상기 제2 콘택전극(164)의 상면에는 상기 제2 도전성 스페이서(420)가 구비된다. 상기 제2 도전성 스페이서(420)는 상기 제2 콘택전극(164)과 상기 공통전극(240)을 전기적으로 연결하는 다수의 제2 도전볼(421) 및 상기 제2 도전볼들(421)을 커버하는 제2 커버부재(422)를 포함한다. 따라서, 상기 공통전압은 상기 제1 공통전압 라인(CL1)으로부터 상기 제2 콘택전극(164)과 상기 제2 도전볼들(421)을 통해 상기 공통전극(240)에 입력된다.

<74> 이와 같이, 상기 제2 도전성 스페이서(420)는 막대 형상을 가지므로, 점 형상을 갖는 도전성 스페이서보다 형성이 용이하고, 공정 시간이 단축되며, 생산성이 향상된다. 또한, 상기 제2 도전성 스페이서(420)는 상기 어레이 기판(100)과 상기 대향 기판(200)과의 접촉 면적이 증가하므로, 상기 어레이 기판(100)과 상기 대향 기판(200) 사이의 접촉 저항이 감소하고, 크로스토크 불량을 방지한다.

<75> 이하, 도면과 표를 참조하여 상기 어레이 기판(100)과 상기 대향 기판(200) 사이의 접촉 저항을 종래의 점 형상의 도전성 스페이서를 사용한 경우와 본 발명의 제1 및 제2 도전성 스페이서(410, 420)를 사용한 경우를 비교하여 설명한다.

<76> 도 14는 도 1에 도시된 액정표시패널의 접촉 저항을 특정하기 위한 측정 포인트를 나타낸 평면도이다.

<77> 도 14를 참조하면, 액정표시패널(LP)은 어레이 기판(100)과 대향기판(200) 사이의 접촉저항이 기 설정된 기준 접촉저항보다 크면 상기 액정표시패널(500)에 크로스토크(crosstalk) 불량이 발생하므로, 이 경우 불량으로 판

정하여 제품으로 생산하지 않는다.

<78> 상기 어레이 기관(100)과 대향기관(200) 사이의 접촉저항은 제1 내지 제4 측정 포인트(RP1, RP2, RP3, RP4)에 의해 형성되는 경로에 대한 저항을 나타낸다. 상기 제1 내지 제4 측정 포인트(RP1, RP2, RP3, RP4)는 상기 대향 기관(200)의 네 개의 모서리와 각각 인접한 지점이다. 즉, 상기 제1 측정 포인트(RP1)는 상기 대향 기관(200)의 하단 좌측 모서리와 인접하고, 상기 제2 측정 포인트(RP2)는 상기 대향 기관(200)의 상단 좌측 모서리와 인접하며, 상기 제3 측정 포인트(RP3)는 상기 대향 기관(200)의 상단 우측 모서리와 인접하고, 상기 제4 측정 포인트(RP4)는 상기 대향 기관(200)의 하단 우측 모서리와 인접한다.

<79> 하기하는 표 1은 상기 제1 내지 제4 측정 포인트(RP1, RP2, RP3, RP4)에 의해 형성되는 각 경로에 대한 저항을 나타낸다.

표 1

제1 및 제2 도전성 스페이서 형상	RP1 --> RP2	RP1 --> RP3	RP1 --> RP4	RE2 --> RP4
막대 형상	213Ω	272Ω	283Ω	275Ω
점 형상	311Ω	437Ω	452Ω	414Ω

<81> 표 1을 참조하면, 상기 어레이 기관(100)과 상기 대향 기관(200) 사이의 접촉 저항을 측정하기 위해 제1 측정 포인트(RP1) --> 상기 제2 측정 포인트(RP2)로 이루어진 경로와, 상기 제1 측정 포인트(RP1) --> 상기 제2 측정 포인트(RP2) --> 상기 제3 포인트(RP3)로 이루어진 경로와, 상기 제1 측정 포인트(RP1) --> 상기 제2 측정 포인트(RP2) --> 상기 제3 측정 포인트(RP3) --> 상기 제4 측정 포인트(RP4)로 이루어진 경로 및, 상기 제2 측정 포인트(RP2) --> 상기 제3 측정 포인트(RP3) --> 상기 제4 측정 포인트(RP4)로 이루어진 경로에 대한 저항을 측정하였다.

<82> 각 경로별 저항을 살펴보면, 각 경로별 저항은 제1 및 제2 도전성 스페이서가 막대 형상으로 이루어진 경우가 점 형상으로 이루어진 경우보다 더 낮게 나타난다. 즉, 제1 및 제2 도전성 스페이서가 막대 형상으로 이루어진 경우, 상기 제1 및 제2 도전성 스페이서와 상기 어레이 기관(100)이 서로 전기적으로 연결되는 접촉 면적이 증가하므로, 상기 어레이 기관(100)과 상기 대향 기관(200) 사이의 접촉 저항이 감소된다.

발명의 효과

<83> 상술한 본 발명에 따르면, 액정표시패널은 공통전압 배선부와 공통전극을 전기적으로 연결하는 도전성 스페이서를 막대 형상으로 형성한다. 이에 따라, 도전성 스페이서를 형성하는 횟수가 감소되므로, 공정 시간이 단축되고, 생산성이 향상된다.

<84> 또한, 도전성 스페이서와 어레이 기관이 서로 전기적으로 연결되는 접촉 면적이 증가하므로, 어레이 기관과 대향 기관 사이의 접촉 저항이 감소되고, 크로스 토크를 방지하며, 표시 특성이 향상된다.

<85> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

<2> 도 2는 도 1의 절단선 I-I'에 따른 단면도이다.

<3> 도 3은 도 1의 절단선 II-II'에 따른 단면도이다.

<4> 도 4는 도 1에 도시된 액정표시장치를 나타낸 평면도이다.

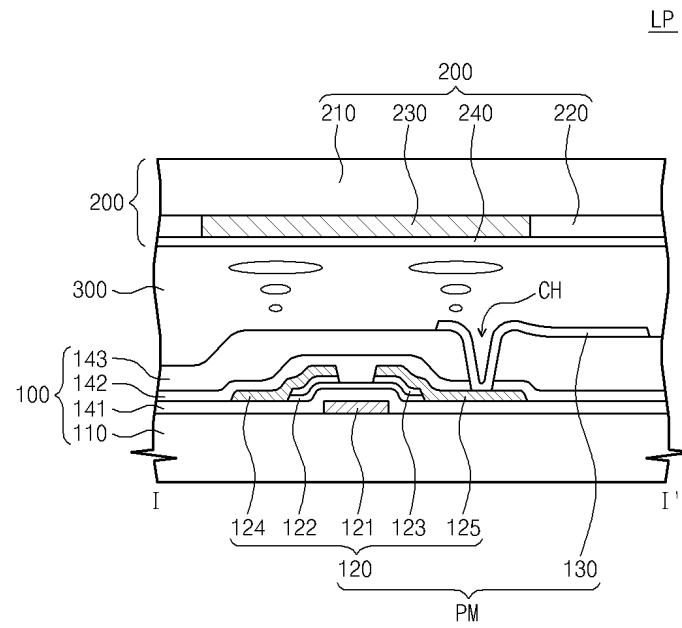
<5> 도 5는 도 1의 'A'부분을 확대하여 나타낸 평면도이다.

<6> 도 6은 도 5의 절단선 III-III'에 따른 단면도이다.

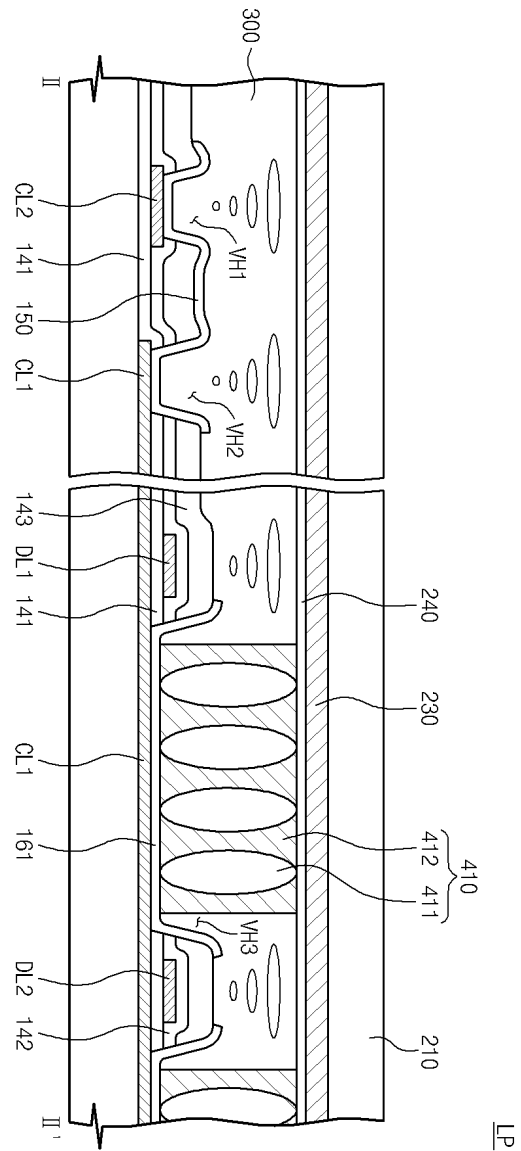
<7> 도 7은 도 6에 도시된 실린트와 제1 도전성 스페이서의 위치 관계의 다른 일례를 나타낸 단면도이다.

- <8> 도 8은 도 5에 도시된 제1 도전성 스페이서와 제3 비아홀의 다른 일례를 나타낸 평면도이다.
- <9> 도 9는 도 8의 절단선 IV-IV'에 따른 단면도이다.
- <10> 도 10은 도 5에 도시된 제1 도전성 스페이서와 제3 비아홀의 다른 일례를 나타낸 평면도이다.
- <11> 도 11은 도 10의 절단선 V-V'에 따른 단면도이다.
- <12> 도 12는 도 1에 도시된 'B'부분을 확대하여 나타낸 평면도이다.
- <13> 도 13은 도 12의 절단선 VI-VI'에 따른 단면도이다.
- <14> 도 14는 도 1에 도시된 액정표시패널의 접촉 저항을 특정하기 위한 측정 포인트를 나타낸 평면도이다.
- <15> *도면의 주요 부분에 대한 부호의 설명*
- <16> 100 -- 어레이 기판 200 -- 대향 기판
- <17> 300 -- 액정층 420 -- 제2 도전성 스페이서
- <18> 410, 430, 440, 450 -- 제1 도전성 스페이서
- <19> 510, 530 -- 인쇄회로기판 520, 540 -- 테이프 캐리어 패키지
- <20> LP -- 액정표시패널 600 -- 액정표시장치

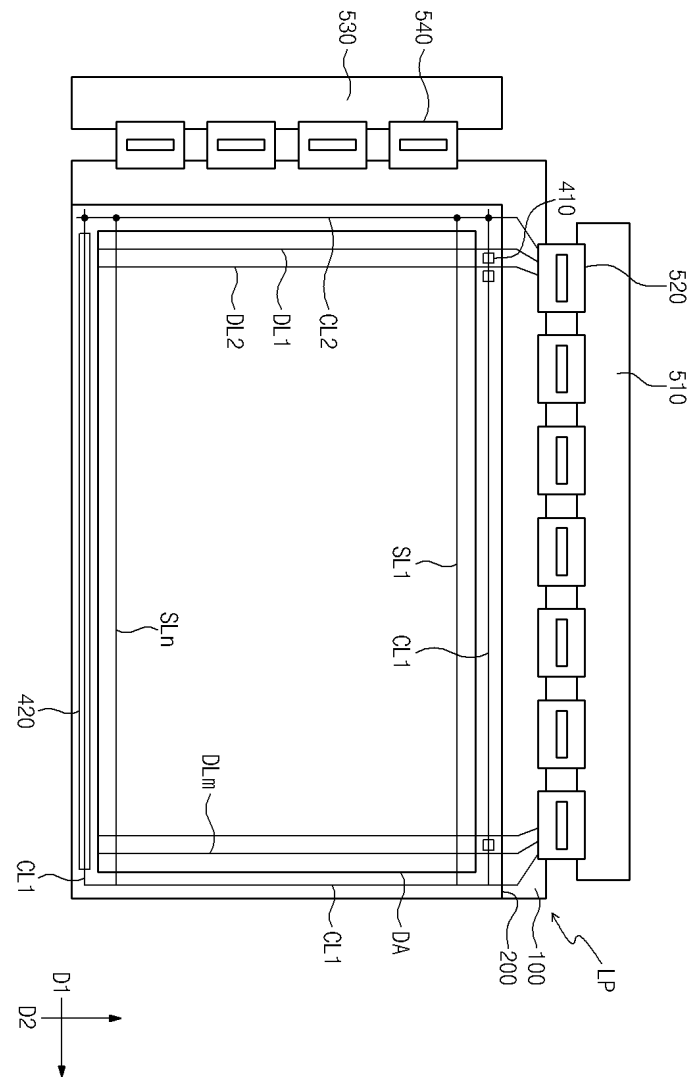
도면2



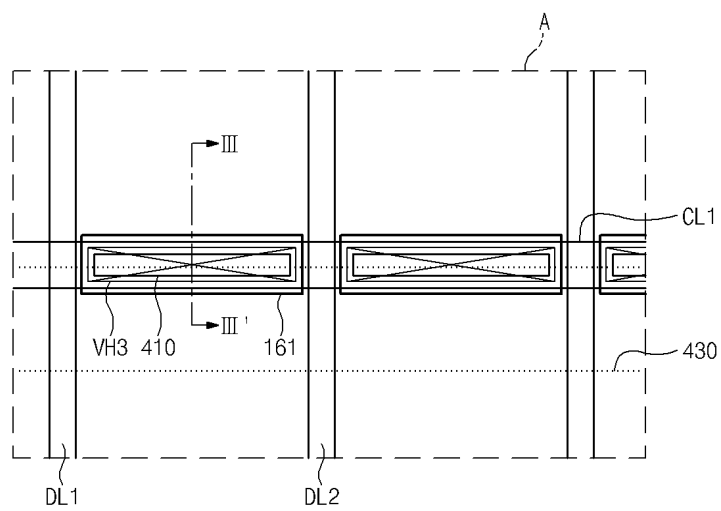
도면3



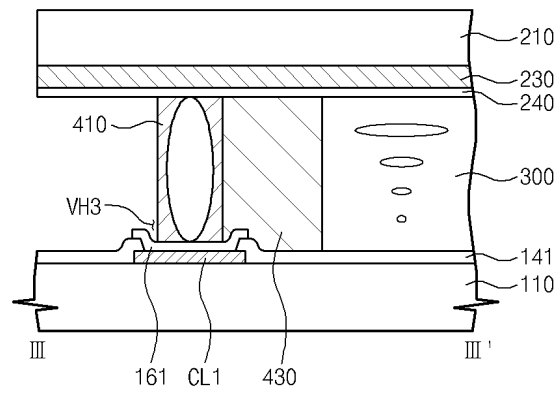
도면4



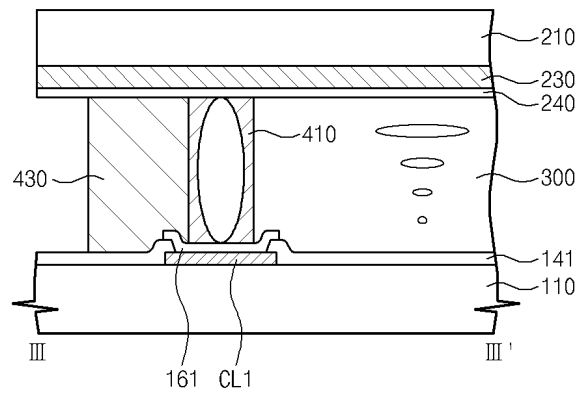
도면5



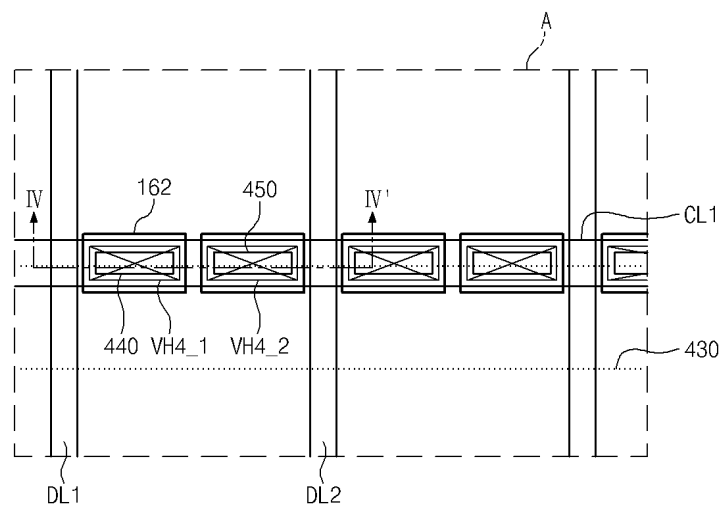
도면6



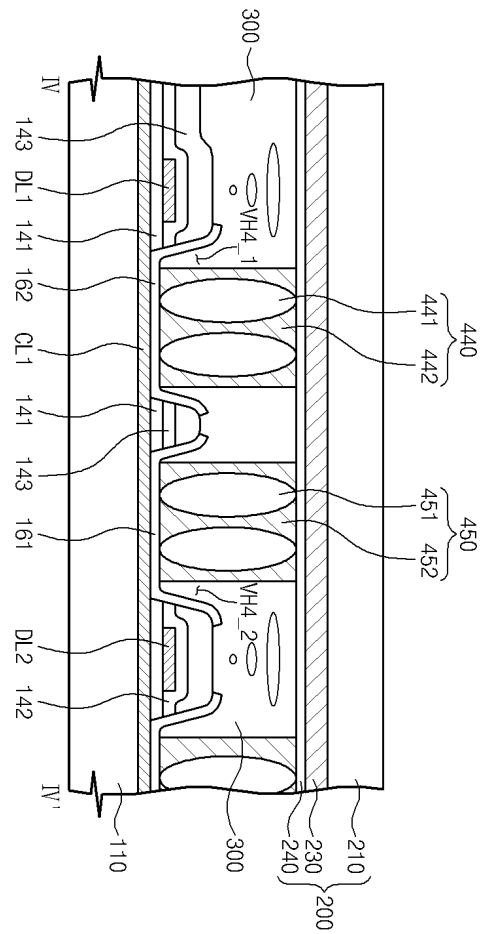
도면7



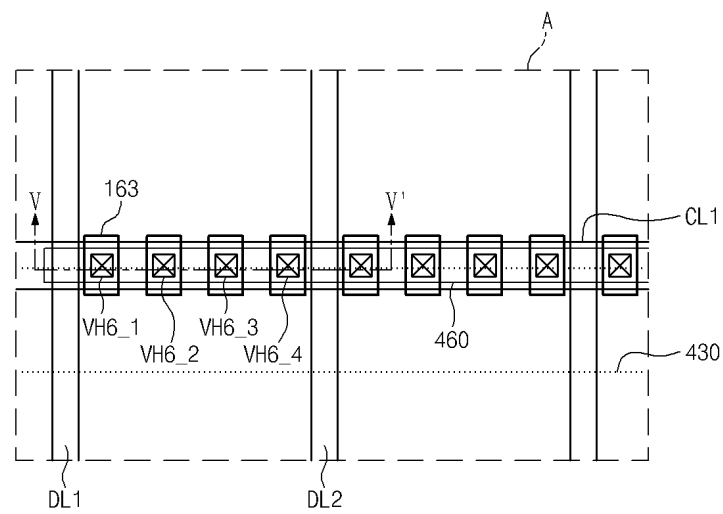
도면8



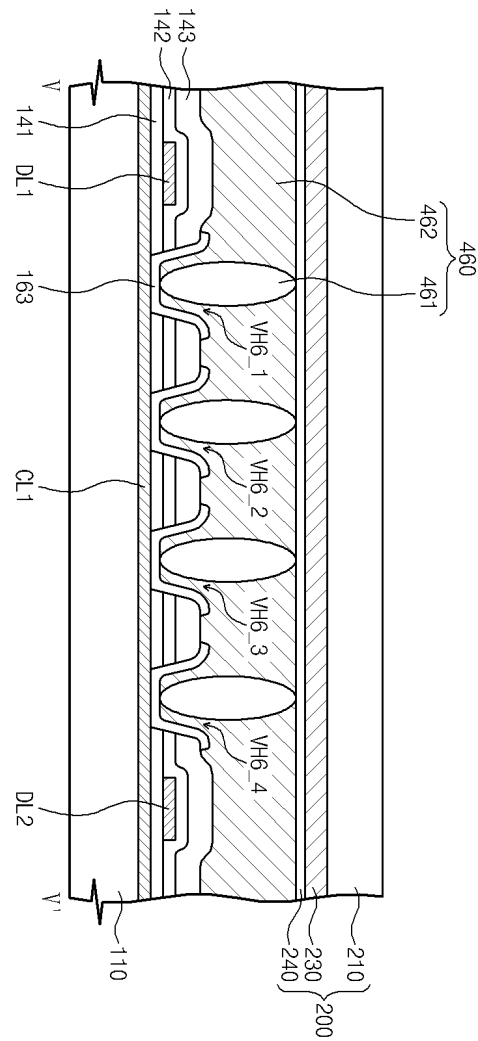
도면9



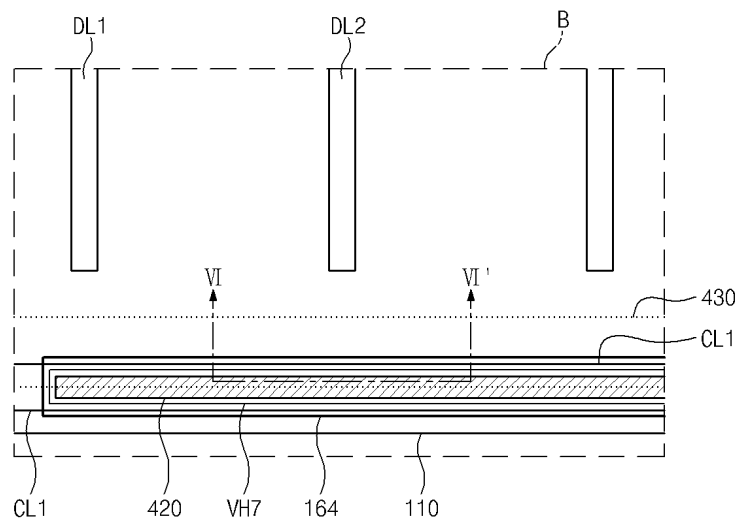
도면10



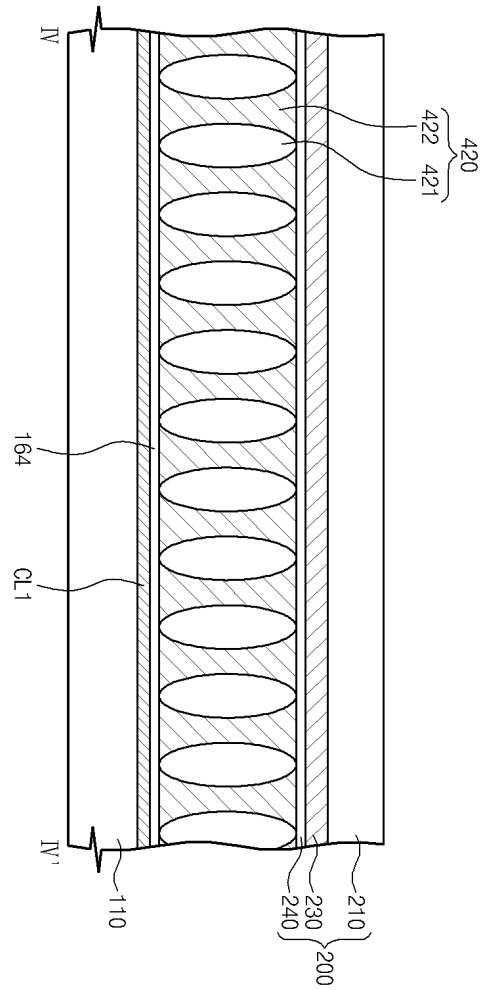
도면11



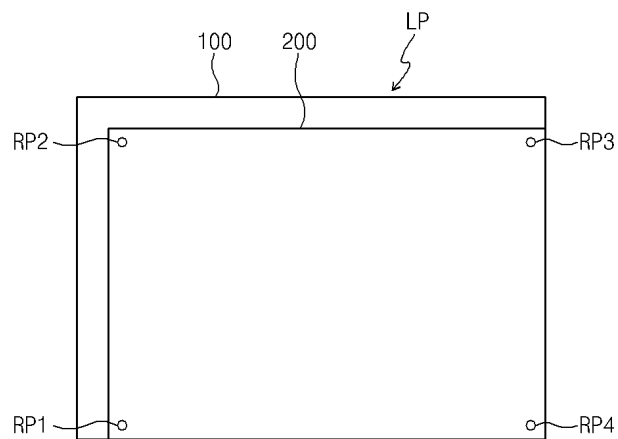
도면12



도면13



도면14



专利名称(译)	显示面板		
公开(公告)号	KR1020080034328A	公开(公告)日	2008-04-21
申请号	KR1020060100435	申请日	2006-10-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YIM BAE HEUK 임배혁 LEE JEONG HO 이정호 YOU DOO HWAN 유두환 LEE SEONG YOUNG 이성영		
发明人	임배혁 이정호 유두환 이성영		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/13394 G02F1/1362 G02F1/1345 G02F1/1339		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
其他公开文献	KR101303940B1		
外部链接	Espacenet		

摘要(译)

LCD面板包括相对板的公共电极和导电间隔件部分，电连接阵列面板的公共电压管道部分。导电隔离物部分具有沿着公共电压管道部分延伸的杆形状。因此，减少了形成导电隔离物部分的时间。因此缩短了处理时间。提高了生产力。而且，阵列面板和导电隔离物部分连接的接触区域电气地增加。因此，相对衬底间隙和阵列面板的恒定电阻减小。可以改善指示特性。导电垫片，公共电极和恒定电阻。

