



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0003036
(43) 공개일자 2008년01월07일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0061563

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

현재원

대구 북구 동천동 보성서한타운 103동 1210호

황광희

대구 북구 동천동 칠곡화성3차 108동 1105호

이상훈

대구 북구 태전동 936-1번지(9/1) 한신중앙아파트 204동 301호

(74) 대리인

김용인, 심창섭

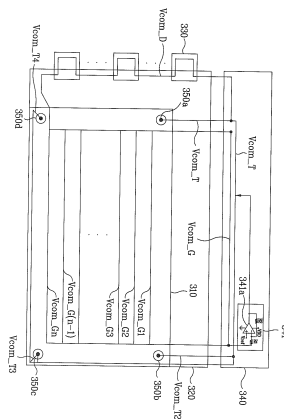
전체 청구항 수 : 총 8 항

(54) 액정표시장치

(57) 요약

본 발명은 하부기판 하측에 배열된 공통전극라인의 공통전압 왜곡을 보상하기에 알맞은 액정표시장치를 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는 일면에 공통전극을 구비하여 구성된 상부기판과; 교차 배열된 복수개의 게이트 라인(G)과 데이터 라인(D)이 구비된 하부기판과; 상기 하부기판 상부에 상기 게이트라인과 평행한 방향으로 배열된 복수개의 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)과; 상기 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)의 공통전압을 연산 증폭하여 출력하기 위한 연산 증폭기와; 상기 연산 증폭기를 통해 출력된 전압을 받아 상기 상부기판의 공통전극에 전달하기 위해 배열된 복수개의 공통전압인가 라인과; 상기 연산 증폭기를 통해 출력된 전압을 상기 하부기판 최하단의 제 n 공통전극라인(Vcom_Gn)에 연결시킨 더미 공통전극라인(Vcom_D)과; 상기 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버와; 상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버를 포함하여 구성됨에 그 특징이 있다.

대표도 - 도3



특허청구의 범위

청구항 1

일면에 공통전극을 구비하여 구성된 상부기관과;

교차 배열된 복수개의 게이트 라인(G)과 데이터 라인(D)이 구비된 하부기관과;

상기 하부기관 상부에 상기 게이트라인과 평행한 방향으로 배열된 복수개의 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)과;

상기 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 연산 증폭하여 출력하기 위한 연산 증폭기와;

상기 연산 증폭기를 통해 출력된 전압을 받아 상기 상부기관의 공통전극에 전달하기 위해 배열된 복수개의 공통전압인가라인과;

상기 연산 증폭기를 통해 출력된 전압을 상기 하부기관 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결시킨 더미 공통전극라인(V_{com_D})과;

상기 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버와;

상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버를 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2

일면에 공통전극을 구비하여 구성된 상부기관과;

교차 배열된 복수개의 게이트 라인(G)과 데이터 라인(D)이 구비된 하부기관과;

상기 하부기관 상부에 상기 게이트라인과 평행한 방향으로 배열된 복수개의 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)과;

상기 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 연산 증폭하여 출력하기 위한 제 1 연산 증폭기와;

상기 제 1 연산 증폭기를 통해 출력된 전압을 받아 상기 상부기관의 공통전극에 전달하기 위해 배열된 복수개의 공통전압인가라인과;

상기 하부기관 최하단의 상기 제 n 공통전극라인(V_{com_Gn})의 왜곡된 전압을 인가 받아서 반전 증폭된 전압을 출력시키기 위한 제 2 연산 증폭기와;

상기 제 2 연산 증폭기를 통해 출력된 반전 증폭된 전압을 상기 하부기관 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결시킨 더미 공통전극라인(V_{com_D})과;

상기 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버와;

상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버를 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 공통전압인가라인은 상기 하부기관의 가장자리(더미영역)를 따라 배열됨을 특징으로 하는 액정표시장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 더미 공통전극라인(V_{com_D})은 상기 게이트 드라이버의 가장자리를 따라 LOG 라인 형태로 배열됨을 특징으로 하는 액정표시장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 연산 증폭기 또는 제 1, 제 2 연산 증폭기는 소오스 인쇄회로기판에 구성됨을 특징으로 하는 액정표시장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 게이트 드라이버는 상기 하부기판의 일측 상부에 실장되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)은 모두 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 상부기판의 공통전극은 상기 복수개의 공통전압인가라인과 복수개의 은접점을 통해 연결됨을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치에 대한 것으로, 특히 하부기판 하측부의 공통전극라인의 공통전압 왜곡을 보상하기에 알맞은 액정표시장치에 관한 것이다.
- <16> 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- <17> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <18> 이와 같은 액정표시장치는 크게 영상신호를 표시하는 액정표시패널과 외부에서 상기 액정표시패널에 구동신호를 인가하는 구동회로로 구분할 수 있다.
- <19> 상기 액정표시 패널은, 도면에는 도시되지 않았지만, 일정한 공간을 갖고 함착된 상, 하부기판 사이에 액정이 주입된 표시장치로서, 상기 상, 하부기판 중 하부기판에는 일정 간격으로 배열된 복수개의 게이트 라인과, 상기 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 픽셀 영역에 형성된 복수개의 픽셀전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 픽셀전극에 인가하는 복수개의 박막트랜지스터가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다. 그리고 상부기판에는 칼라필터층, 공통전극 및 블랙 매트릭스층이 형성된다.
- <20> 따라서, 게이트 라인에 순차적으로 턴 온 신호를 인가하면 그 때마다 해당 라인의 픽셀 전극에 데이터 신호가

인가되므로 영상이 표시된다.

- <21> 그리고, 액정표시장치의 구동회로는 복수개의 게이트 라인(G)과 데이터 라인(D)이 서로 수직한 방향으로 배열되어 매트릭스 형태의 픽셀영역을 갖는 액정표시패널에 구동 신호와 데이터 신호를 공급하는 구동회로부와, 상기 액정표시패널에 일정한 광원을 제공하는 백 라이트로 구성된다.
- <22> 여기서, 상기 구동회로부는 상기 액정표시패널의 각 데이터 라인에 데이터 신호를 입력하는 데이터 드라이버와 상기 액정표시패널의 각 게이트 라인에 게이트 구동 펄스를 인가하는 게이트 드라이버와, 액정표시패널의 구동 시스템으로부터 입력되는 디스플레이 데이터(R, G, B)와 수직 및 수평동기신호(Vsync, Hsync) 그리고 클럭신호(DCLK) 등 제어신호(DTEN)를 입력받아 상기 액정표시패널(1)의 각 데이터 드라이버와 게이트 드라이버가 화면을 재생하기에 적합한 타이밍으로 각 디스플레이 데이터와 클럭 및 제어신호를 포맷하여 출력하는 타이밍 콘트롤러와, 상기 액정표시패널 및 각부에 필요한 전압을 공급하는 전원 공급부와, 상기 전원 공급부로부터 전원을 인가받아 상기 데이터 드라이버에서 입력되는 디지털 데이터를 아날로그 데이터로 변환할 때 필요한 기준전압을 공급하는 감마 기준전압부와, 상기 전원 공급부로부터 출력된 전압을 이용하여 액정표시패널에 사용되는 정전압(V_{DD}), 게이트 고전압(V_{GH}), 게이트 저전압(V_{GL}), 기준전압(V_{ref}) 및 공통전압(V_{com}) 등을 출력하는 DC/DC 변환부와, 상기 백 라이트를 구동하는 인버터를 구비하여 구성된다.
- <23> 상기 구성을 갖는 액정표시장치는 상, 하부기관 사이에 위치한 액정층이 상기 박막 트랜지스터(T)로부터 화소전극에 인가된 신호 및 상부기관의 공통전극에 인가된 신호에 의해 배향되고, 상기 액정층의 배향 정도에 따라 액정층을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.
- <24> 이하, 첨부 도면을 참조하여 종래의 액정표시장치에 대하여 설명하면 다음과 같다.
- <25> 도 1은 종래의 액정표시장치의 평면 구성도이고, 도 2a는 종래의 하부기관에 배열된 공통전극라인의 공통전압의 왜곡 정도를 나타낸 파형도이며, 도 2b는 도 2a의 등가 회로도이다.
- <26> 종래의 액정표시장치는 도 1에 도시한 바와 같이, 복수개의 게이트 라인(G)과 데이터 라인(D)이 서로 수직한 방향으로 배열되어 매트릭스 형태의 픽셀영역을 갖으며, 사이에 액정이 충전되어 있는 상, 하부기관(10, 20)과, 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버(30)와, 상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버(미도시)가 구비된 소오스 인쇄회로기판(40)으로 구성된다.
- <27> 상기에서 하부기관(20)에는 일정 간격으로 배열된 복수개의 게이트 라인과, 상기 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 픽셀 영역에 형성된 복수개의 픽셀전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 픽셀전극에 인가하는 복수개의 박막트랜지스터가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다.
- <28> 그리고 상부기관(10)에는 픽셀영역에 대응되는 영역에 형성된 칼라필터층과, 상기 픽셀영역을 제외한 영역에 형성된 블랙 매트릭스층과, 상기 칼라필터층을 포함한 상부기관 전면에 형성된 공통전극으로 구성된다.
- <29> 상기의 구성 외에도, 하부기관(10) 상에 외부로부터 공통전압을 인가 받도록 게이트라인과 평행한 방향으로 복수개의 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)이 배열되어 있고, 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 연산 증폭하여 출력하기 위한 연산 증폭기(41)가 있으며, 상기 상부기관(20)의 공통전극에 공통전압을 인가시킬 수 있도록 하부기관(20)의 가장자리(더미영역) 및 상기 게이트 드라이버(30)의 가장자리를 따라 LOG(Line On Glass) 형태로 제 1 내지 제 4 공통전압인가라인($V_{com_T1}, \dots, V_{com_T4}$)이 배열되어 있다.
- <30> 이때 상기 하부기관(20)에 형성되어 있는 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)은 모두 연결되어 있다.
- <31> 그리고 상부기관(10)의 공통전극은 제 1 내지 제 4 공통전압인가라인($V_{com_T1}, \dots, V_{com_T4}$)과 은접점을 통해 연결된다. 즉, 상부기관(10)의 공통전극은 은접점(33)을 통해 공통전압을 인가받게 된다.
- <32> 상기에서 제 1 내지 제 4 공통전압인가라인($V_{com_T1}, \dots, V_{com_T4}$)은 연산 증폭기(41)를 통하여 증폭된 상기 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 받게 된다.
- <33> 이때, 도 2a와 도 2b에 도시한 바와 같이, 하부기관(20)에 배열된 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)은 하부기관(20)의 하측으로 갈수록 로드(저항성분)가 증가하여 공통전압이 왜곡되게 된다.

<34> 이와 같이 종래의 액정표시장치는 하부기관(20)의 하측부로 갈수록 공통전극라인의 저항성분이 증가하여, 화면 상측부와 하측부의 셧다운(shut down) 크로스토크 편차가 발생하여 화질이 저하되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<35> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 하부기관 하측에 배열된 공통전극라인의 공통전압 왜곡을 보상하기에 알맞은 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

<36> 상기와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 액정표시장치는 일면에 공통전극을 구비하여 구성된 상부기관과; 교차 배열된 복수개의 게이트 라인(G)과 데이터 라인(D)이 구비된 하부기관과; 상기 하부기관 상부에 상기 게이트라인과 평행한 방향으로 배열된 복수개의 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)과; 상기 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 연산 증폭하여 출력하기 위한 연산 증폭기와; 상기 연산 증폭기를 통해 출력된 전압을 받아 상기 상부기관의 공통전극에 전달하기 위해 배열된 복수개의 공통전압인가라인과; 상기 연산 증폭기를 통해 출력된 전압을 상기 하부기관 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결시킨 더미 공통전극라인(V_{com_D})과; 상기 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버와; 상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버를 포함하여 구성됨에 그 특징이 있다.

<37> 본 발명의 다른 실시예에 따른 액정표시장치는 일면에 공통전극을 구비하여 구성된 상부기관과; 교차 배열된 복수개의 게이트 라인(G)과 데이터 라인(D)이 구비된 하부기관과; 상기 하부기관 상부에 상기 게이트라인과 평행한 방향으로 배열된 복수개의 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)과; 상기 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 연산 증폭하여 출력하기 위한 제 1 연산 증폭기와; 상기 제 1 연산 증폭기를 통해 출력된 전압을 받아 상기 상부기관의 공통전극에 전달하기 위해 배열된 복수개의 공통전압인가라인과; 상기 하부기관 최하단의 상기 제 n 공통전극라인(V_{com_Gn})의 왜곡된 전압을 인가 받아서 반전 증폭된 전압을 출력시키기 위한 제 2 연산 증폭기와; 상기 제 2 연산 증폭기를 통해 출력된 반전 증폭된 전압을 상기 하부기관 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결시킨 더미 공통전극라인(V_{com_D})과; 상기 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버와; 상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버를 포함하여 구성됨을 특징으로 한다.

<38> 상기 공통전압인가라인은 상기 하부기관의 가장자리(더미영역)를 따라 배열된다.

<39> 상기 더미 공통전극라인(V_{com_D})은 상기 게이트 드라이버의 가장자리를 따라 LOG 라인 형태로 배열된다.

<40> 상기 연산 증폭기 또는 제 1, 제 2 연산 증폭기는 소오스 인쇄회로기관에 구성된다.

<41> 상기 게이트 드라이버는 상기 하부기관의 일측 상부에 실장된다.

<42> 상기 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)은 모두 연결되어 있다.

<43> 상기 상부기관의 공통전극은 상기 복수개의 공통전압인가라인과 복수개의 은접점을 통해 연결된다.

<44> 이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 설명하면 다음과 같다.

<45> 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면 구성도이고, 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치에서 하부기관의 공통전극라인의 공통전압을 나타낸 파형도이다.

<46> 그리고, 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치의 평면 구성도이고, 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치에서 하부기관의 공통전극라인의 공통전압을 나타낸 파형도이다.

<47> 제 1 실시예

<48> 먼저, 본 발명의 제 1 실시예에 따른 액정표시장치는, 도 3과 도 4에 도시한 바와 같이, 복수개의 게이트 라인(G)과 데이터 라인(D)이 서로 수직한 방향으로 배열되어 매트릭스 형태의 픽셀영역을 갖고, 사이에 액정이 충전되어 있는 상, 하부기관(310, 320)과, 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버(330)와, 상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버(미도시)가 구비된 소오스 인쇄회로기관(340)으로 구성된다. 이때, 게이트 드라이버(330)는 하부기관(320)의 일측 상부에 실장된다.

<49> 상기에서 하부기관(320)에는 일정 간격으로 배열된 복수개의 게이트 라인과, 상기 게이트 라인에 수직한 방향으

로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 픽셀 영역에 형성된 복수개의 픽셀전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 픽셀전극에 인가하는 복수개의 박막트랜지스터가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다.

<50> 그리고 상부기관(310)에는 픽셀영역에 대응되는 영역에 형성된 칼라필터층과, 상기 픽셀영역을 제외한 영역에 형성된 블랙 매트릭스층과, 상기 칼라필터층을 포함한 상부기관 전면에 형성된 공통전극으로 구성된다.

<51> 상기의 구성 외에도, 하부기관(320) 상에 외부의 공통전압 발생부(미도시)로부터 공통전압을 인가 받도록 게이트라인과 평행한 방향으로 복수개의 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)이 배열되어 있고, 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)의 공통전압을 연산 증폭하여 출력하기 위한 연산 증폭기(341)가 있으며, 상기 연산 증폭기(341)를 통해 출력된 공통전압을 상기 상부기관(320)의 공통전극에 인가시킬 수 있도록 하부기관(320)의 가장자리(더미영역)를 따라 제 1 내지 제 4 공통전압인가라인($V_{com_T1}, \dots, V_{com_T4}$)이 배열되어 있다.

<52> 또한, 상기 연산 증폭기(341)를 통해 출력된 보상 전압을 상기 게이트 드라이버(330)의 가장자리를 따라 LOG 라인 형태로 상기 하부기관(320) 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결시킨 더미 공통전극라인(V_{com_D})이 있다.

<53> 이때, 상기 하부기관(320)에 형성되어 있는 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)은 모두 연결되어 있다.

<54> 그리고 상부기관(310)의 공통전극은 제 1 내지 제 4 공통전압인가라인($V_{com_T1}, \dots, V_{com_T4}$)과 제 1 내지 제 4 은접점(350a, 350b, 350c, 350d)을 통해 연결된다. 즉, 상부기관(310)의 공통전극은 제 1 내지 제 4 은접점(350a, 350b, 350c, 350d)을 통해 공통전압을 인가 받게 된다.

<55> 제 1 내지 제 4 은접점(350a, 350b, 350c, 350d)은 상부기관(310)의 4 모서리에 구성되어 있다.

<56> 이때, 은접점을 상부기관(310)의 4 모서리에 구성한 것은 상부기관(310)의 공통전극에 인가되는 공통전압을 균등화시키기 위한 일예일 뿐, 본 발명을 한정하기 위한 것이 아니다.

<57> 이때, 하부기관(320)에 배열된 제 1 내지 제 n 공통전극라인($V_{com_G1}, \dots, V_{com_Gn}$)은 하부기관(320)의 하측으로 갈수록 로드(저항성분)가 증가하여 공통전압이 왜곡되게 되는데, 본 발명의 제 1 실시예에서는 이와 같은 문제를 해결하기 위해서, 상기에서와 같이 상기 연산 증폭기(341)를 통해 증폭 보상된 전압을 더미 공통전극라인(V_{com_D})을 통해서 상기 하부기관(320) 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결되도록 더미 공통전극라인(V_{com_D})을 상기 하부기관(320) 최하단의 제 n 공통전극라인(V_{com_Gn})에 연결시켰다.

<58> 이와 같이 구성하면, 연산 증폭기(341)를 통해 증폭 보상된 공통전압 레벨의 DC 전압이 하부기관(320) 최하단의 제 n 공통전극라인에 인가됨으로, 도 4에 도시한 바와 같이, 하부기관(320) 최하단의 공통전압이 왜곡되는 것을 상쇄시킬 수 있다. 이때 하부기관 최하단에 배열된 제 n 공통전극라인(V_{com_Gn})으로 보상된 공통전압이 인가되면, 그에 인접한 하단의 공통전극라인들도 공통전압이 보상된다.

<59> 이에 따라서, 화면 상측부와 하측부에 �utdown 크로스토크 편차가 발생하지 않도록 하여, 화질이 저하되는 것을 방지하였다.

<60> 제 2 실시예

<61> 다음에, 본 발명의 제 2 실시예에 따른 액정표시장치는, 도 5와 도 6에 도시한 바와 같이, 복수개의 게이트 라인(G)과 데이터 라인(D)이 서로 수직한 방향으로 배열되어 매트릭스 형태의 픽셀영역을 갖고, 사이에 액정이 충전되어 있는 상, 하부기관(510, 520)과, 각 게이트 라인(G)에 게이트 구동 펄스를 인가하는 게이트 드라이버(530)와, 상기 데이터 라인에 데이터 신호를 입력하기 위한 복수개의 데이터 드라이버(미도시)가 구비된 소오스 인쇄회로기판(540)으로 구성된다. 이때, 게이트 드라이버(530)는 하부기관(520)의 일측 상부에 실장된다.

<62> 상기에서 하부기관(520)에는 일정 간격으로 배열된 복수개의 게이트 라인과, 상기 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인에 의해 정의된 매트릭스 형태의 각 픽셀 영역에 형성된 복수개의 픽셀전극과, 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 픽셀전극에 인가하는 복수개의 박막트랜지스터가 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 형성된다.

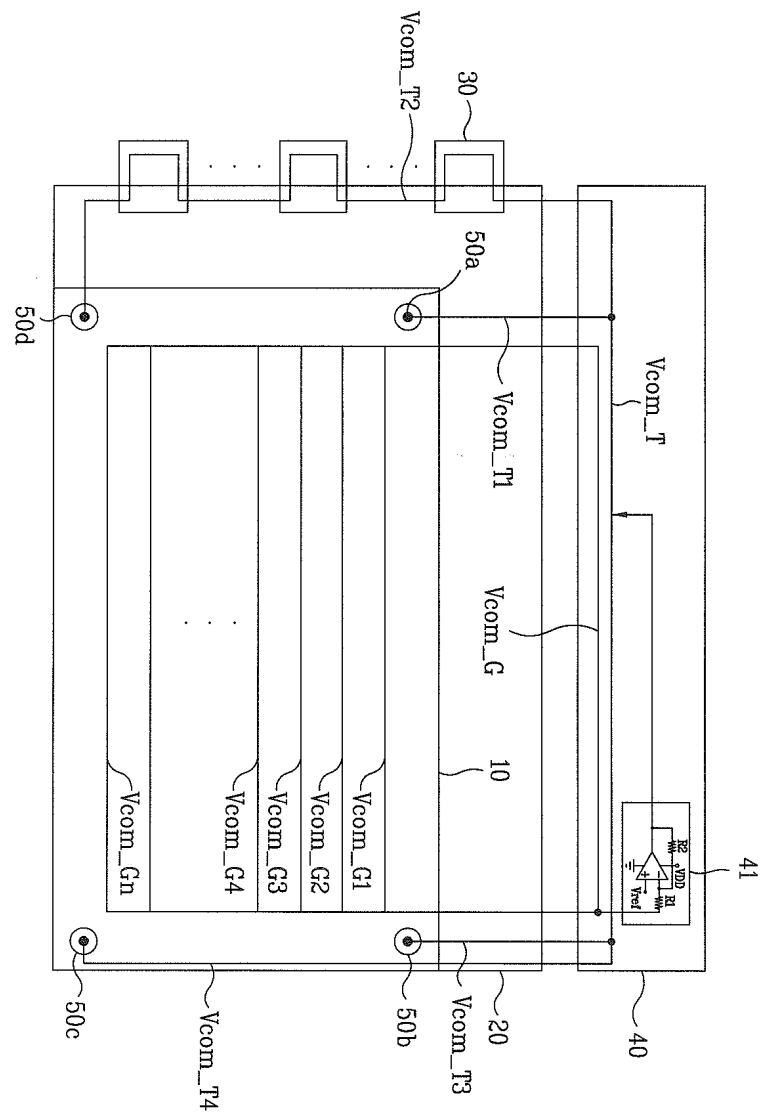
- <63> 그리고 상부기관(510)에는 픽셀영역에 대응되는 영역에 형성된 칼라필터층과, 상기 픽셀영역을 제외한 영역에 형성된 블랙 매트릭스층과, 상기 칼라필터층을 포함한 상부기관 전면에 형성된 공통전극으로 구성된다.
- <64> 상기의 구성 외에도, 하부기관(510) 상에 외부로부터 공통전압을 인가 받도록 게이트라인과 평행한 방향으로 복수개의 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)이 배열되어 있고, 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)의 공통전압을 연산 증폭하여 출력하기 위한 제 1 연산 증폭기(541)가 있으며, 상기 제 1 연산 증폭기(541)를 통해 출력된 공통전압을 상기 상부기관(520)의 공통전극에 인가시킬 수 있도록 하부기관(520)의 가장자리(더미영역)를 따라 제 1 내지 제 4 공통전압인가라인(Vcom_T1, ..., Vcom_T4)이 배열되어 있으며, 상기 하부기관(520)의 최하단의 제 n 공통전극라인(Vcom_Gn)의 왜곡된 공통전압을 직접 인가 받아서 반전 증폭된 공통전압을 출력시키기 위한 제 2 연산 증폭기(542)가 있다.
- <65> 또한, 상기 제 2 연산 증폭기(542)를 통해 출력된 반전 증폭된 전압을 상기 게이트 드라이버(530)의 가장자리를 따라 LOG 라인 형태로 상기 하부기관(520) 최하단의 제 n 공통전극라인(Vcom_Gn)에 직접 연결시킨 더미 공통전극라인(Vcom_D)이 있다.
- <66> 이때, 상기 하부기관(520)에 형성되어 있는 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)은 모두 연결되어 있다.
- <67> 그리고 상부기관(510)의 공통전극은 제 1 내지 제 4 공통전압인가라인(Vcom_T1, ..., Vcom_T4)과 제 1 내지 제 4 은접점(550a, 550b, 550c, 550d)을 통해 연결된다. 즉, 상부기관(310)의 공통전극은 제 1 내지 제 4 은접점(550a, 550b, 550c, 550d)을 통해 공통전압을 인가 받게 된다.
- <68> 제 1 내지 제 4 은접점(550a, 550b, 550c, 550d)은 상부기관(510)의 4 모서리에 구성되어 있다.
- <69> 이때, 은접점을 상부기관(510)의 4 모서리에 구성한 것은 상부기관(510)의 공통전극에 인가되는 공통전압을 균등화시키기 위한 일예일 뿐, 본 발명을 한정하기 위한 것이 아니다.
- <70> 이때, 하부기관(520)에 배열된 제 1 내지 제 n 공통전극라인(Vcom_G1, ..., Vcom_Gn)은 하부기관(520)의 하측으로 갈수록 로드(저항성분)가 증가하여 공통전압이 왜곡되게 된다.
- <71> 본 발명의 제 2 실시예는 이와 같은 문제를 해결하기 위해서, 상술한 바와 같이, 상기 하부기관(320) 최하단에 배열된 제 n 공통전극라인(Vcom_Gn)의 왜곡된 공통전압을 센싱하여 상기 제 2 연산 증폭기(542)를 통해 반전 증폭시키고, 이 반전 증폭된 신호를 상기 하부기관(520) 최하단의 제 n 공통전극라인(Vcom_Gn)에 다시 입력시켜서 왜곡된 신호를 상쇄시키기 위해서, 제 2 연산 증폭기(542)의 출력단과 연결된 더미 공통전극라인(Vcom_D)을 상기 하부기관(320) 최하단의 제 n 공통전극라인(Vcom_Gn)에 연결시켰다.
- <72> 이와 같이 구성하면, 하부기관(520) 최하단의 제 n 공통전극라인(Vcom_Gn)의 신호가 제 2 연산 증폭기(541)를 통해 반전 증폭되고, 이 신호가 다시 하부기관(520) 최하단의 제 n 공통전극라인에 인가됨으로, 도 6에 도시한 바와 같이, 하부기관(520) 최하단의 왜곡된 공통전압 파형을 상쇄시켜서, 최상측 공통전극라인과 최하측 공통전극라인을 균등하게 할 수 있다.
- <73> 이에 따라서, 화면 상측부와 하측부에 셧다운(shutdown) 크로스토크 편차가 발생하지 않아서, 화질이 저하되는 것을 방지할 수 있다.
- <74> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <75> 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

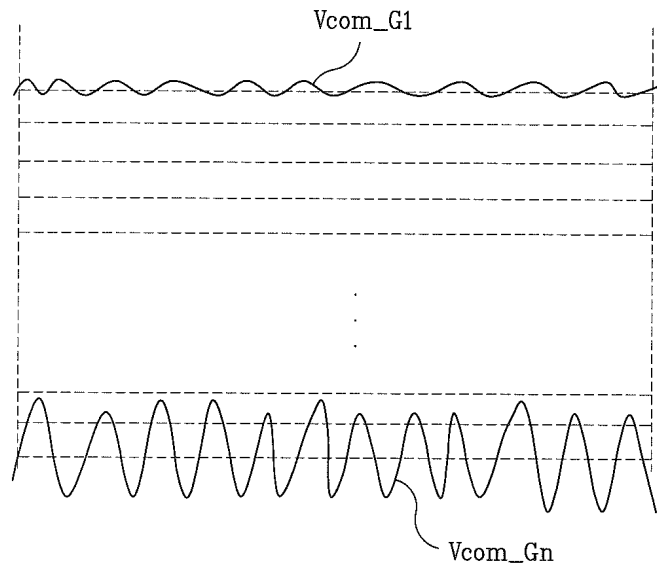
- <76> 상기와 같은 본 발명에 따른 액정표시장치는 다음과 같은 효과가 있다.
- <77> 첫째, 하부기관의 공통전극라인의 공통전압을 연산 증폭기를 통해 증폭 보상시키고, 이 보상된 공통전압을 하부기관 최하측의 공통전극라인에 인가시킴으로서, 로드(load) 증가에 따른 하부기관 하측부의 공통전압 왜곡을 상쇄시킬 수 있다. 이에 따라서, 화면 상측부와 하측부에 셧다운(shutdown) 크로스토크 편차가 발생하지 않아서, 화질이 저하되는 것을 방지할 수 있다.
- <78> 둘째, 하부기관의 최하단 공통전극라인의 왜곡된 공통전압을 센싱하여 별도의 연산 증폭기를 통해 반전 증폭시

도면

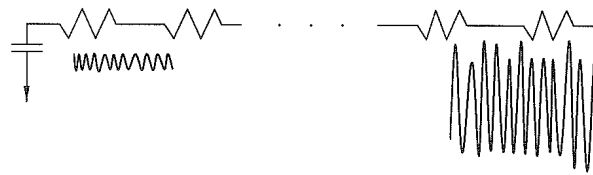
도면1



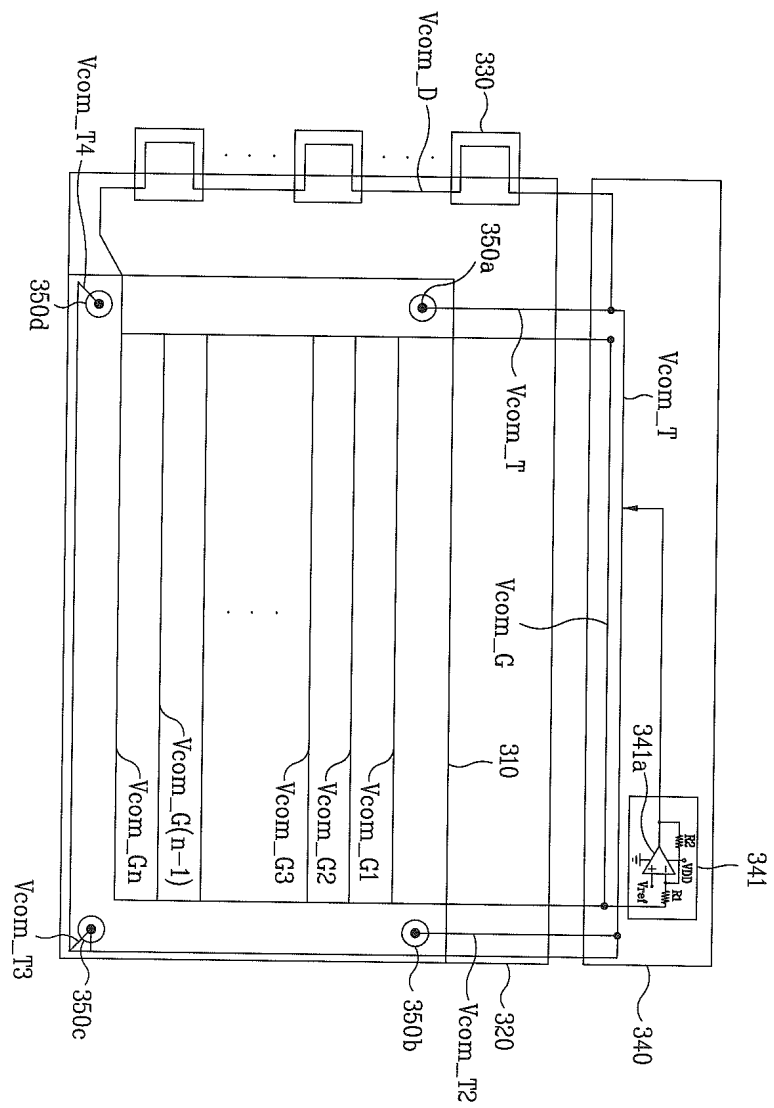
도면2a



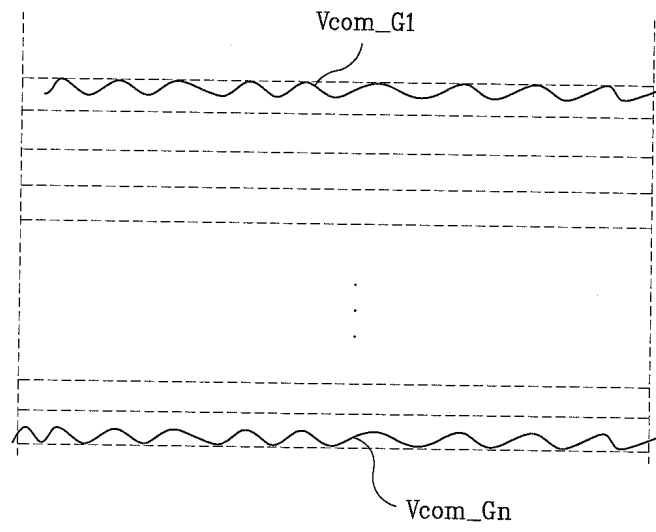
도면2b



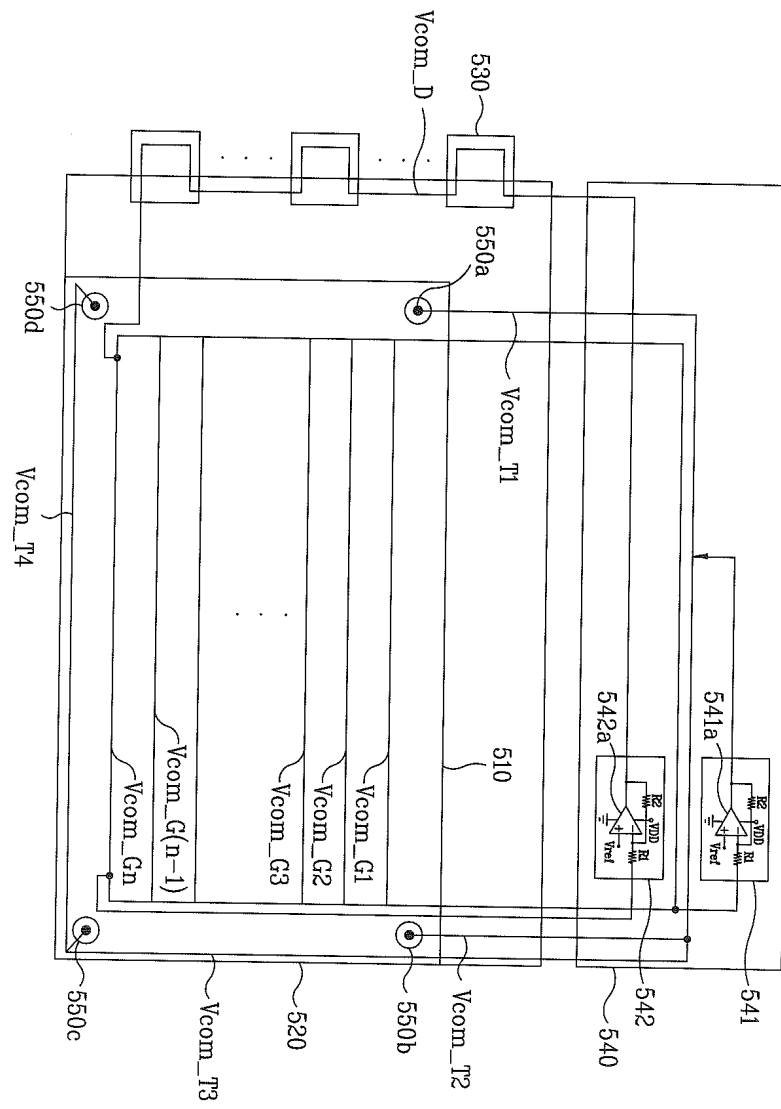
도면3



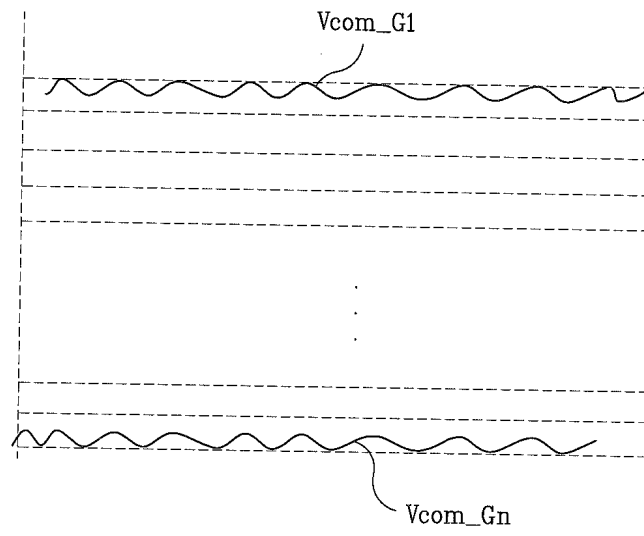
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080003036A	公开(公告)日	2008-01-07
申请号	KR1020060061563	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HYUN JAE WON 현재원 HWANG KWANG HEE 황광희 LEE SANG HOON 이상훈		
发明人	현재원 황광희 이상훈		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3655 G02F1/13454 G09G2320/02		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明涉及提供合适的液晶显示器，因为它补偿了布置在下板下侧的公共电极线的公共电压畸变。并且可以存在这样的特性：它由排列的n公共电极线 (Vcom G1 , ... , Vcom Gn) 的多个第一组成，用于第一至第n公共电极线的公共电压的运算放大器 (Vcom G1 , ... , Vcom Gn) 正和放大计算和输出，多个公共电压施加线，虚拟公共电极线 (Vcom D) 将通过运算放大器输出的电压连接到下板的n公共电极线 (Vcom Gn) 最下部，门驱动器授权每条栅极线 (G) 中的栅极驱动脉冲，以及用于将数据信号输入数据线的多个数据驱动器，作为用于实现这种目的的液晶显示器的上板包括一侧的公共电极和具有间同立构的多条栅极线 (G) 和数据线 (D) 是与装配的下板和下板的上部的栅极线平行的方向。设置多条公共电压施加线以接收通过运算放大器输出的电压并输送到上板的公共电极。公共电极，公共电极线，运算放大器，关断，串扰。

