



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0042334

(43) 공개일자 2007년04월23일

(21) 출원번호 10-2005-0098144

(22) 출원일자 2005년10월18일

심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이현  
서울 동작구 본동 강변유원아파트 102-1104

(74) 대리인 남승희

전체 청구항 수 : 총 8 항

(54) 게이트 구동 회로 및 이를 포함하는 액정 표시 장치

(57) 요약

본 발명은 게이트 구동 회로 및 이를 포함하는 액정 표시 장치에 관한 것으로, p개(여기서, p는 3 이상의 자연수) 이상의 쉬프트 레지스터를 사용하여 게이트 선을 p개 이상의 그룹으로 나누고, p분의 1만큼 쉬프트된 신호를 사용하여 p배의 게이트 선을 구동한다. 따라서, 저가의 쉬프트 레지스터를 이용하여 많은 수의 게이트 선을 구동할 수 있으므로 고해상도의 액정 표시 장치를 저렴하게 제조할 수 있다.

대표도

도 4

특허청구의 범위

청구항 1.

복수의 게이트선에 구동 신호를 출력하는 게이트 구동 회로에 있어서,

p(여기서 p는 3 이상의 자연수)개의 그룹으로 나뉘는 게이트선을 그룹별로 구동하는 p개의 쉬프트 레지스터를 포함하고,

각각의 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 스테이지를 포함하며, 상기 각각의 쉬프트 레지스터에서 첫 번째 스테이지의 입력 단자에는 개시 신호가 입력되고, 각 스테이지들의 출력 신호는 다음 스테이지의 입력 단자에 연결되어, 상기 각 스테이지들의 출력 신호에 의해 상기 복수의 게이트선을 순차적으로 선택하는 것을 특징으로 하는 게이트 구동 회로.

## 청구항 2.

청구항 1에 있어서,

상기 p개의 쉬프트 레지스터에 사용되는 p개의 개시 신호는 각각 p분의 1만큼 쉬프트된 것을 특징으로 하는 게이트 구동 회로.

## 청구항 3.

청구항 1 또는 청구항 2에 있어서,

상기 각 스테이지는,

이전 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 입력 단자;

위상이 다른 복수의 클록 신호 중 어느 하나의 클록 신호를 수신하는 클록 단자;

다음 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 제어 단자;

상기 클록 단자로 수신된 상기 클록 신호를 상기 게이트 구동 신호로써 출력하는 제1 출력 단자; 및

상기 클록 단자로 수신된 상기 클록 신호를 스테이지 구동 신호로써 출력하는 제2 출력 단자를 포함하는 것을 특징으로 하는 게이트 구동 회로.

## 청구항 4.

청구항 1 또는 청구항 2에 있어서,

상기 p는 자연수 4이며, 상기 게이트 선은  $4n-3$ ,  $4n-2$ ,  $4n-1$ ,  $4n$ (여기서 n은 1 이상의 자연수)의 순서대로 나뉘어 그룹화 되는 것을 특징으로 하는 게이트 구동 회로.

## 청구항 5.

복수의 게이트선, 상기 게이트선과 교차하는 복수의 데이터선, 상기 게이트선과 데이터선 사이에 형성된 스위칭 소자 및 화소 전극을 포함하는 액정 표시 패널;

게이트선을 선택하여 이와 연결된 스위칭 소자를 도통시키는 게이트 구동 회로부; 및 상기 스위칭 소자의 도통에 의해 화소 전극과 연결된 데이터선을 입력된 화상 데이터에 대응하여 구동하는 데이터 구동 회로부를 포함하되,

상기 게이트 구동 회로부는 p(여기서 p는 3 이상의 자연수)개의 그룹으로 나뉜 게이트선을 그룹별로 구동하는 p개의 쉬프트 레지스터를 포함하고,

각각의 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 스테이지를 포함하며, 상기 각각의 쉬프트 레지스터에서 첫 번째 스테이지의 입력 단자에는 개시 신호가 입력되고, 각 스테이지들의 출력 신호는 다음 스테이지의 입력 단자에 연결되어, 상기 각 스테이지들의 출력 신호에 의해 상기 복수의 게이트선을 순차적으로 선택하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 6.

청구항 5에 있어서,

상기 p개의 쉬프트 레지스터에 사용되는 p개의 개시 신호는 각각 p분의 1만큼 쉬프트된 것을 특징으로 하는 액정 표시 장치.

### 청구항 7.

청구항 5 또는 청구항 6에 있어서,

상기 각 스테이지는,

이전 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 입력 단자;

위상이 다른 복수의 클록 신호 중 어느 하나의 클록 신호를 수신하는 클록 단자;

다음 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 제어 단자;

상기 클록 단자로 수신된 상기 클록 신호를 상기 게이트 구동 신호로써 출력하는 제1 출력 단자; 및

상기 클록 단자로 수신된 상기 클록 신호를 스테이지 구동 신호로써 출력하는 제2 출력 단자를 포함하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 8.

청구항 5 또는 청구항 6에 있어서,

상기 p는 자연수 4이며, 상기 게이트 선은  $4n-3$ ,  $4n-2$ ,  $4n-1$ ,  $4n$ (여기서 n은 1 이상의 자연수)의 순서대로 나뉘어 그룹화 되는 것을 특징으로 하는 액정 표시 장치.

### 명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트 구동 회로 및 이를 포함하는 액정 표시 장치에 관한 것으로, 특히 각각 복수개의 스테이지를 구비하는 복수개의 쉬프트 레지스터를 이용하여 게이트를 구동하는 게이트 구동 회로 및 이를 포함하는 액정 표시 장치에 관한 것이다.

액정 표시 장치(LCD, Liquid Crystal Display)는 두 기관 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전계를 인가하고, 이 전계의 세기를 조절하여 기관에 투과되는 빛의 양을 조절함으로써, 원하는 화상을 표시하는 장치이다.

이러한 액정 표시 장치의 기관 위에는 서로 평행한 복수의 게이트선과 이 게이트선에 절연되어 교차하는 복수의 데이터선이 형성되며, 이들 게이트선과 데이터선에 둘러싸인 영역에 하나의 화소가 정의된다. 여기서, 각 게이트선과 데이터선이 교차하는 부분에는 박막 트랜지스터(Thin Film Transistor, 이하 'TFT'라고도 함) 및 화소 전극이 형성된다.

상기 액정 표시 장치는 상기 게이트선을 구동하기 위한 게이트 구동 회로부와, 데이터선을 구동하기 위한 소스 구동 회로부를 가진다. 액정 표시 장치는, 게이트 구동 회로부가 게이트선에 소정의 전압을 인가시키면, 박막 트랜지스터의 양단에 연결된 데이터선과 화소 전극이 전기적으로 연결되고, 이때 소스 구동 회로부가 데이터선을 통하여 화소 전극에 소정의 데이터 전압을 인가시킴으로써 구동된다.

여기서, 게이트 구동 회로부는 쉬프트 레지스터를 이용하여 구동할 수 있다.

도 1은 종래 기술에 따른 게이트 액정 표시 패널의 구동 회로를 구성하는 쉬프트 레지스터를 나타낸 블록도이다.

쉬프트 레지스터는 복수의 스테이지(21)로 구성되며, 각각의 스테이지(21)는 각각의 게이트선(G1 내지 G5)을 구동하기 위한 제1 출력 단자(GOUT), 제2 출력 단자(SOUT), 입력 단자(IN), 제어 단자(CT), 클록 입력 단자(CK), 접지 전압 단자(VSS), 구동 전압 단자(VDD)를 가진다.

스테이지(21)는 각각의 게이트선과 연결되고, 제2 출력 단자(SOUT)가 다음 스테이지의 입력 단자(IN)에 연결됨과 동시에 이전 스테이지의 제어 단자(CT)에 연결됨으로써 종속적으로 연결되어 모든 게이트 선을 구동한다.

이때, 상기 액정 표시 장치에서 동화상을 부드럽게 표시하기 위해서는 상기 게이트 선은 1초에 60번 이상 구동되어야 하는데, 상기와 같은 구성의 쉬프트 레지스터는 그 동작 속도가 느리기 때문에, 약 400 선 이상의 게이트 선을 구동하는 것은 어렵다는 문제점이 있다.

또한, 일반적으로 자연색을 표시하기 위한 액정 표시 장치에서는 적색(R), 녹색(G), 청색(B)의 색을 표시하는 서브 화소를 가로 방향으로 배치하는데, 이때에는 하나의 색을 표시하는 액정 표시 장치에 비해서 3배의 데이터 선이 필요하고, 그에 따라 소스 구동 회로부의 제조 단가가 높아지는 문제가 생긴다.

따라서, 최근에는 소스 구동 회로부를 제조 단가를 줄이기 위해, 도 2와 같이 적색(R), 녹색(G), 청색(B)의 색을 표시하는 서브 화소로 이루어진 주화소(110)를 세로 방향으로 배치하는 트리플 게이트 구조의 액정 표시 패널이 개발되었다.

그러나, 이러한 트리플 게이트 구조의 액정 표시 패널에서는 3배의 게이트 선을 구동해야 하기 때문에, 쉬프트 레지스터를 이용한 게이트 구동이 어렵다는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 특히 각각 복수개의 스테이지를 구비하는 복수개의 쉬프트 레지스터를 이용하여 게이트를 구동하는 게이트 구동 회로 및 이를 포함하는 액정 표시 장치를 제공함을 그 목적으로 한다.

### 발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 복수의 게이트선에 구동 신호를 출력하는 게이트 구동 회로에 있어서, p(여기서 p는 3 이상의 자연수)개의 그룹으로 나뉘는 게이트선을 그룹별로 구동하는 p개의 쉬프트 레지스터를 포함하고,

각각의 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 스테이지를 포함하며, 상기 각각의 쉬프트 레지스터에서 첫 번째 스테이지의 입력 단자에는 개시 신호가 입력되고, 각 스테이지들의 출력 신호는 다음 스테이지의 입력 단자에 연결되어, 상기 각 스테이지들의 출력 신호에 의해 상기 복수의 게이트선을 순차적으로 선택하는 것을 특징으로 하는 게이트 구동 회로가 제공된다.

상기 p개의 쉬프트 레지스터에 사용되는 p개의 개시 신호는 각각 p분의 1만큼 쉬프트된 것을 특징으로 한다.

상기 각 스테이지는, 이전 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 입력 단자; 위상이 다른 복수의 클록 신호 중 어느 하나의 클록 신호를 수신하는 클록 단자; 다음 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 제어 단자; 상기 클록 단자로 수신된 상기 클록 신호를 상기 게이트 구동 신호로써 출력하는 제1 출력 단자; 및 상기 클록 단자로 수신된 상기 클록 신호를 스테이지 구동 신호로써 출력하는 제2 출력 단자를 포함하는 것을 특징으로 한다.

상기 p는 자연수 4이며, 상기 게이트 선은  $4n-3$ ,  $4n-2$ ,  $4n-1$ ,  $4n$ (여기서 n은 1 이상의 자연수)의 순서대로 나뉘어 그룹화 되는 것을 특징으로 한다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 복수의 게이트선, 상기 게이트선과 교차하는 복수의 데이터선, 상기 게이트선과 데이터선 사이에 형성된 스위칭 소자 및 화소 전극을 포함하는 액정 표시 패널; 게이트선을 선택하여 이와 연결된 스위칭 소자를 도통시키는 게이트 구동 회로부; 및 상기 스위칭 소자의 도통에 의해 화소 전극과 연결된 데이터선을 입력된 화상 데이터에 대응하여 구동하는 데이터 구동 회로부를 포함하되,

상기 게이트 구동 회로부는 p(여기서 p는 3 이상의 자연수)개의 그룹으로 나뉜 게이트선을 그룹별로 구동하는 p개의 쉬프트 레지스터를 포함하고, 각각의 쉬프트 레지스터는 서로 종속적으로 연결된 복수의 스테이지를 포함하며, 상기 각각의 쉬프트 레지스터에서 첫 번째 스테이지의 입력 단자에는 개시 신호가 입력되고, 각 스테이지들의 출력 신호는 다음 스테이지의 입력 단자에 연결되어, 상기 각 스테이지들의 출력 신호에 의해 상기 복수의 게이트선을 순차적으로 선택하는 것을 특징으로 하는 액정 표시 장치가 제공된다.

상기 p개의 쉬프트 레지스터에 사용되는 p개의 개시 신호는 각각 p분의 1만큼 쉬프트된 것을 특징으로 한다.

상기 각 스테이지는, 이전 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 입력 단자; 위상이 다른 복수의 클록 신호 중 어느 하나의 클록 신호를 수신하는 클록 단자; 다음 스테이지들 중 어느 하나의 스테이지로부터 출력된 스테이지 구동 신호를 수신하는 제어 단자; 상기 클록 단자로 수신된 상기 클록 신호를 상기 게이트 구동 신호로써 출력하는 제1 출력 단자; 및 상기 클록 단자로 수신된 상기 클록 신호를 스테이지 구동 신호로써 출력하는 제2 출력 단자를 포함하는 것을 특징으로 한다.

상기 p는 자연수 4이며, 상기 게이트 선은  $4n-3$ ,  $4n-2$ ,  $4n-1$ ,  $4n$ (여기서 n은 1 이상의 자연수)의 순서대로 나뉘어 그룹화 되는 것을 특징으로 한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예에 대하여 상세하게 설명한다.

도 3은 본 발명의 실시예에 따른 액정 표시 장치의 개략도이다.

도 3에 도시된 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 패널(100), 게이트 구동 회로부(200), 소스 구동 회로부(300), 게이트 구동 전압 발생부(400), 타이밍 제어부(500) 및 계조 전압 발생부(600)를 포함한다.

액정 표시 패널(100)은 열방향으로 형성된 복수의 게이트선( $G1, G2, \dots, G4n$ ) 및 행방향으로 형성된 복수의 데이터선( $D1, D2, \dots, Dm$ )과, 상기 게이트선과 데이터선이 교차하는 부분에 형성되어 각각 상기 게이트선과 데이터선에 연결된 복수의 박막 트랜지스터(TFT) 및 화소 전극을 포함한다. 여기서, n 및 m은 1 이상의 자연수이다.

상기 액정 표시 패널(100)은, 게이트 구동 회로부(200)가 게이트선에 소정의 전압을 인가시키면, 박막 트랜지스터의 양단에 연결된 데이터선과 화소 전극이 전기적으로 연결되고, 이때 소스 구동 회로부(300)가 데이터선을 통하여 화소 전극에 소정의 데이터 전압을 인가시킴으로써 구동된다.

타이밍 제어부(500)는 LCD 모듈 외부의 그래픽 제어부(도시하지 않음)로부터 적색(R), 녹색(G), 청색(B) 데이터 신호, 프레임 구별 신호인 수직 동기 신호(Vsync), 수평 동기 신호(Hsync) 및 메인 클록 신호(CLK)를 수신하여 게이트 구동 회로부(200) 및 소스 구동 회로부(300)를 구동하기 위한 디지털 신호를 생성, 출력한다.

타이밍 제어부(500)에서 게이트 구동 회로부(200)로 출력하는 타이밍 신호에는, 게이트선에 게이트 신호의 인가 시작을 명령하는 수직 시작 신호(이하 'Vstart 신호'라 함), 이 게이트 신호를 각각의 게이트선에 순차적으로 인가하기 위한 게이트 클록 신호(이하 'CPV 신호'라 함), 및 게이트 구동 회로부(200)의 출력을 인에이블(enable)시키는 게이트 온 인에이블 신호(이하 'OE 신호'라 함) 등의 제어 신호가 있다.

타이밍 제어부(500)에서 소스 구동 회로부(300)로 출력하는 타이밍 신호에는, 그래픽 제어부로부터 수신한 R, G, B 데이터 신호의 구동 시작을 명령하는 수평 시작 신호(Hstart), 소스 구동 회로부(300) 내에서 아날로그로 변환된 데이터 신호의 인가를 명령하는 신호(LOAD) 및 소스 구동 회로부(300) 내의 데이터 시프트를 하기 위한 수평 클록 신호(HCLK) 등의 제어 신호가 있다.

게이트 구동 전압 발생부(400)는 게이트 신호로서 사용되는 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)과, TFT 내에서 데이터 전압의 기준이 되는 공통 전압(Vcom)을 게이트 구동 회로부(200)로 출력한다.

이 때, 게이트 구동 회로부(200)는 타이밍 제어부(500)로부터 CPV 신호와 Vstart 신호를 수신하고, 게이트 구동 전압 발생부(400)로부터 전압(Von, Voff, Vcom)을 수신하여, 액정 표시 패널(100) 상의 각 화소에 인가될 전압이 해당 화소에 전달되도록 해당 TFT를 제어한다.

본 발명의 실시예에 따른 게이트 구동 회로부(200)는 복수의 스테이지를 구비하는 제1 내지 제4 쉬프트 레지스터를 이용하여 게이트 온 전압(Von)을 게이트선(G1, G2, ..., G4n)에 순차적으로 인가하여 액정 표시 패널(100)의 박막 트랜지스터를 온 오프시킨다.

여기서, 제1 쉬프트 레지스터는 4n-3 번째의 게이트 선(G1, G5, ..., G4n-3)을 구동하고, 제2 쉬프트 레지스터는 4n-2 번째의 게이트 선(G2, G6, ..., G4n-2)을 구동하고, 제3 쉬프트 레지스터는 4n-1 번째의 게이트 선(G3, G7, ..., G4n-1)을 구동하며, 제4 쉬프트 레지스터는 4n 번째의 게이트 선(G4, G8, ..., G4n)을 구동한다. 즉, 본 발명의 실시예에 따른 게이트 구동 회로부는, 게이트선을 4개의 그룹으로 나누고, 4개의 쉬프트 레지스터를 이용하여 게이트 선(G1, G2, ..., G4n)을 구동한다.

계조 전압 발생부(600)는 그래픽 제어부로부터 수신한 RGB 데이터의 비트 수에 따라, 등분된 계조 전압을 발생시켜 소스 구동 회로부(300)에 전송한다.

소스 구동 회로부(300)는 상기 게이트 구동 회로부(200)의 구동에 동기하여, 타이밍 제어부(500)에서 출력하는 신호에 따라 데이터 전압을 모든 데이터선(D1, D2, ..., Dm)에 인가한다.

도 4는 도 3에 도시된 액정 표시 패널의 게이트 구동 회로부를 구성하는 제1 내지 제4 쉬프트 레지스터를 나타낸 블록도이며, 도 5는 도 4에서의 파형도이다.

도 4를 참조하면, 상기 게이트 구동 회로부는 복수의 제1스테이지(210, SRC1)가 종속 연결된 제1 쉬프트 레지스터, 복수의 제2스테이지(220, SRC2)가 종속 연결된 제1 쉬프트 레지스터, 복수의 제3스테이지(230, SRC3)가 종속 연결된 제3 쉬프트 레지스터 및 복수의 제4스테이지(240, SRC1)로 이루어진 제4 쉬프트 레지스터를 포함한다.

여기서, 제1스테이지는 4n-3 번째의 게이트 선(G1, G5, ..., G4n-3)과 연결되고, 제2스테이지는 4n-2 번째의 게이트 선(G2, G6, ..., G4n-2)과 연결되고, 제3스테이지는 4n-1 번째의 게이트 선(G3, G7, ..., G4n-1)과 연결되며, 제4스테이지는 4n 번째의 게이트 선(G4, G8, ..., G4n)과 연결된다.

상기의 각 스테이지는 각각 입력 단자(IN), 제1 출력 단자(GOUT), 제2 출력 단자(SOUT), 제어 단자(CT), 클록 입력 단자(CK), 접지 전압 단자(VSS), 구동 전압 단자(VDD)를 구비한다.

상기 제1 내지 제4 쉬프트 레지스터에 포함된 첫 번째 스테이지의 입력 단자에는 개시 신호가 입력되고, 각 스테이지의 제2 출력 단자(SOUT)는 각각 해당 쉬프트 레지스터의 다음 스테이지의 입력 단자(IN)에 연결됨과 동시에 이전 스테이지의 제어 단자(CT)에 연결됨으로써 종속적으로 연결된다.

제1 스테이지(210) 중에서 첫 번째 스테이지의 입력 단자(IN)에는 제1 개시신호(STV\_1)가 입력된다. 각 스테이지의 제1 출력 신호(GOUT)는 대응되는 각 게이트 선(G1, G5, ..., G4n-3)에 연결된다. 여기서, 홀수번째 스테이지들에는 제1 클록 신호(CKV\_1)가 제공되고, 짝수번째 스테이지들에는 제1 반전 클록 신호(CKVB\_1)가 제공된다. 이때, 제1 클록 신호(CKV\_1)와 제1 반전 클록 신호(CKVB\_1)는 서로 반대되는 위상을 갖는다.

제2 스테이지(220) 중에서 첫 번째 스테이지의 입력 단자(IN)에는 제2 개시신호(STV\_2)가 입력된다. 각 스테이지의 제1 출력 신호(GOUT)는 대응되는 각 게이트 선(G2, G6, ..., G4n-2)에 연결된다. 여기서, 홀수번째 스테이지들에는 제2 클록 신호(CKV\_2)가 제공되고, 짝수번째 스테이지들에는 제2 반전 클록 신호(CKVB\_2)가 제공된다. 이때, 제2 클록 신호(CKV\_2)와 제2 반전 클록 신호(CKVB\_2)는 서로 반대되는 위상을 갖는다.

제3 스테이지(230) 중에서 첫 번째 스테이지의 입력 단자(IN)에는 제3 개시신호(STV\_3)가 입력된다. 각 스테이지의 제1 출력 신호(GOUT)는 대응되는 각 게이트 선(G3, G7, ..., G4n-1)에 연결된다. 여기서, 홀수번째 스테이지들에는 제3 클록 신호(CKV\_3)가 제공되고, 짝수번째 스테이지들에는 제3 반전 클록 신호(CKVB\_3)가 제공된다. 이때, 제3 클록 신호(CKV\_3)와 제3 반전 클록 신호(CKVB\_3)는 서로 반대되는 위상을 갖는다.

제4 스테이지(240) 중에서 첫 번째 스테이지의 입력 단자(IN)에는 제4 개시신호(STV\_4)가 입력된다. 각 스테이지의 제1 출력 신호(GOUT)는 대응되는 각 게이트 선(G4, G8, ..., G4n)에 연결된다. 여기서, 홀수번째 스테이지들에는 제4 클록 신호(CKV\_4)가 제공되고, 짝수번째 스테이지들에는 제4 반전 클록 신호(CKVB\_4)가 제공된다. 이때, 제4 클록 신호(CKV\_4)와 제4 반전 클록 신호(CKVB\_4)는 서로 반대되는 위상을 갖는다.

도 5를 참조하면, 본 발명의 실시예에 따른 제1 내지 제4 스테이지에서 사용하는 제1 내지 제4 개시 신호는, 하나의 개시 신호에서 각각 4분의 1의 길이만큼 쉬프트된 신호이다. 즉, 제2 개시 신호는 제1 개시 신호가 4분의 1의 길이만큼 쉬프트된 신호이며, 제3 개시 신호는 제2 개시 신호가 4분의 1의 길이만큼 쉬프트된 신호이며, 제4 개시 신호는 제3 개시 신호가 4분의 1의 길이만큼 쉬프트된 신호이다.

상기 제1 내지 제4 클록 신호와, 제1 내지 제4 반전 클록 신호도, 상기 제1 내지 제4 개시 신호와 마찬가지로 각각의 신호에서 4분의 1의 길이만큼 쉬프트된 신호이다. 따라서, 제1 내지 제4 쉬프트 레지스터에서 출력되는 신호도 마찬가지로 각각의 신호에서 4분의 1의 길이만큼 쉬프트된다.

각 스테이지의 제어 단자(CT)에는 다음 스테이지의 출력 신호가 제어 신호로 입력된다. 즉, 제어 단자(CT)에 입력되는 제어 신호는 이전 스테이지의 출력 신호를 로우 상태로 다운시키기 위해 사용된다.

따라서, 각 스테이지의 출력 신호들이 순차적으로 하이 상태를 가짐으로써, 각 출력 신호의 하이 상태에서 대응되는 각 게이트 선(G1~G4n)이 순차적으로 선택된다.

본 발명의 실시예에 따른 게이트 구동 회로부는, 도 5를 참조하면 알 수 있듯이, 제1 게이트 선(G1)에서 제8 게이트 선(G8)에 출력되는 게이트 신호는 각각의 신호에서 4분의 1의 길이만큼 쉬프트되어 출력된다.

따라서, 이와 같은 게이트 구동 회로부를 사용하면, 하나의 쉬프트 레지스터를 사용하는 것과 비교하여 구동할 수 있는 게이트 선의 개수가 4배가 된다.

또한, 본 발명의 실시예에 따른 게이트 구동 회로부에서는 4개의 쉬프트 레지스터를 사용하는 것에 대해서 설명했지만, p개(여기서, p는 3 이상의 자연수) 이상의 쉬프트 레지스터를 사용하여 게이트 선을 p개 이상의 그룹으로 나누고, p분의 1만큼 쉬프트된 신호를 사용하여 p배의 게이트 선을 구동할 수 있다.

이하, 상기 쉬프트 레지스터를 구성하는 각 스테이지의 구조에 대해서 설명한다. 단, 상기 각 스테이지의 구조는 거의 동일하므로, 하나의 스테이지를 예로써 설명함으로써 모든 스테이지의 설명을 대신한다.

도 6은 쉬프트 레지스터에 포함된 각 스테이지의 내부 회로도이다.

도 6을 참조하면, 각각의 스테이지는 제1 풀업부(251), 제2 풀업부(252), 제1 풀다운부(253), 제2 풀다운부(254), 풀업 구동부(255) 및 풀다운 구동부(256)를 포함한다.

상기 제1 풀업부(251)는 클록 단자(CK)로 제공되는 클록 신호 및 반전 클록 신호 중 하나를 게이트 구동 신호로써 제1 출력 단자(GOUT)로 출력한다. 상기 제2 풀업부(252)는 상기 클록 단자(CK)로 제공되는 클록 단자(CK)로 제공되는 클록 신호 및 반전 클록 신호 중 하나를 게이트 구동 신호로써 제2 출력 단자(SOUT)로 출력한다.

상기 제1 풀업부(251)는 게이트 전극이 제1 노드(N1)에 연결되고, 소스 전극이 상기 클록 단자(CK)에 연결되며, 드레인 전극이 상기 제1 출력 단자(GOUT)에 연결된 제1 트랜지스터(NT1)로 이루어진다. 상기 제2 풀업부(252)는 게이트 전극이 제1 노드(N1)에 연결되고, 소스 전극이 상기 클록 단자(CK)에 연결되면, 드레인 전극이 상기 제2 출력 단자(SOUT)에 연결된 제2 트랜지스터(NT2)로 이루어진다.

상기 제1 풀다운부(253)는 제1 풀업부(251)가 턴-오프된 이후에 턴-온되어 상기 제1 출력 단자(GOUT)로부터 출력되는 게이트 구동 신호를 방전시키고, 상기 제2 풀다운부(254)는 상기 제2 풀업부(252)가 턴-오프된 이후에 턴-온되어 상기 제2 출력 단자(SOUT)로부터 출력되는 상기 스테이지 구동 신호를 방전시킨다.

상기 제1 풀다운부(253)는 게이트 전극이 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제1 출력 단자(GOUT)에 연결되며, 소스 전극이 접지 전압 단자(VSS)에 연결된 제3 트랜지스터(NT3)로 이루어진다. 상기 제2 풀다운부(254)는 게이트 전극이 상기 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제2 출력 단자(SOUT)에 연결되면, 소스 전극이 상기 접지 전압 단자(VSS)에 연결된 제4 트랜지스터(NT4)로 이루어진다.

상기 풀업 구동부(255)는 제5 내지 제7 트랜지스터(NT5, NT6, NT7)로 이루어져 상기 제1 및 제2 풀업부(251, 252)를 턴-온시킨다.

상기 제5 트랜지스터(NT5)는 게이트 전극이 상기 입력 단자(IN)에 연결되고, 드레인 전극이 구동 전압 단자(VDD)에 연결되며, 소스 전극이 제1 노드(N1)에 연결된다. 상기 제6 트랜지스터(NT6)는 상기 게이트 전극과 드레인 전극이 상기 구동 전압 단자(VDD)에 연결되고, 소스 전극이 제3 노드(N3)에 연결된다. 상기 제7 트랜지스터(NT7)는 게이트 전극이 상기 제1 노드(N1)에 연결되고, 드레인 전극이 제3 노드(N3)에 연결되며, 소스 전극이 접지 전압 단자(VSS)에 연결된다.

상기 풀다운 구동부(256)는 제8 및 제12 트랜지스터(NT8, NT9, NT10, NT11, NT12)로 이루어져 상기 제1 및 제2 풀업부(251, 252)를 턴-오프시키면서 상기 제1 및 제2 풀다운부(253, 254)를 턴-온시킨다.

상기 제8 트랜지스터(NT8)는 게이트 전극이 상기 제3 노드(N3)에 연결되고, 드레인 전극이 상기 구동 전압 단자(VDD)에 연결되며, 소스 전극이 상기 제2 노드(N2)에 연결된다. 상기 제9 트랜지스터(NT9)는 게이트 전극이 상기 제1 노드(N1)에 연결되고, 드레인 전극이 상기 제2 노드(N2)에 연결되며, 소스 전극이 상기 접지 전압 단자(VSS)에 연결된다. 상기 제10 트랜지스터(NT10)는 게이트 전극이 상기 입력 단자(IN)에 연결되고, 드레인 전극이 상기 제2 노드(N2)에 연결되며, 소스 전극이 상기 접지 전압 단자(VSS)에 연결된다.

상기 제11 트랜지스터(NT11)는 게이트 전극이 상기 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제1 노드(N1)에 연결되며, 소스 전극이 상기 접지 전압 단자(VSS)에 연결된다. 상기 제12 트랜지스터(NT12)는 게이트 전극이 상기 제어단자(CT)에 연결되고, 드레인 전극이 상기 제1 노드(N1)에 연결되며, 소스 전극이 상기 접지 전압 단자(VSS)에 연결된다.

상기 입력 단자(IN)로 이전 스테이지의 제2 출력 단자(SOUT)로부터 출력된 스테이지 구동 신호가 제공되면, 상기 제5 트랜지스터(NT5)가 턴-온되어 상기 제1 노드(N1)의 전위가 점차 상승된다. 상기 제1 노드(N1)의 전위가 상승됨에 따라 상기 제1 및 제2 트랜지스터(NT1, NT2)가 턴-온되어 상기 제1 및 제2 출력 단자(GOUT, SOUT)에는 게이트 구동 신호 및 스테이지 구동 신호가 각각 출력된다.

한편, 상기 제6 트랜지스터(NT6)는 항상 턴-온 상태를 유지하고 있는 상태에서, 상기 제1 노드(N1)의 전위가 상승됨에 따라 상기 제7 트랜지스터(NT7)가 턴-온되면, 상기 제3 노드(N3)의 전위가 하강된다.

상기 제3 노드(N3)의 전위가 하강함으로써 상기 제8 트랜지스터(NT8)는 턴-오프 상태를 유지한다. 따라서, 상기 제2 노드(N2)에는 상기 구동전압(VDD)이 제공되지 못한다. 또한, 상기 제9 트랜지스터(NT9)는 상기 제1 노드(N1)의 전위가 상승할 때 턴-온되어 상기 제2 노드(N2)의 전위를 상기 접지전압(VSS)으로 유지시킴으로써, 상기 제3 및 제4 트랜지스터(NT3, NT4)를 턴-오프시킨다.

이후, 상기 제어단자(CT)를 통해 다음단 스테이지의 제2 출력 단자(SOUT)로부터 출력된 스테이지 구동 신호가 제공되면, 상기 제12 트랜지스터(NT12)가 턴-온되면서 상기 제1 노드(N1)의 전위를 상기 접지전압(VSS)으로 방전시킨다. 상기 제1 노드(N1)의 전위가 하강함에 따라 상기 제7 및 제9 트랜지스터(NT7, NT9)가 턴-오프된다.

따라서, 상기 제2 노드(N2)의 전위가 점차 상승되고, 그에 따라서 상기 제3 및 제4 트랜지스터(NT3, NT4)가 턴-온되어 상기 제1 및 제2 출력 단자(GOUT, SOUT)로부터 출력된 상기 게이트 구동 신호를 상기 접지전압(VSS)으로 방전시킨다.

이때, 상기 제10 및 제11 트랜지스터(NT10, NT11)는 상기 제2 노드(N2)의 전위가 상승됨에 따라 턴-온됨으로써, 상기 제1 노드(N1)의 전위를 빠르게 방전시킨다. 이러한 과정을 반복하면서, 상기 각 스테이지는 소정의 구간동안 하이 상태를 유지하는 게이트 구동 신호 및 스테이지 구동 신호를 출력한다.

본 발명의 권리 범위는 앞에서 설명한 각 실시예에 한정되는 것이 아니라, 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자에 의한 모든 변경 및 개량도 본 발명의 권리 범위에 속한다.

### 발명의 효과

상술한 바와 같이, 본 발명의 실시예에 따른 게이트 구동 회로는 p개(여기서, p는 3 이상의 자연수) 이상의 쉬프트 레지스터를 사용하여 게이트 선을 p개 이상의 그룹으로 나누고, p분의 1만큼 쉬프트된 신호를 사용하여 p배의 게이트 선을 구동할 수 있다. 따라서, 저가의 쉬프트 레지스터를 이용하여 많은 수의 게이트 선을 구동할 수 있으므로 고해상도의 액정 표시 장치를 저렴하게 제조할 수 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 게이트 액정 표시 패널의 구동 회로를 구성하는 쉬프트 레지스터를 나타낸 블록도이다.

도 2는 종래 기술에 따른 트리플 게이트 구조를 가지는 액정 표시 패널의 장치의 개략도이다.

도 3은 본 발명의 실시예에 따른 액정 표시 장치의 개략도이다.

도 4는 본 발명의 실시예에 따른 액정 표시 패널의 구동 회로를 구성하는 쉬프트 레지스터를 나타낸 블록도이다.

도 5는 도 4에 도시된 쉬프트 레지스터와 게이트선에 인가되는 전압의 파형도이다.

도 6은 도 4에 도시된 쉬프트 레지스터 각 스테이지의 내부 회로를 나타낸 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 액정 표시 패널 200: 게이트 구동 회로부

210: 제1스테이지 220: 제2스테이지

230: 제3스테이지 240: 제4스테이지

211a: 풀업부 211b: 풀다운부

211c: 풀업 구동부 211d: 풀다운 구동부

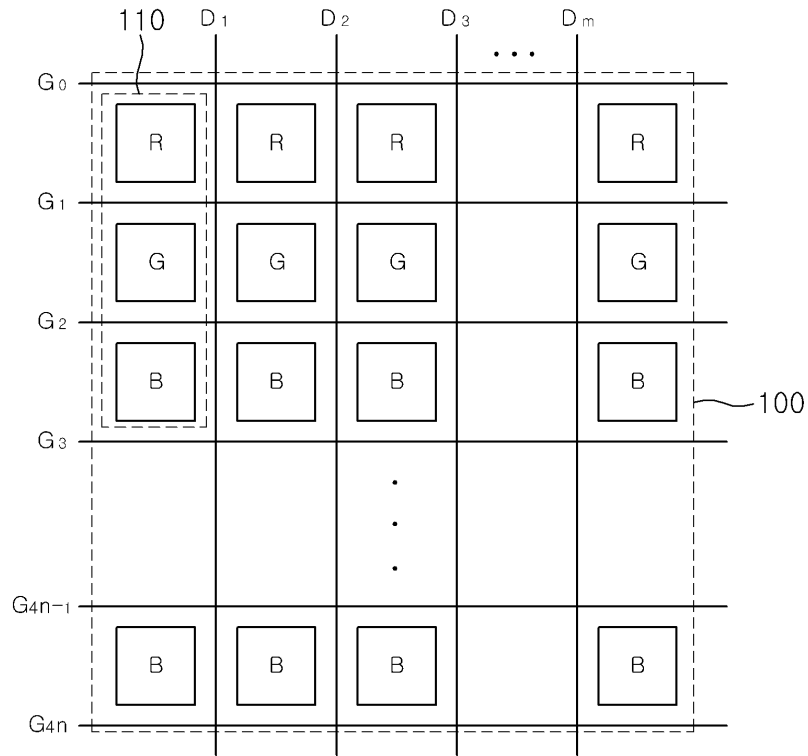
300: 소스 구동 회로부 400: 게이트 구동 전압 발생부

500: 타이밍 제어부 600: 계조 전압 발생부

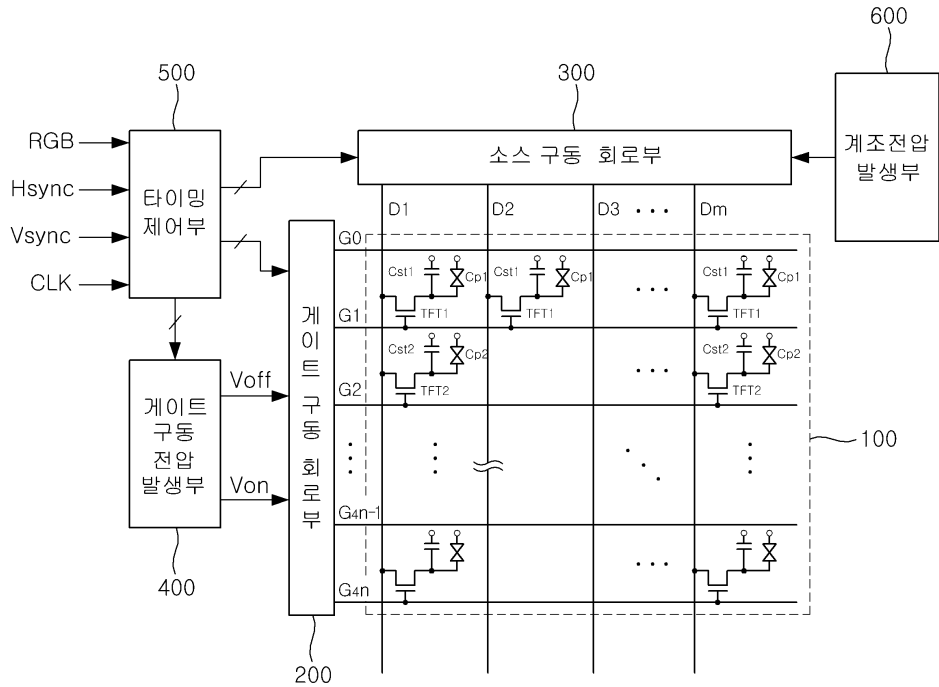
### 도면



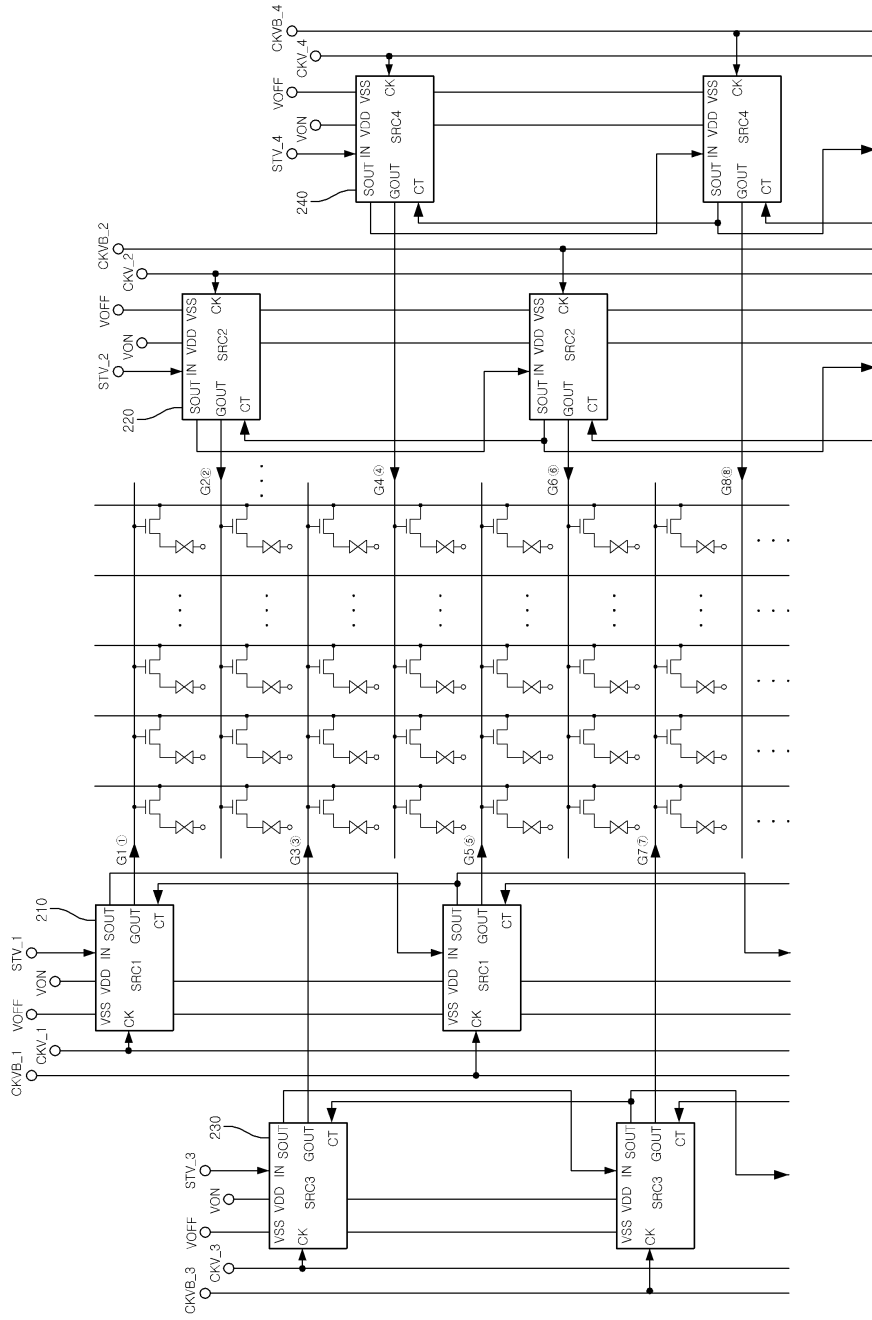
도면2



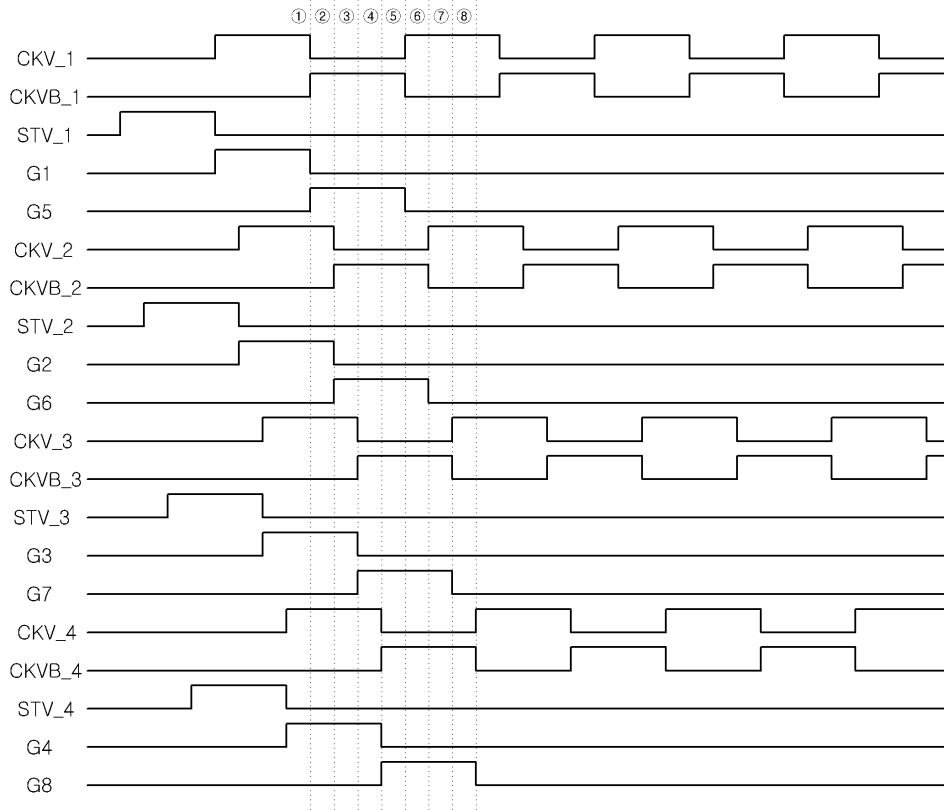
도면3



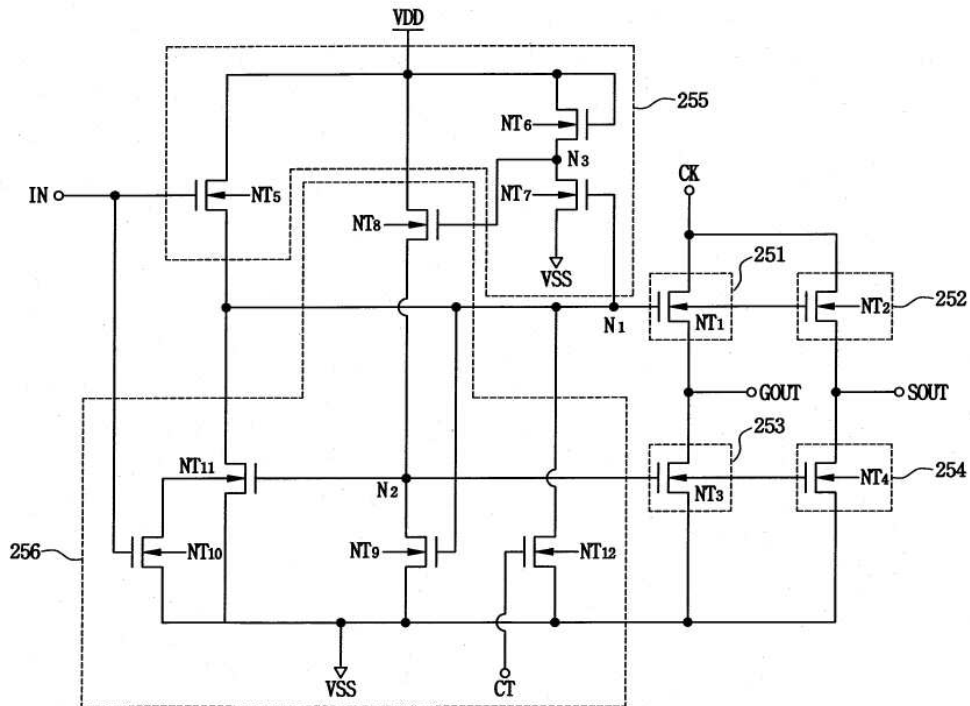
도면4



도면5



도면6



专利名称(译)	栅极驱动电路和包括其的液晶显示装置		
公开(公告)号	<a href="#">KR1020070042334A</a>	公开(公告)日	2007-04-23
申请号	KR1020050098144	申请日	2005-10-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE HYUN		
发明人	LEE HYUN		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2300/0408 G09G3/3677		
其他公开文献	KR101167663B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供栅极驱动电路和具有该栅极驱动电路的液晶显示装置，以通过使用偏移  $1/p$  的信号通过低成本移位寄存器驱动栅极线。

