



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0130328
(43) 공개일자 2006년12월19일

(21) 출원번호 10-2005-0050945
(22) 출원일자 2005년06월14일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 조혁력
인천 남동구 만수동 만수주공8단지 805동 1109호
김 빈
서울 양천구 목5동 목동4단지아파트 408동 2003호

(74) 대리인 김영호

전체 청구항 수 : 총 9 항

(54) 쉬프트 레지스터와 이를 이용한 액정표시장치

(57) 요약

본 발명은 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것으로, 특히 화질특성을 향상 시킬 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

이 쉬프트 레지스터는 멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부 및 고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를 구비한다.

대표도

도 11

특허청구의 범위

청구항 1.

멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부와;

고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 출력부는 제1 노드 상의 전압에 응답하여 상기 제1 클럭신호를 상기 출력노드에 공급하는 제1 트랜지스터와;

제2 노드 상의 전압에 응답하여 상기 출력노드를 방전시키는 제2 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제 2 항에 있어서,

상기 제어부는 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 상기 제1 노드에 공급하는 제3 트랜지스터와;

상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터와;

상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 제2 노드를 방전시키는 제5 트랜지스터와;

상기 제2 노드의 전압에 응답하여 상기 제1 노드를 방전시키는 제6 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부 및 고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를 포함하는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 멀티-스텝의 스캔펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 출력부는 제1 노드 상의 전압에 응답하여 상기 제1 클럭신호를 상기 출력노드에 공급하는 제1 트랜지스터와;

제2 노드 상의 전압에 응답하여 상기 출력노드를 방전시키는 제2 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 제어부는 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 상기 제1 노드에 공급하는 제3 트랜지스터와;

상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터와;

상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 제2 노드를 방전시키는 제5 트랜지스터와;

상기 제2 노드의 전압에 응답하여 상기 제1 노드를 방전시키는 제6 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부 및 고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를 포함하는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 멀티-스텝의 스캔펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하고,

상기 게이트 구동회로는 상기 액정표시패널의 하부기관에 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 출력부는 제1 노드 상의 전압에 응답하여 상기 제1 클럭신호를 상기 출력노드에 공급하는 제1 트랜지스터와;

제2 노드 상의 전압에 응답하여 상기 출력노드를 방전시키는 제2 트랜지스터를 구비하는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 9.

제 8 항에 있어서,

상기 제어부는 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 상기 제1 노드에 공급하는 제3 트랜지스터와;

상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터와;

상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 제2 노드를 방전시키는 제5 트랜지스터와;

상기 제2 노드의 전압에 응답하여 상기 제1 노드를 방전시키는 제6 트랜지스터를 구비하는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것으로, 특히 화질특성을 향상시킬 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다.

도 1은 액티브 매트릭스 타입 액정표시장치와 그 구동신호를 나타낸 것이다.

도 1을 참조하면, 액티브 매트릭스 타입 액정표시장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막트랜지스터(Thin Film Transister : 이하 TFT라 한다)가 형성된 액정표시패널(13)과, 액정표시패널(13)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(11)와, 게이트라인들(G1 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(12)를 구비한다.

액정표시패널(13)은 두 장의 유리기판 사이에 액정분자들이 주입된다. 이 액정표시패널(13)의 하부 유리기판 상에 형성된 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)은 상호 직교된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되며, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 TFT의 소스전극은 액정셀(Clc)의 화소전극에 접속된다. 액정표시패널(13)의 상부 유리기판 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(13)의 상부 유리기판과 하부 유리기판 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정표시패널(13)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(11)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(11)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.

게이트 구동회로(12)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(12)는 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정표시패널(13)의 수평라인을 선택한다.

도 2 내지 도 4는 게이트 구동회로(11)의 쉬프트 레지스터 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 2의 쉬프트 레지스터는 종속적으로 접속된 n 개의 스테이지들(S_1 내지 S_n)을 구비한다. 스테이지들(S_1 내지 S_n)과 게이트라인들($G1$ 내지 Gn) 사이에는 도시하지 않은 레벨 쉬프트와 출력버퍼가 설치된다.

이러한 쉬프트 레지스터에서 제1 스테이지(S_1)에는 스타트펄스(V_{st})가 입력되고 제2 내지 제 n 스테이지들(S_2 내지 S_n)에는 스타트펄스로서 이전 단계의 출력신호(V_{g_1} 내지 V_{g_n-1})가 입력된다. 또한, 각 스테이지(S_1 내지 S_n)는 동일한 회로구성을 가지며 4 개의 클럭신호($C1$ 내지 $C4$) 중 두 개의 클럭신호에 응답하여 스타트펄스(V_{st}) 또는 이전 단계의 출력신호(V_{g_1} 내지 V_{g_n-1})를 쉬프트시킴으로써 1 수평기간의 펄스폭을 가지는 스캔펄스를 발생한다.

도 3은 도 2에 도시된 쉬프트 레지스터에서 제 i 스테이지(S_i ; 단, i 는 n 보다 작거나 같은 양의 정수)중 $4j+1$ 번째(단, $j=0, 1, 2, \dots$) 스테이지의 회로 구성을 나타낸 것으로서, 이 $4j+1$ 스테이지(S_{4j+1})는 출력노드(NO_i)에 하이논리의 전압신호를 공급하기 위한 제6 트랜지스터($T6$)와, 출력노드(NO_i)에 로우논리의 전압신호를 공급하기 위한 제7 트랜지스터($T7$)를 구비한다. 이 스테이지(S_{4j+1})의 동작에 대하여 도 4를 결부하여 상세히 설명하기로 한다.

도 3 및 도 4를 참조하면, 제1 및 제2 클럭신호($C1, C2$)가 로우논리전압을 유지하는 $t1$ 기간 동안 스타트펄스(V_{st}) 또는 이전 스테이지의 출력신호(V_{g_i-1})가 하이논리전압으로 제1 및 제5 트랜지스터($T1, T5$)의 게이트전극에 공급되어 제1 및 제5 트랜지스터($T1, T5$)를 턴-온시킨다. 이 때 제1 노드(Q) 상의 전압(V_Q)이 중간전압(V_m)으로 상승하면서 제6 트랜지스터($T6$)를 턴-온시키지만 출력노드(NO_i)의 전압(V_{g_i})은 제1 클럭신호($C1$)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 제5 트랜지스터($T5$)의 턴-온에 의해 제2 노드(QB) 상의 전압이 낮아지면서 제3 트랜지스터($T3$)와 제7 트랜지스터($T7$)는 턴-오프되어 제1 노드(Q)의 방전 경로를 차단한다.

$t2$ 기간 동안, 제1 클럭신호($C1$)는 하이논리전압으로 반전되는 반면에 스타트펄스(V_{st}) 또는 이전 단계의 출력신호(V_{g_i-1})가 로우논리전압으로 반전된다. 이 때 제1 트랜지스터($T1$)와 제5 트랜지스터($T5$)는 턴-오프(Turn-off)되며, 제1 노드(Q) 상의 전압(V_Q)은 제1 클럭신호($C1$)의 하이논리전압이 공급되는 제6 트랜지스터($T6$)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제6 트랜지스터($T6$)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(Q) 상의 전압(V_Q)은 부트스트래핑(Bootstrapping)에 의해 $t1$ 기간보다 더 높은 전압(V_h)으로 상승한다. 따라서, $t2$ 기간 동안 제6 트랜지스터($T6$)는 턴-온되고 출력노드(NO_i)의 전압(V_{g_i})은 제6 트랜지스터($T6$)의 도통에 의해 공급되는 제1 클럭신호($C1$)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

$t3$ 기간 동안 제1 클럭신호($C1$)는 로우논리전압으로 반전되고, 제2 클럭신호($C2$)는 하이논리전압으로 반전된다. 이 때 제2 클럭신호($C2$)는 제4 트랜지스터($T4$)를 경유하여 제2 노드(QB)에 공급되어 제2 노드(QB) 상의 전압(V_{QB})을 상승시킨다. 이렇게 상승하는 제2 노드(QB) 상의 전압(V_{QB})은 제7 트랜지스터($T7$)를 턴-온시켜 출력노드(NO_i) 상의 전압(V_{g_i})을 기저전압(V_{ss})까지 방전시킴과 동시에 제3 트랜지스터($T3$)를 턴-온시켜 제1 노드(Q) 상의 전압(V_Q)을 기저전압(V_{ss})까지 방전시킨다.

$t4$ 기간 동안 제2 클럭신호($C2$)가 로우논리전압으로 반전되면, 제4 트랜지스터($T4$)가 턴-오프된다. 이 때 제2 노드(QB) 상에는 하이논리전압이 플로팅(Floating) 된다. 제2 노드(QB) 상의 하이논리전압은 남은 프레임 기간 동안 유지된다.

한편, 이러한 쉬프트 레지스터에는 다음과 같은 문제점이 있다.

도 5는 액정표시패널(13)에서 액정셀(Clc)을 포함하는 단위화소에 대한 등가회로를 나타낸 도면이다. 도면부호 " C_{gs} "는 TFT의 게이트-소스간 기생용량, " C_{gd} "는 TFT의 게이트-드레인간 기생용량, " C_{ds} "는 TFT의 드레인-소스 간 기생용량, " Clc "는 액정셀 그리고 " C_{st} "는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터를 나타낸다.

도 6은 SVGA 를 기준으로 한 액정표시장치의 구동신호를 나타낸 것으로써, ' V_d '는 데이터 구동회로(11)에 의해 출력되어 데이터라인들($D1$ 내지 D_m)에 공급되는 데이터전압이며, V_d^+ 는 정극성의 데이터전압, V_d^- 는 부극성의 데이터전압을 나타낸다. 그리고, ' V_{lc} '는 액정셀(Clc)에서 충전전되는 데이터전압, ' V_g '는 1 수평주기로 발생하는 스캔펄스, ' V_{com} '은 액정셀들(Clc)의 공통전극에 공급되는 공통전압이다.

도 5 및 6을 참조하면, 구동신호의 데이터전압에는 킥백전압(Kick back voltage) 또는 피드스로우전압(Feed Throw Voltage)에 의한 ΔV 가 발생하며, ΔV 는 잔류 DC(Voffset)에 의한 잔상과, 표시화면의 휘도가 주기적으로 변하는 플리커(Flicker)를 발생시킨다. 이러한 ΔV 는 아래와 같은 수학적식으로 나타낼 수 있으며, 수학적식에서 보는 바와 같이 ΔV 는 게이트 하이전압(V_{gh})과 게이트 로우전압(V_{gl})의 차에 비례함을 알 수 있다.

$$\Delta V = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} (V_{gh} - V_{gl})$$

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 잔상과 플리커를 감소시켜 화질특성을 향상시킬 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 쉬프트 레지스터는 멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부 및 고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를 구비한다.

상기 출력부는 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호(C1)를 상기 출력노드에 공급하는 제1 트랜지스터(T6) 및 제2 노드(QB) 상의 전압에 응답하여 상기 출력노드를 방전시키는 제2 트랜지스터(T7)를 구비한다.

상기 제어부는 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1), 상기 제2 클럭신호(C2)에 응답하여 상기 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4), 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 제2 노드를 방전시키는 제5 트랜지스터(T5) 및 상기 제2 노드의 전압에 응답하여 상기 제1 노드를 방전시키는 제6 트랜지스터(T3)를 구비한다.

본 발명의 실시예에 따른 액정표시장치는 서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널, 멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부 및 고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를 포함하는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 멀티-스텝의 스캔펄스를 순차적으로 공급하는 게이트 구동회로, 상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비한다.

상기 출력부는 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호(C1)를 상기 출력노드에 공급하는 제1 트랜지스터(T6) 및 제2 노드(QB) 상의 전압에 응답하여 상기 출력노드를 방전시키는 제2 트랜지스터(T7)를 구비한다.

상기 제어부는 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1), 상기 제2 클럭신호(C2)에 응답하여 상기 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4), 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 제2 노드를 방전시키는 제5 트랜지스터(T5) 및 상기 제2 노드의 전압에 응답하여 상기 제1 노드를 방전시키는 제6 트랜지스터(T3)를 구비한다.

본 발명의 실시예에 따른 게이트 구동회로 내장형 액정표시장치는 서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널, 멀티-스텝의 제1 클럭신호를 입력받고 제1 제어신호에 응답하여 상기 제1 클럭신호를 출력노드에 공급하여 멀티-스텝의 출력신호를 발생하고, 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부 및 고전위 전원전압과 멀티-스텝의 제2 클럭신호를 입력받고 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 이용하여 상기 제1 제어신호를 발생하고, 상기 제2 클럭신호에 응답하여 상기 고전위 전원전압을 이용하여 상기 제2 제어신호를 발생시키는 제어부를

포함하는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 멀티-스텝의 스캔펄스를 순차적으로 공급하는 게이트 구동회로, 상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하고, 상기 게이트 구동회로는 상기 액정 표시패널의 하부기관에 형성된다.

상기 출력부는 제1 노드(Q) 상의 전압에 응답하여 상기 제1 클럭신호(C1)를 상기 출력노드에 공급하는 제1 트랜지스터(T6) 및 제2 노드(QB) 상의 전압에 응답하여 상기 출력노드를 방전시키는 제2 트랜지스터(T7)를 구비한다.

상기 제어부는 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 고전위 전원전압을 상기 제1 노드에 공급하는 제3 트랜지스터(T1), 상기 제2 클럭신호(C2)에 응답하여 상기 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터(T4), 상기 스타트펄스 및 이전 단 출력신호 중 어느 하나에 응답하여 상기 제2 노드를 방전시키는 제5 트랜지스터(T5) 및 상기 제2 노드의 전압에 응답하여 상기 제1 노드를 방전시키는 제6 트랜지스터(T3)를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

도 7은 본 발명의 실시 예에 따른 액정표시장치를 나타낸 것이다.

도 7을 참조하면, 액티브 매트릭스 타입 액정표시장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막트랜지스터(Thin Film Transister : 이하 TFT라 한다)가 형성된 액정표시패널(103)과, 액정표시패널(103)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(101)와, 게이트라인들(G1 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(102)를 구비한다.

액정표시패널(103)은 두 장의 유리기관 사이에 액정분자들이 주입된다. 이 액정표시패널(103)의 하부 유리기관 상에 형성된 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)은 상호 직교된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되며, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 TFT의 소스전극은 액정셀(Clc)의 화소전극에 접속된다. 액정표시패널(103)의 상부 유리기관 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(103)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정표시패널(13)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(101)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(101)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다. 데이터 드라이브 집적회로는 TCP(Tape Carrer Package)를 이용하여 기관 상에 부착되거나 칩 온 글라스(Chip On Glass ; 이하, "COG"라 한다) 방식 등으로 기관 상에 직접 실장된다.

게이트 구동회로(102)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(102)는 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정표시패널(13)의 수평라인을 선택한다. 이러한 게이트 구동회로의 게이트 드라이브 집적회로들은 도 7에서 보는바와 같이 TCP를 이용하여 기관 상에 부착되거나 도 8에서 보는 바와 같이 액정표시패널(203)에 COG 방식 등으로 기관 상에 직접 실장된다.

도 9 내지 도 11은 게이트 구동회로(102, 202)의 쉬프트 레지스터 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 9의 쉬프트 레지스터는 종속적으로 접속된 n 개의 스테이지들(S_1 내지 S_n)을 구비한다. 스테이지들(S_1 내지 S_n)과 게이트라인들(G1 내지 Gn) 사이에는 도시하지 않은 레벨 쉬프터와 출력버퍼가 설치된다.

이러한 쉬프트 레지스터에서 제1 스테이지(S_1)에는 스타트펄스(V_{st})가 입력되고 제2 내지 제 n 스테이지들(S_2 내지 S_n)에는 스타트펄스로서 이전 단계의 출력신호(V_{g_1} 내지 V_{g_n-1})가 입력된다. 또한, 각 스테이지(S_1 내지 S_n)는 동일한 회로구성을 가지며 이후 설명할 도 11에서 보는 바와 같이 4 개의 멀티-스텝(Multi-Step)의 클럭신호($C1$ 내지 $C4$) 중 두 개의 클럭신호에 응답하여 스타트펄스(V_{st}) 또는 이전 단계의 출력신호(V_{g_1} 내지 V_{g_n-1})를 쉬프트시킴으로써 1 수평기간의 펄스폭을 가지는 멀티-스텝의 스캔펄스를 발생한다. 이와 같이 액정셀(Clc)의 데이터 전압 충전 완료시 게이트 하이 전압(V_{gh})을 미리 낮추어 주는 멀티-스텝의 스캔펄스는 "수학식 1"에서 보는 바와 같이 ΔV 의 값을 감소시킨다. 이러한 ΔV 의 감소는 액정셀(Clc)의 잔류 DC에 의한 잔상 및 플리커(Flicker)를 줄여주게 되어 화질특성을 향상시킨다.

또한, 스토리지 커패시터(C_{st})의 용량을 늘임으로써 ΔV 를 줄이는 방법도 제안될 수 있으나, 이러한 방법은 액정표시패널의 개구율을 감소시키는 단점이 있다. 이에 비하여 본 발명에서와 같이 멀티-스텝 파형의 클럭신호를 인가하여 ΔV 를 감소시키는 방법은 액정표시패널의 개구율을 감소시키지 않으며, 아울러 스토리지 커패시터(C_{st})를 줄일 수 있어 개구율이 향상되는 장점을 가진다.

도 10은 도 9에 도시된 쉬프트 레지스터에서 제 i 스테이지(S_i ; 단, i 는 n 보다 작거나 같은 양의 정수)중 $4j+1$ 번째(단, $j=0, 1, 2, \dots$) 스테이지의 회로 구성을 나타낸 것으로서, 이 $4j+1$ 스테이지(S_{4j+1})는 출력노드(NO_i)에 하이논리의 전압신호를 공급하기 위한 제6 트랜지스터($T6$)와, 출력노드(NO_i)에 로우논리의 전압신호를 공급하기 위한 제7 트랜지스터($T7$)를 구비한다. 이 스테이지(S_{4j+1})의 동작에 대하여 도 11을 결부하여 상세히 설명하기로 한다.

도 10 및 도 11을 참조하면, 제1 및 제2 클럭신호($C1, C2$)가 로우논리전압을 유지하는 $t1$ 기간 동안 스타트펄스(V_{st}) 또는 이전 스테이지의 출력신호(V_{g_i-1})가 하이논리전압으로 제1 및 제5 트랜지스터($T1, T5$)의 게이트전극에 공급되어 제1 및 제5 트랜지스터($T1, T5$)를 턴-온시킨다. 이 때 제1 트랜지스터($T1$)를 경유하여 공급되는 고전위 전원전압(V_{dd})에 의해 제1 노드(Q) 상의 전압(V_Q)이 중간전압(V_m)으로 상승하면서 제6 트랜지스터($T6$)를 턴-온시키지만 출력노드(NO_i)의 전압(V_{g_i})은 제1 클럭신호($C1$)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 제5 트랜지스터($T5$)의 턴-온에 의해 제2 노드(QB) 상의 전압이 낮아지면서 제3 트랜지스터($T3$)와 제7 트랜지스터($T7$)는 턴-오프되어 제1 노드(Q)의 방전 경로를 차단한다.

$t2$ 기간 동안, 제1 클럭신호($C1$)는 하이논리전압으로 반전되는 반면에 스타트펄스(V_{st}) 또는 이전 단계의 출력신호(V_{g_i-1})가 로우논리전압으로 반전된다. 이 때 제1 트랜지스터($T1$)와 제5 트랜지스터($T5$)는 턴-오프(Turn-off)되며, 제1 노드(Q) 상의 전압(V_Q)은 제1 클럭신호($C1$)의 하이논리전압이 공급되는 제6 트랜지스터($T6$)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제6 트랜지스터($T6$)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(Q) 상의 전압(V_Q)은 부트스트래핑(Bootstrapping)에 의해 $t1$ 기간보다 더 높은 전압(V_h)으로 상승한다. 따라서, $t2$ 기간 동안 제6 트랜지스터($T6$)는 턴-온되고 출력노드(NO_i)의 전압(V_{g_i})은 제6 트랜지스터($T6$)의 도통에 의해 공급되는 제1 클럭신호($C1$)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

$t3$ 기간 동안 제1 클럭신호($C1$)는 로우논리전압으로 반전되고, 제2 클럭신호($C2$)는 하이논리전압으로 반전된다. 이 때 제4 트랜지스터($T4$)는 제2 클럭신호($C2$)에 응답하여 턴-온되며 고전위 전원전압(V_{dd})은 제4 트랜지스터($T4$)를 경유하여 제2 노드(QB)에 공급되어 제2 노드(QB) 상의 전압(V_{QB})을 상승시킨다. 이렇게 상승하는 제2 노드(QB) 상의 전압(V_{QB})은 제7 트랜지스터($T7$)를 턴-온시켜 출력노드(NO_i) 상의 전압(V_{g_i})을 기저전압(V_{ss})까지 방전시킴과 동시에 제3 트랜지스터($T3$)를 턴-온시켜 제1 노드(Q) 상의 전압(V_Q)을 기저전압(V_{ss})까지 방전시킨다.

$t4$ 기간 동안 제2 클럭신호($C2$)가 로우논리전압으로 반전되면, 제4 트랜지스터($T4$)가 턴-오프된다. 이 때 제2 노드(QB) 상에는 하이논리전압이 플로팅(Floating) 된다. 제2 노드(QB) 상의 하이논리전압은 남은 프레임 기간 동안 유지된다.

이와 같이 고전위 전원전압(V_{dd})을 이용하여 제1 노드(Q)를 충전시키는 구조의 쉬프트 레지스터는 스타트펄스(V_{st}) 또는 이전 단계의 출력신호(V_{g_i})의 전압을 이용하여 제1 노드(Q)를 충전시키는 구조의 기존 쉬프트 레지스터에 비하여 안정적이고 빠른 속도로 제1 노드(Q)가 충전되므로 순차적으로 쉬프트되는 출력전압이 점차 줄어드는 현상을 막을 수 있다.

도 12를 참조하면, 본 발명의 실시예에 따른 쉬프트 레지스터에서 제1 노드의 전압 및 출력전압이 개선된 것을 알 수 있다. 이러한 쉬프트 레지스터는 멀티-스텝의 스캔펄스를 더욱 안정적으로 공급한다.

한편, 게이트 구동회로는 도 13에서처럼 액정표시패널(203)의 양측에 분리 형성될 수 있다. 게이트 구동회로가 양측에 분리 형성되는 구조에서는 일측에 형성되는 구조에서와 쉬프트 레지스터의 각 스테이지가 조금 다르게 구성된다. 이러한 구조와 이에 대한 설명에 대하여는 본 출원인에 의해 출원된 바 있는 대한민국 특허출원 "10-2005-0046395"호에 개시되어 있으므로 생략하기로 한다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따른 쉬프트 레지스터 및 이를 이용한 액정표시장치는 멀티-스텝의 클럭신호에 의해 발생하는 멀티-스텝의 스캔펄스에 의해 화면의 잔상과 플리커가 감소되어 액정표시장치의 화질특성이 향상된다. 한편, 고전위 전원전압에 의해 Q 노드가 빠르고 안정적으로 충전되어 순차적으로 쉬프트되는 출력전압이 점차 줄어드는 현상을 방지하는 쉬프트 레지스터는 멀티-스텝의 스캔펄스를 더욱 안정적으로 공급한다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타낸 평면도.

도 2는 도 1의 쉬프트 레지스터를 나타낸 블록도.

도 3은 도 2의 쉬프트 레지스터의 각 스테이지에 대한 회로도.

도 4는 도 3의 회로의 각 노드 전압 파형을 나타낸 파형도.

도 5는 도 1의 액정표시장치의 단위화소에 대한 등가회로를 나타낸 회로도.

도 6은 도 1의 액정표시장치의 구동신호를 나타낸 파형도.

도 7은 본 발명의 실시예에 따른 액정표시장치를 나타낸 평면도.

도 8은 게이트 구동회로가 내장된 액정표시패널을 간략히 나타낸 평면도.

도 9는 도 7 및 도 8의 쉬프트 레지스터를 나타낸 블록도.

도 10은 도 9의 쉬프트 레지스터의 각 스테이지에 대한 회로도.

도 11은 도 10의 회로의 각 노드 전압 파형을 나타낸 파형도.

도 12는 도 10의 회로의 출력전압을 나타낸 파형도.

도 13은 게이트 구동회로가 내장된 액정표시패널의 다른 구조를 나타낸 평면도.

< 도면의 주요 부분에 대한 부호의 설명 >

13, 103, 203 : 액정표시패널 : 11, 101, 201 : 데이터 구동회로

12, 102, 202, 205, 206 : 게이트 구동회로

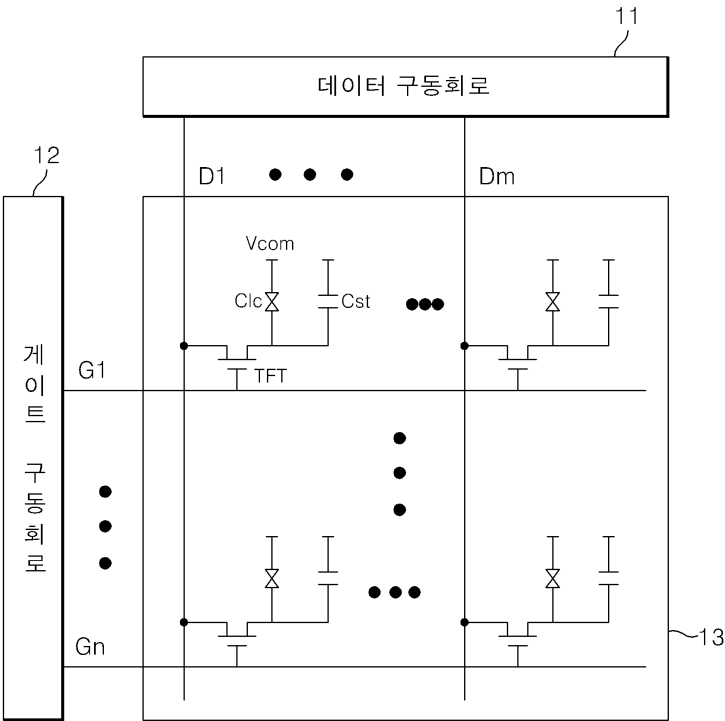
G1, G2, ..., Gn : 게이트라인 D1, D2, ..., Dm : 데이터라인

S_1, S_2, ..., S_n : 스테이지 C1, C2, C3, C4 : 클럭신호

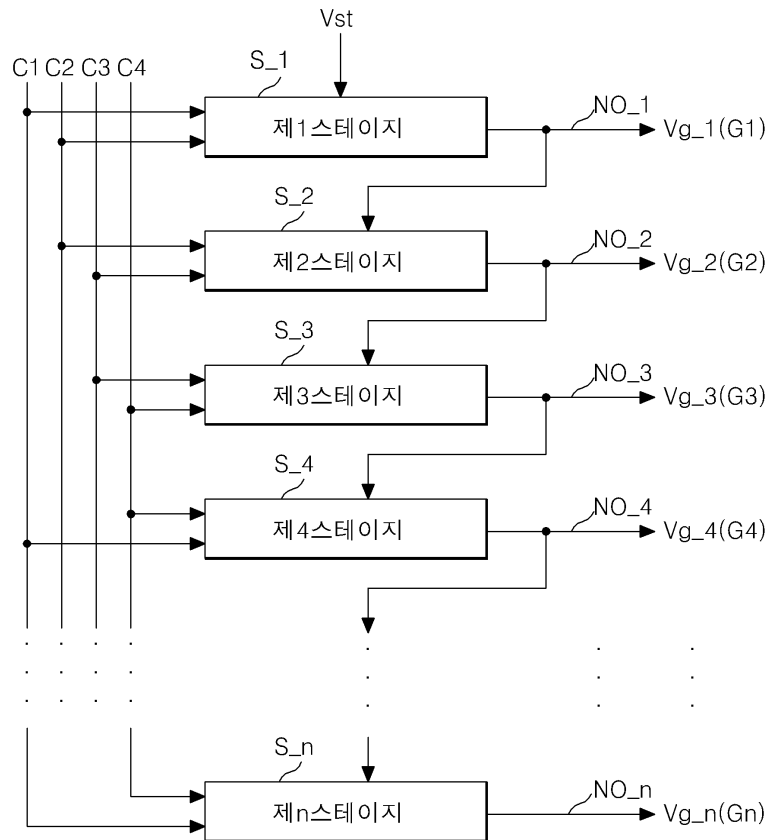
S_1, S_2, ..., S_n : 출력신호

도면

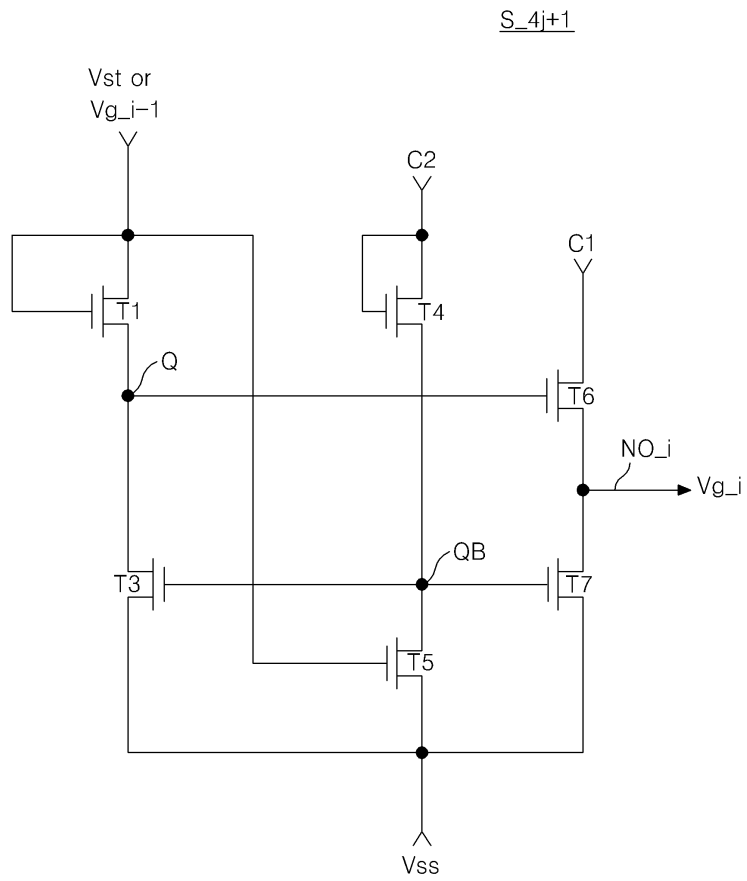
도면1



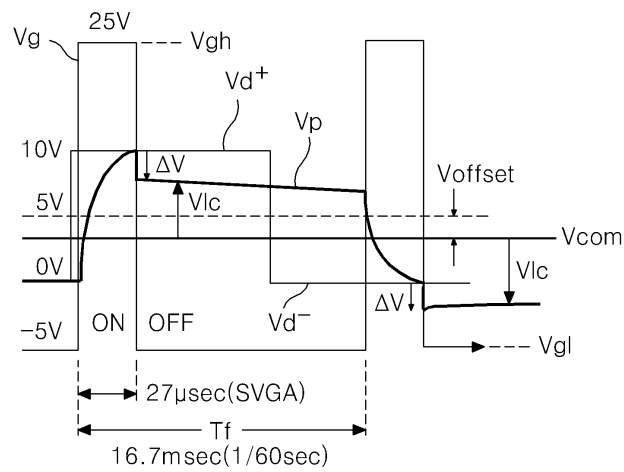
도면2



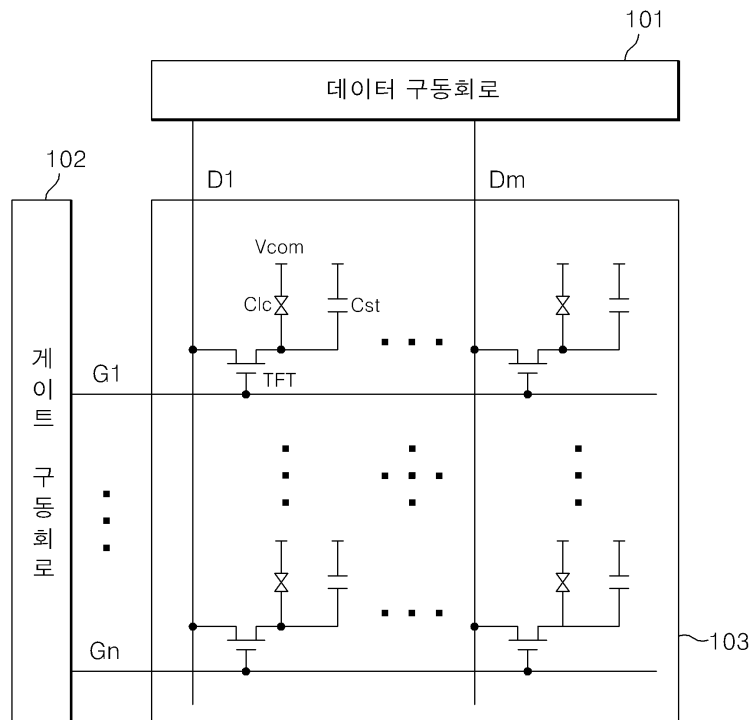
도면3



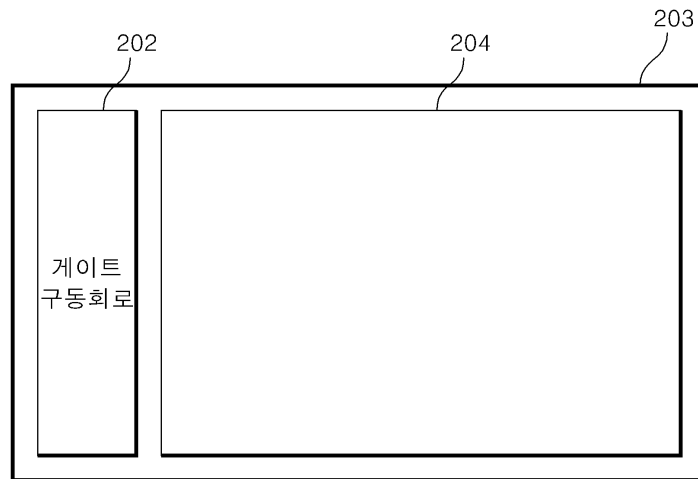
도면6



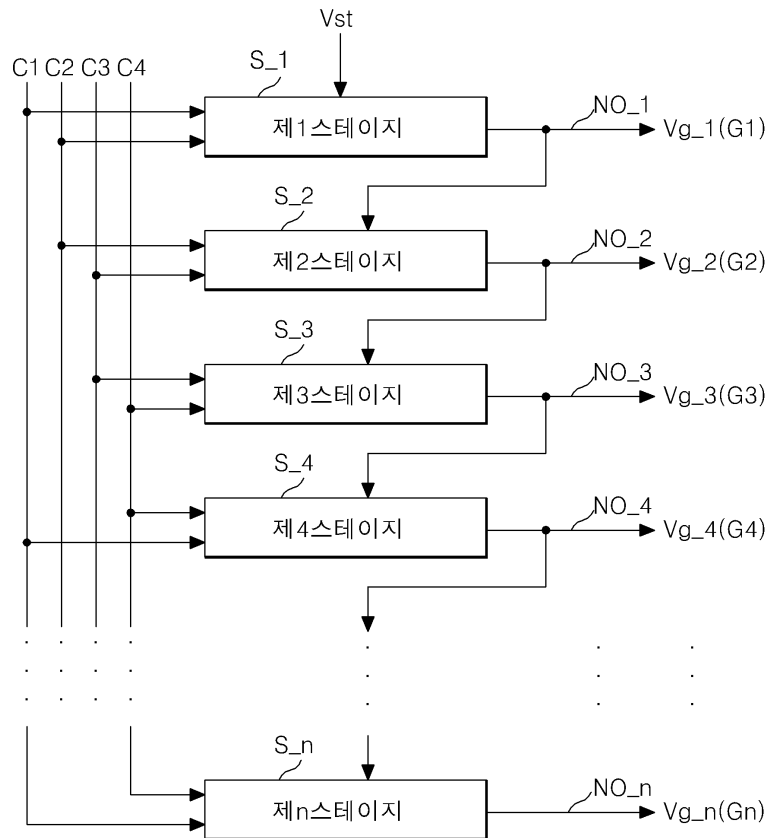
도면7



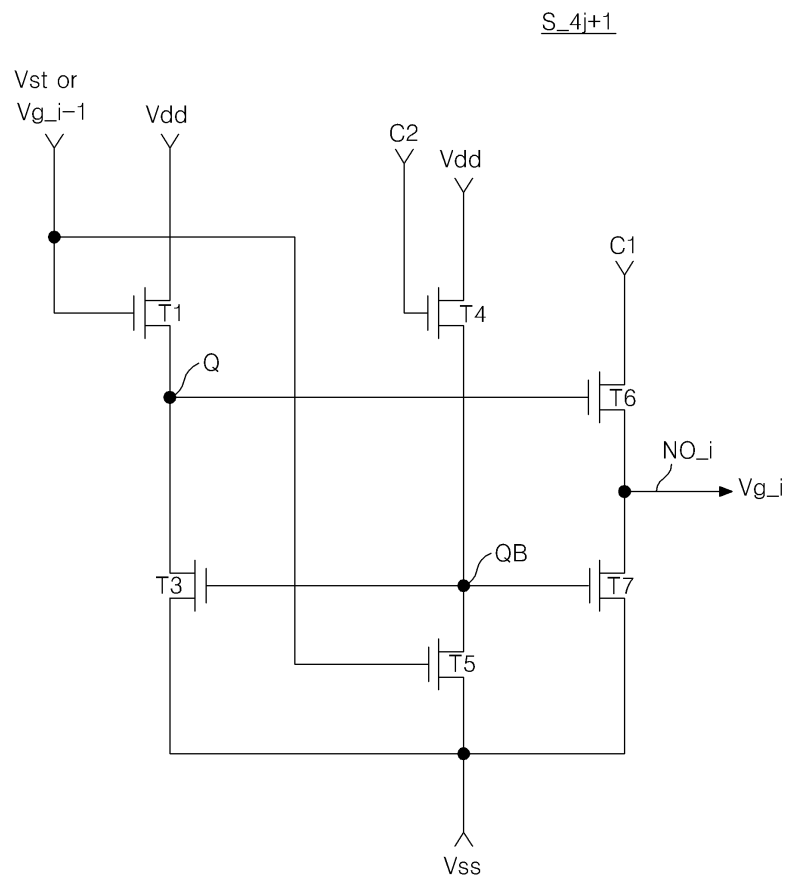
도면8



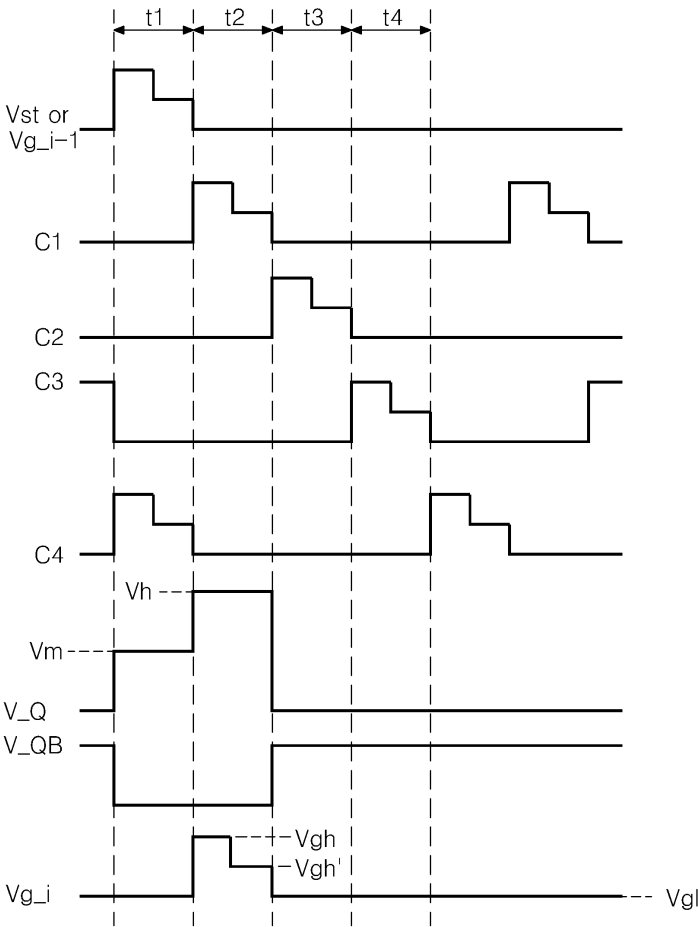
도면9



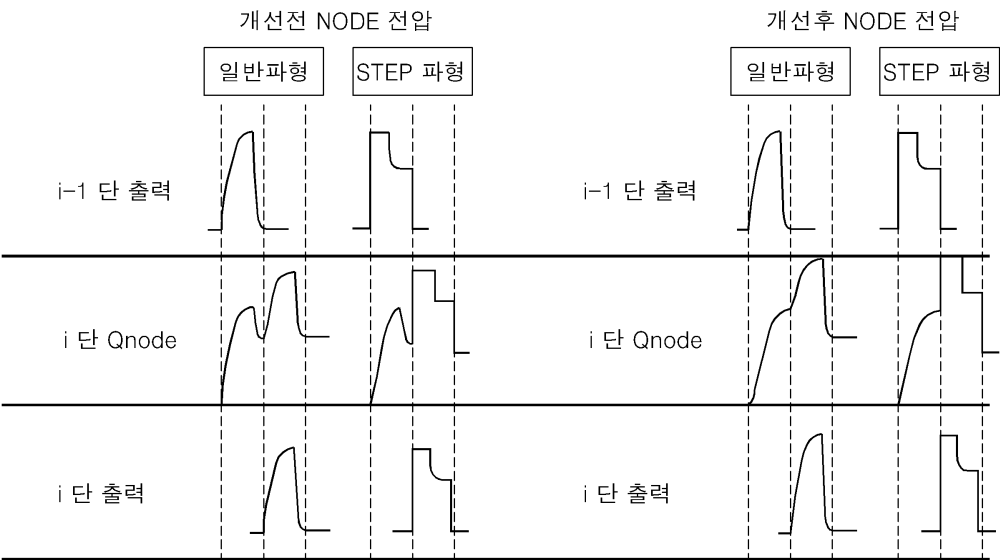
도면10



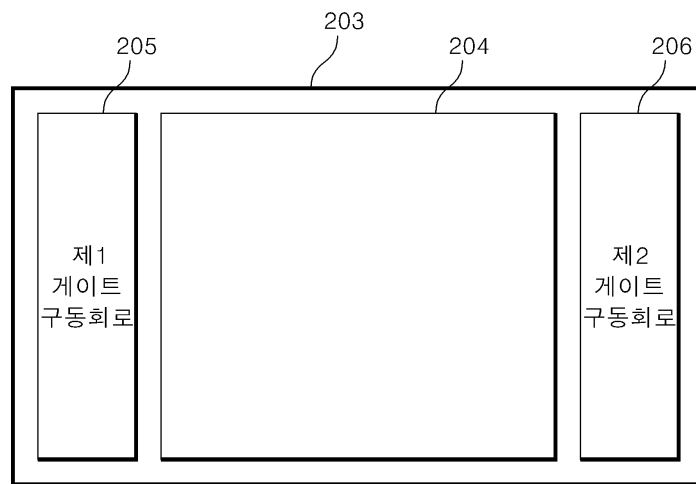
도면11



도면12



도면13



专利名称(译)	移位寄存器和使用它的液晶显示器		
公开(公告)号	KR1020060130328A	公开(公告)日	2006-12-19
申请号	KR1020050050945	申请日	2005-06-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO HYUNG NYUCK 조혁력 KIM BINN 김빈		
发明人	조혁력 김빈		
IPC分类号	G09G3/36		
CPC分类号	G09G2320/0247 G09G2300/0842 G09G3/3677 G09G2310/0286		
代理人(译)	金勇 年轻的小公园 PARK , YOUNG BOK		
其他公开文献	KR101074417B1		
外部链接	Espacenet		

摘要(译)

本发明涉及使用与移位寄存器和液晶显示器相同的液晶显示器，特别是具有移位寄存器的液晶显示器，图像质量特性。该移位寄存器包括输出单元，其中输入多步骤的第一时钟信号，并且响应于第一控制信号将第一时钟信号提供给输出节点，并且产生多步骤的输出信号。响应于第二控制信号放电输出节点，高电位电源电压，并且控制单元响应于起始脉冲和先前的任何一个产生第一控制信号，移位，输出信号为多个第二时钟信号-step是使用高电位电源电压输入的，并且使用高电位电源电压响应第二时钟信号产生第二控制信号。

