(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0077900
(43) 공개일자 2006년07월05일

(21) 출원번호 10-2004-0118383
(22) 출원일자 2004년12월31일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이석우
경기도 안양시 동안구 비산동 1102 관악APT 127-1207

(74) 대리인 허용록

심사청구 : 없음

(54) 폴리 실리콘 액정 표시 장치

요약

본 발명은 액정 표시 장치에 관한 것으로, 구동 회로부의 열화를 방지하는 멀티 채널을 구현하는 폴리 실리콘 액정 표시 장치에 관한 것이다.

본 발명에 따른 폴리 실리콘 액정 표시 장치는, 복수 개의 단위 채널로 이루어지는 멀티 채널형 박막 트랜지스터를 포함하는 폴리 실리콘 액정 표시 장치의 구동회로부에서, 적어도 하나 이상의 단위 채널 다결정 실리콘층을 연결시켜 노출시키는 바 타입(bar type) 콘택홀을 포함하는 반도체층 콘택홀을 형성하는 것이 특징이다.

따라서, 본 발명은 폴리 실리콘 액정 표시 장치의 구동 회로부에서 채널부에서 발생되는 열화에 의한 불량을 방지하는 폴리 실리콘 액정 표시 장치를 제공하는 데 목적이 있다.

대표도

도 5

색인어

멀티 채널, 단위 채널, 열화, 바 타입(bar type)

명세서

도면의 간단한 설명

도 1은 일반적인 구동 회로부 일체형 액정 표시 장치의 개략도.

도 2는 종래 폴리 실리콘 액정 표시 장치의 구동회로부의 박막 트랜지스터의 멀티 채널부를 보여주는 평면도.

도 3은 도 2에서 A-A'로 절단하여 보여주는 단면도.

도 4a 및 도 4b는 종래 폴리 실리콘 액정 표시 장치의 구동 회로부에서 열화에 의한 채널부 불량을 보여주는 평면도 사진 및 단면도.

도 5는 본 발명에 따른 제 1 실시예로서, 폴리 실리콘 액정 표시 장치의 구동 회로부의 일부를 보여주는 평면도.

도 6은 도 5에서 B-B'로 절단하여 보여주는 단면도.

도 7은 본 발명에 따른 폴리 실리콘 액정 표시 장치의 구동 회로부의 p형, n형 박막 트랜지스터를 보여주는 단면도.

도 8은 본 발명에 따른 제 2 실시예로서, 폴리 실리콘 액정 표시 장치의 구동 회로부의 채널부를 보여주는 평면도.

도 9는 본 발명에 따른 제 3 실시예로서, 폴리 실리콘 액정 표시 장치의 구동 회로부의 채널부를 보여주는 평면도.

<도면의 주요부분에 대한 부호 설명>

320, 420, 520, 620 : 기판 325, 425, 525, 625 : 버퍼층

330, 530, 630 : 반도체층 330s, 530s, 630s : 소스 영역

330d, 530d, 630d : 드레인 영역 330a, 530a, 630a, : 채널 영역

345, 445, 545, 645 : 게이트 절연막 350, 550, 650 : 게이트 전극

370, 470, 570, 670 : 층간 절연막

373a, 573a, 673a : 소스 반도체층 콘택홀

373b, 573b, 673b : 드레인 반도체층 콘택홀

380a, 580a, 680a : 소스 전극 380b, 580b, 680b : 드레인 전극

435 : n형 반도체층 440 : p형 반도체층

455, 460 : 게이트 전극

475a, 475b, 477a, 477b : 반도체층 콘택홀

483a, 487a : 소스 전극 483b, 487b : 드레인 전극

490 : 보호층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 구동 회로부의 열화를 방지하는 멀티 채널을 구현하는 폴리 실리콘 액정 표시 장치에 관한 것이다.

최근에 액정 표시 장치는 소비 전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가 가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

상기 액정 표시 장치는 박막 트랜지스터(TFT)를 포함하는 어레이 기판과 컬러 필터(color filter) 기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 영상 효과를 얻는 비발광 소자에 의한 화상 표시 장치를 뜻한다.

현재에는 상기 박막 트랜지스터와 화소 전극이 행렬방식으로 배열된 능동 행렬 액정 표시 장치(AM-LCD; active matrix liquid crystal display device)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목 받고 있으며, 이때, 상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하며 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 댕글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있으며, 전기적 특성(낮은 전계효과 이동도 : 0.1 ~ 1.0 ㎠/V·s)이 좋지 않아 구동회로로 쓰기 어렵다.

따라서, 일반적으로는 별도로 제작된 구동 소자를 액정 패널에 연결하여 사용하고 있으며, 대표적인 예로 구동소자를 TCP(tape carrier package)로 제작하여 액정 패널에 부착하여 사용한다.

따라서, 상기 TCP는 다수의 회로부가 PCB(printed circuit board) 기판과 액정 패널 사이에 부착되어, 상기 PCB 기판으로부터 입력되는 신호를 받아 상기 액정 패널에 전달하게 된다.

그런데, 이러한 구성은 구동 IC의 실장비용이 원가의 많은 부분을 차지하고 있으며, 액정 패널의 해상도가 높아지면서 박막 트랜지스터 기판의 게이트 배선 및 데이터 배선을 상기 TCP와 연결하는 기판 외부의 패드 피치(pitch)가 짧아져 TCP 본딩 자체가 어려워지고 있다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 전계 효과 이동도가 크기 때문에 기판 위에 구동 회로를 만들 수 있으며, 이 폴리 실리콘을 이용하여 기판에 직접 구동회로를 만들면 구동 IC의 비용도 줄일 수 있고 실장도 간단해진다.

특히, 폴리 실리콘 액정 표시 장치에서는 구동회로부에서 채널 폭이 넓은 광폭(large width) 트랜지스터에 있어서 단위 채널을 병렬로 연결한 형태인 멀티 채널(multi-channel)을 구현하고 있다.

도 1은 일반적인 구동 회로부 일체형 액정 표시 장치의 개략도이다.

도시한 바와 같이, 절연 기판(101) 상에 구동 회로부(105)와 표시부(103)가 같이 형성되어 있다.

상기 표시부(103)는 기판(101)의 중앙부에 위치하고, 이 표시부(103)의 일측과 이에 평행하지 않은 타측에 각각 게이트 및 데이터 구동회로부(105a, 105b)가 위치하고 있다.

상기 표시부(103)에는 상기 게이트 구동회로부(105a)와 연결된 다수 개의 게이트 배선(107)과 상기 데이터 구동회로부(105b)와 연결된 다수 개의 데이터 배선(109)이 교차하여 구성되며, 두 배선이 교차하여 정의되는 화소 영역(P)에는 화소 전극(110)이 형성되어 있고, 상기 두 배선의 교차지점에는 화소 전극(110)과 연결된 박막 트랜지스터(T)가 위치한다.

또한, 상기 게이트 및 데이터 구동회로부는 외부 신호 입력단(112)과 연결되어 있다.

상기 게이트 및 데이터 구동회로부(105a, 105b)는 상기 외부 신호 입력단(112)을 통하여 입력된 외부 신호를 내부에서 조절하여 각각 게이트 및 데이터 배선(107, 109)을 통해 표시부(103)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 장치이다.

따라서, 상기 게이트 및 데이터 구동회로부(105a, 105b)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor) 구조 박막 트랜지스터(미도시)가 상기 구동회로부 내부에 형성되어 있다.

도 2는 종래 폴리 실리콘 액정 표시 장치의 구동회로부의 박막 트랜지스터의 멀티 채널부를 보여주는 평면도이고, 도 3은 도 2에서 A-A'로 절단하여 보여주는 단면도이다.

도 2 및 도 3에 도시된 바와 같이, 종래 폴리 실리콘 액정 표시 장치의 구동 회로부의 박막 트랜지스터는 4개의 단위 채널(C1, C2, C3, C4)로 구성된 멀티 채널을 구성하며, 절연 기판(220) 상에 버퍼층(225)이 형성되어 있고, 상기 버퍼층(225) 상에 반도체층(230)이 형성되어 있다.

상기 반도체층(230)은 4개의 단위 채널(C1, C2, C3, C4)이 형성되도록 이루어지며, 상기 단위 채널(C1, C2, C3, C4)의 일단에서 소스 영역(230s)과 드레인 영역(230d)을 형성하기 위하여 상기 단위 채널들이 병렬로 연결되어 있다.

상기 소스 영역(230s)과 드레인 영역(230d) 사에이는 채널 영역(230a)이 형성된다.

그리고, 상기 반도체층(230) 상에는 게이트 절연막(245)이 형성되어 있고, 상기 게이트 절연막(245) 상에서 상기 단위 채널(C1, C2, C3, C4)들에 걸쳐 게이트 전극(250)이 형성되어 있다.

상기 게이트 전극(250) 상에는 층간 절연막(270)이 형성되어 있으며, 상기 층간 절연막(270) 및 게이트 절연막(245)을 관통하는 반도체층 콘택홀(273a, 273b)이 형성되어 있다.

상기 소스 영역(230s)과 드레인 영역(230d) 상부에 소스 전극(280a)과 드레인 전극(280b)이 형성되어 있다.

상기 소스 전극(280a)과 드레인 전극(280b)은 상기 반도체층(230)의 소스 영역(230s) 및 드레인 영역(230d)을 소정 노출시키도록 상기 게이트 절연막(245) 및 층간 절연막(270)에 형성된 다수의 소스 및 드레인 반도체층 콘택홀(273a, 273b)을 통해서 상기 상기 반도체층(230)과 접속된다.

상기 소스 및 드레인 반도체층 콘택홀(273a, 273b)은 상기 각 단위 채널(C1, C2, C3, C4)의 양단에 적어도 하나 이상 형성된다.

이와 같이 구성되는 상기 구동 회로부는 액정 표시 장치가 동작시에 구동 신호를 인가해줘야 하므로 구동시에 전류가 많이 흐르게 되고 이에 따라 채널부에 열화(self heating)가 발생하게 된다.

이와 같은 열화 발생에 의해서 상기 채널부에서 소스 전극과 드레인 전극 사이에 커런트 써지(current surge)가 발생하여 쇼트가 일어나게 되므로 브레이크 다운(break down) 등이 발생하는 문제점이 있다.

도 4a 및 도 4b는 종래 폴리 실리콘 액정 표시 장치의 구동 회로부에서 열화에 의한 채널부 불량을 보여주는 평면도 사진 및 단면도이다.

도 4a 및 도 4b에 도시된 바와 같이, 폴리 실리콘 액정 표시 장치의 구동 회로부에서 채널부의 자체 열화(self heating)로 인하여 소스 전극(280a)과 드레인 전극(280b)을 이루고 있는 금속이 녹아 채널쪽으로 이동하여 쇼트(short)가 발생하게 된다.

즉, 상기 구동 회로부는 구동 신호를 인가해줘야 하므로 구동시에 전류가 많이 흐르게 된다. 이에 따라 채널부에 열화(self heating)가 발생하여 상기 채널부에서 소스 전극(280a)과 드레인 전극(280b) 사이에서 커런트 써지(current surge)에 의한 쇼트가 일어나게 되므로 브레이크 다운(break down)등의 문제가 발생하게 된다.

구체적으로, 구동회로부는 고 전력(high power)(Vds ×Ids) 조건하에서 소스 및 드레인 전극(280a, 280b) 간에 쇼트로 인한 브레이크 다운이 발생하게 된다.

특히, 반도체층 콘택홀(273a, 273b)이 형성된 위치의 채널부에서 쇼트가 발생하게 되며, 이는 소스 및 드레인 전극(280a, 280b)과 반도체층(230)의 콘택(contact) 면적이 작아 전류가 집중되면서 나타나는 것이다.

발명이 이루고자 하는 기술적 과제

본 발명은 폴리 실리콘 액정 표시 장치의 구동 회로부에서 멀티 채널을 가지는 박막 트랜지스터 형성시에 적어도 하나 이상의 단위 채널에 형성되는 소스 및 드레인 콘택홀을 연결하여 바 타입(bar type)의 콘택홀로 형성함으로써 채널부에서 발생되는 열화에 의한 불량을 방지하는 폴리 실리콘 액정 표시 장치를 제공하는 데 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여 본 발명에 따른 폴리 실리콘 액정 표시 장치는, 복수 개의 단위 채널로 이루어지는 멀티 채널형 박막 트랜지스터를 포함하는 폴리 실리콘 액정 표시 장치의 구동회로부에 있어서,

기판 상에 상기 단위 채널을 형성하는 다결정 실리콘층과; 상기 다결정 실리콘층 상부에 형성된 게이트 절연막과; 상기 다결정 실리콘층의 일부에 대응하는 상기 게이트 절연막 상부에 형성된 게이트 전극과; 상기 게이트 전극 상에 형성된 층간 절연막과; 상기 게이트 절연막과 층간 절연막을 관통하여 상기 게이트 전극의 양측에서 적어도 하나 이상의 단위 채널 다결정 실리콘층을 연결시켜 노출시키는 바 타입(bar type) 콘택홀을 포함하는 반도체층 콘택홀과; 상기 반도체층 콘택홀을 통해 다결정 실리콘층과 접촉하는 소스 및 드레인 전극;을 포함하여 이루어지는 것을 특징으로 한다.

상기 소스 및 드레인 전극과 접촉하는 상기 다결정 실리콘층의 표면에는 n+ 또는 p+ 불순물 이온이 도핑된 것을 특징으로 한다.

상기 바타입 콘택홀은 구동 전류가 집중되는 단위 채널에 형성되는 것을 특징으로 한다.

상기 멀티 채널형 박막 트랜지스터에는 채널의 일측에 적어도 두개 이상의 바타입 콘택홀이 형성된 것을 특징으로 한다.

이하, 첨부한 도면을 참조로 하여 본 발명에 따른 폴리 실리콘 액정 표시 장치에 대해서 구체적으로 설명한다.

도 5는 본 발명에 따른 제 1 실시예로서, 폴리 실리콘 액정 표시 장치의 구동 회로부의 일부를 보여주는 평면도이고, 도 6은 도 5에서 B-B'로 절단하여 보여주는 단면도이다.

도 5 및 도 6에 도시된 바와 같이, 본 발명에 다른 폴리 실리콘 액정 표시 장치의 구동 회로부는 박막 트랜지스터는 4개의 단위 채널(C1', C2', C3', C4')로 구성된 멀티 채널을 구성하고 있다.

그리고, 상기 멀티 채널은 반도체층(330)이 4개의 단위 채널(C1', C2', C3', C4')을 형성하도록 이루어지며, 상기 단위 채널(C1', C2', C3', C4')의 양단에서 소스 영역(330s)과 드레인 영역(330d)을 형성하기 위하여 상기 단위 채널의 반도체층(330)이 연결되어 있다.

상기 소스 영역(330s)과 드레인 영역(330d) 사에이는 채널 영역(330a)이 형성된다.

그리고, 상기 반도체층(330) 상에는 게이트 절연막(345)이 형성되어 있고, 상기 게이트 절연막(345) 상에서 상기 단위 채널(C1', C2', C3', C4')들에 걸쳐 게이트 전극(350)이 형성되어 있다.

상기 게이트 전극(350) 상에는 층간 절연막(370)이 형성되어 있으며, 상기 층간 절연막(370) 및 게이트 절연막(345)을 관통하는 반도체층 콘택홀(373a, 373b)이 형성되어 있다.

그리고, 상기 소스 영역(330s)과 드레인 영역(330d) 상부에 소스 전극(380a)과 드레인 전극(380b)이 형성되어 있다.

상기 소스 전극(380a)과 드레인 전극(380b)은 상기 반도체층(330)의 소스 영역(330s) 및 드레인 영역(330d)을 소정 노출시키도록 상기 게이트 절연막(345)에 형성된 소스 및 드레인 콘택홀(373a, 373b)을 통해서 상기 상기 반도체층(330)과 접속된다.

이때, 상기 소스 및 드레인 반도체층 콘택홀(373a, 373b)은 상기 단위 채널(C1', C2', C3', C4')의 양단의 소스 및 드레인 영역(330s, 330d)에 바 타입(bar type)으로 형성되며, 상기 4개의 단위 채널(C1', C2', C3', C4')이 연결된 반도체층(330)의 소스 및 드레인 영역(330s, 330d)을 노출시키도록 형성된다.

즉, 멀티 채널을 이루고 있는 단위 채널을 각각 제 1 단위 채널 내지 제 4 단위 채널이라고 하면, 상기 제 1 내지 제 4 단위 채널을 통해 소스 전극(380a)에서 드레인 전극(380b)으로 신호를 전달하기 위해 상기 반도체층(330)의 소스 및 드레인 영역(330s, 330d)을 노출시키는 소스 및 드레인 반도체층 콘택홀(373a, 373b)을 형성하고 소스 전극 및 드레인 전극(380a, 380b)과 반도체층(330)을 접촉시키는데, 상기 소스 및 드레인 반도체층 콘택홀(373a, 373b)은 제 1 내지 제 4 단위 채널(C1', C2', C3', C4')의 소스 영역(330s) 및 드레인 영역(330d)을 노출시킨다.

이와 같이 구성되는 상기 구동 회로부는 액정 표시 장치 구동시에 전류가 채널부의 일부에 집중해서 흐르는 것을 방지하고 이에 따라 채널부의 열화(self heating)를 방지하는 효과가 있다.

도 7은 본 발명에 따른 폴리 실리콘 액정 표시 장치의 구동 회로부의 p형, n형 박막 트랜지스터를 보여주는 단면도이다.

도 7을 참조하여 보다 구체적으로 설명하면, 버퍼층(425)이 형성된 투명한 절연 기판(420) 상에는 n형 반도체층(435)과 p형 반도체층(440)이 서로 일정 간격 이격되어 형성되어 있고, n형 및 p형 반도체층(435, 440) 상부에는 게이트 절연막(445)이 전면에 형성되어 있으며, 상기 게이트 절연막(445) 위로 게이트 전극(455, 460)이 형성되어 있다.

상기 게이트 전극(455, 460) 상부에는 기판(420)의 전면에 걸쳐 반도체층 콘택홀(475a, 475b, 477a, 477b)을 포함하는 층간 절연막(470)이 형성되어 있고, 상기 층간 절연막(470) 상부에는 반도체층 콘택홀(475a, 475b, 477a, 477b)을 통해 각각 n형 및 p형 반도체층(435, 440)과 접촉되는 소스 및 드레인 전극((483a, 487a), (483b, 487b))이 형성되어 있고, 이 소스 및 드레인 전극((483a, 487a), (483b, 487b)) 상부에는 전면에 걸쳐 보호층(490)이 형성되어 있다.

상기 n형 반도체(435) 중 상기 게이트 전극(455)과 대응하며 상기 게이트 절연막(445) 하부에 형성된 영역은 액티브층(435a)을 이루고, 상기 소스 및 드레인 전극(483a, 483b)과 접촉하는 영역을 포함하는 반도체층은 n+ 도핑된 n형 오믹 콘택층(435c)을 이루며, 상기 액티브층(435a)과 n형 오믹 콘택층(435c)사이에 n- 도핑된 LDD층(435b)을 이루고 있다.

또한, 상기 p형 반도체층(440)은 정공을 캐리어로써 이용하는 방식이므로 n형 박막 트랜지스터보다 캐리어의 열화 및 누설 전류의 영향이 크지 않으므로, LDD층을 형성하지 않고, 상기 게이트 전극(460)과 대응하는 게이트 절연막(445) 하부의 반도체층 영역이 액티브층(440a)을 이루고, 상기 액티브층(440a)의 외곽영역이 p형 오믹 콘택층(440c)을 이루고 있다.

도 8은 본 발명에 따른 제 2 실시예로서, 폴리 실리콘 액정 표시 장치의 구동 회로부의 채널부를 보여주는 평면도이고, 도 9는 본 발명에 따른 제 3 실시예로서, 폴리 실리콘 액정 표시 장치의 구동 회로부의 채널부를 보여주는 평면도이다.

도 8 및 도 9에 도시된 바와 같이, 폴리 실리콘 액정 표시 장치의 구동 회로부는 복수의 단위 채널(C1', C2', C3', C4')로 이루어진 멀티 채널 박막 트랜지스터를 포함하여 구성되며, 각 단위 채널(C1', C2', C3', C4')에 대해서 소스 전극(580a, 680a) 및 드레인 전극(580b, 680b)을 반도체층(530, 630)과 접속시키기 위한 반도체층 콘택홀((573a, 673a),(573b, 673b))이 형성되어 있다.

이때, 상기 반도체층 콘택홀((573a, 673a),(573b, 673b))은 적어도 하나 이상의 단위 채널의 콘택홀을 연결하여 하나의 바 타입(bar type) 콘택홀을 포함하여 형성할 수 있다.

도 8에서, 상기 바타입의 반도체층 콘택홀(573a, 573b)은 구동 전류가 집중되는 단위 채널에 형성되어 있어, 특히 전류 집중에 채널 열화를 방지할 수 있는 효과가 있다.

도 9에서, 상기 바타입 콘택홀은 이웃하는 단위 채널의 반도체층 콘택홀673a, 673b)을 연결하여 복수의 바타입 콘택홀을 형성함으로써 효과적으로 채널 열화를 방지할 수 있는 효과가 있다.

여기서, 설명되지 않은 도면 부호는 앞서 설명한 실시예와 동일하므로 구체적인 설명을 생략한다.

본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 따른 폴리 실리콘 액정 표시 장치의 구동 회로부는 멀티 채널을 가지는 박막 트랜지스터에서 적어도 하나 이상의 단위 채널의 콘택홀을 바 타입(bar type)으로 형성함으로써 채널부의 열화(self heating)를 방지하는 효과가 있다.

또한, 본 발명은 폴리 실리콘 액정 표시 장치에서 소자를 장시간 구동시에도 구동회로부에서 불량이 발생하지 않아 신뢰도를 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

복수 개의 단위 채널로 이루어지는 멀티 채널형 박막 트랜지스터를 포함하는폴리 실리콘 액정 표시 장치의 구동회로부에 있어서,

기판 상에 상기 단위 채널을 형성하는 다결정 실리콘층과;

상기 다결정 실리콘층 상부에 형성된 게이트 절연막과;

상기 다결정 실리콘층의 일부에 대응하는 상기 게이트 절연막 상부에 형성된 게이트 전극과;

상기 게이트 전극 상에 형성된 층간 절연막과;

상기 게이트 절연막과 층간 절연막을 관통하여 상기 게이트 전극의 양측에서 적어도 하나 이상의 단위 채널 다결정 실리콘층을 연결시켜 노출시키는 바 타입(bar type) 콘택홀을 포함하는 반도체층 콘택홀과;

상기 반도체층 콘택홀을 통해 다결정 실리콘층과 접촉하는 소스 및 드레인 전극;을 포함하여 이루어지는 것을 특징으로 하는 폴리 실리콘 액정 표시 장치.

청구항 2.

제 1항에 있어서,

상기 소스 및 드레인 전극과 접촉하는 상기 다결정 실리콘층의 표면에는 n+ 또는 p+ 불순물 이온이 도핑된 것을 특징으로 하는 폴리 실리콘 액정 표시 장치.

청구항 3.

제 1항에 있어서,

상기 바타입 콘택홀은 구동 전류가 집중되는 단위 채널에 형성되는 것을 특징으로 하는 폴리 실리콘 액정 표시 장치.

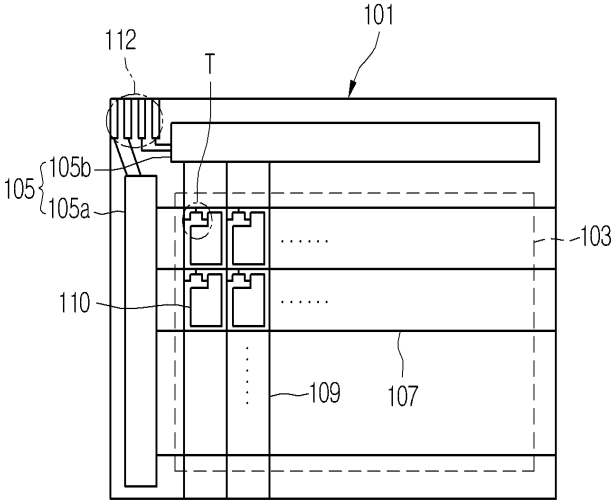
청구항 4.

제 1항에 있어서,

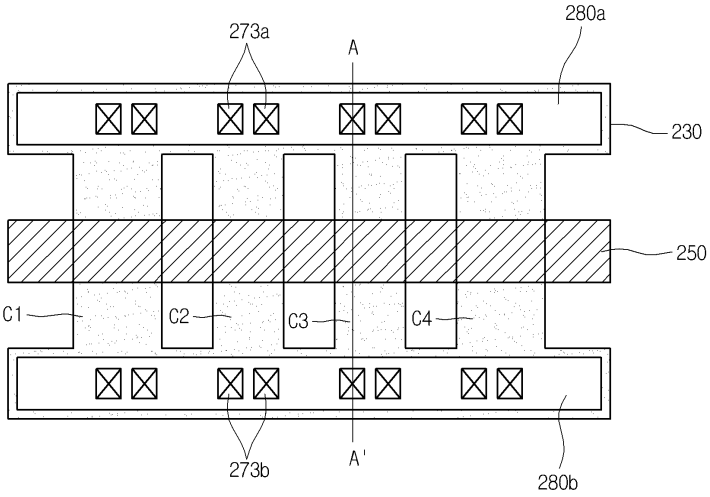
상기 멀티 채널형 박막 트랜지스터에는 채널의 일측에 적어도 두개 이상의 바타입 콘택홀이 형성된 것을 특징으로 하는 폴리 실리콘 액정 표시 장치.

도면

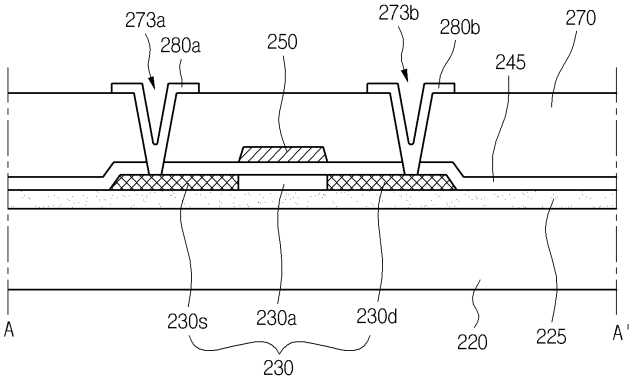
도면1


101
112
T
105b
105
105a
103
110
109
107

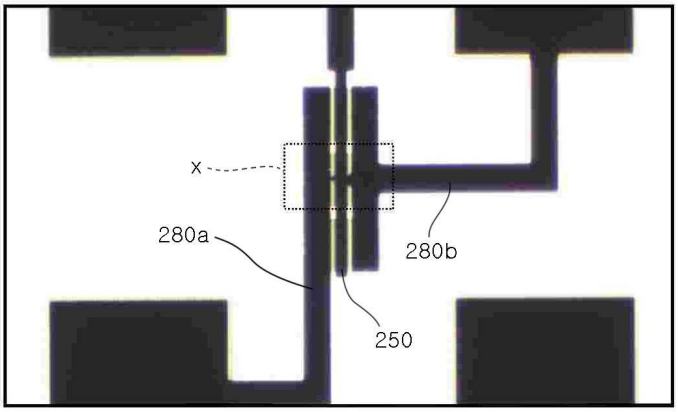
도면2


273a
A
280a
230
250
C1
C2
C3
C4
273b
A'
280b

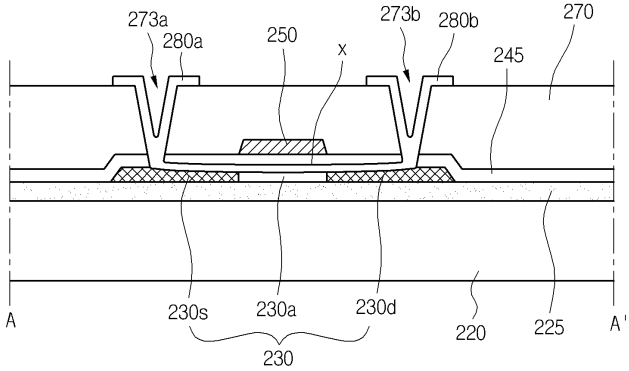
도면3



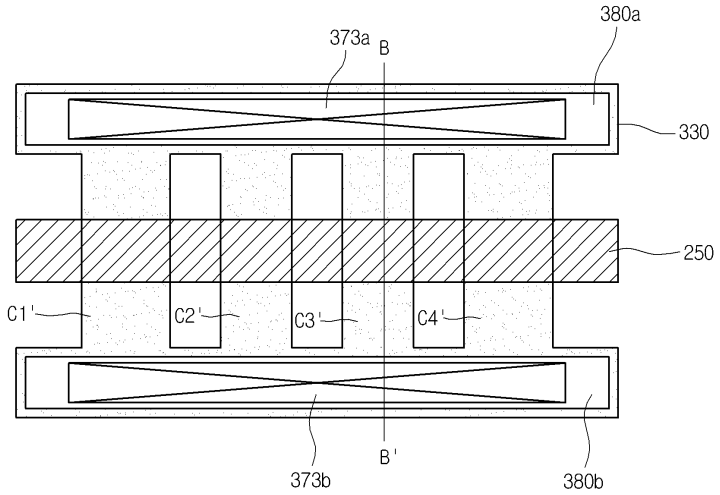
도면4a



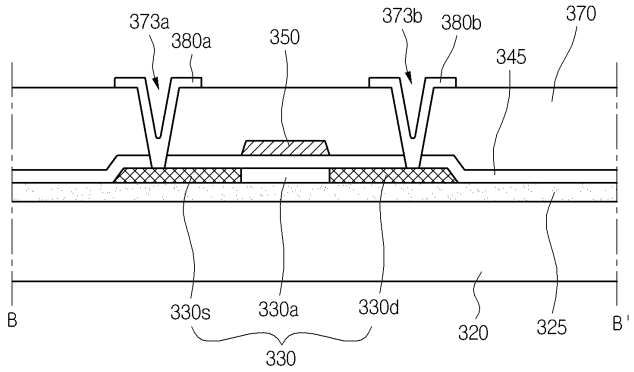
도면4b



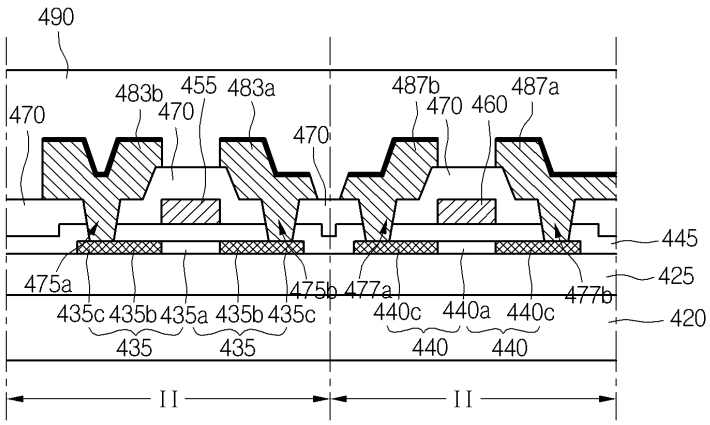
도면5


380a
373a
B
330
250
C1'
C2'
C3'
C4'
373b
B'
380b

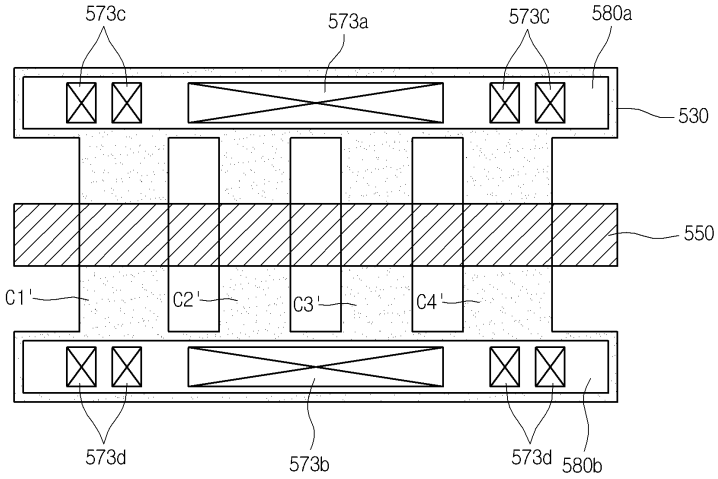
도면6


373a
380a
350
373b
380b
345
370
B
330s
330a
330d
320
325
B'
330

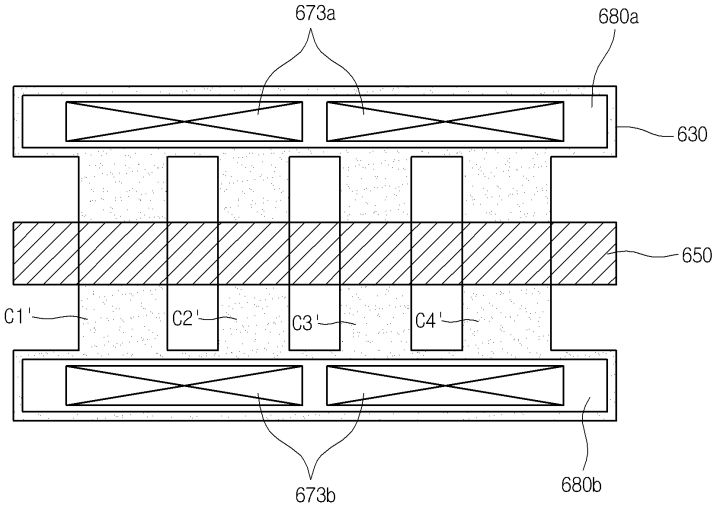
도면7


490
483b
455
483a
487b
487a
470
470
470
470
460
445
475a
475b
477a
477b
425
435c
435b
435a
435b
435c
440c
440a
440c
420
435
435
440
440
II
II

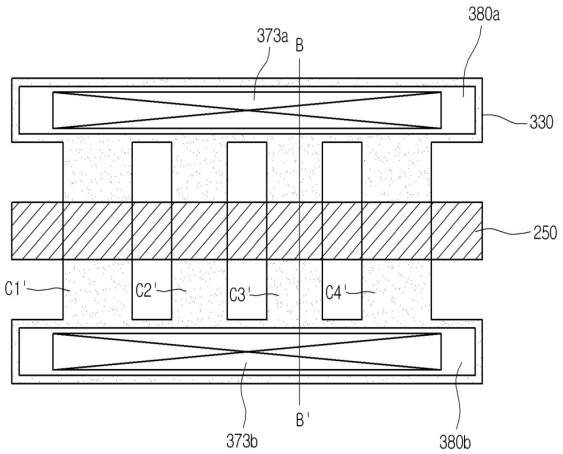
도면8


573c
573a
573C
580a
530
550
C1'
C2'
C3'
C4'
573d
573b
573d
580b

도면9


673a
680a
630
650
C1'
C2'
C3'
C4'
673b
680b

专利名称(译)	多晶硅液晶显示器		
公开(公告)号	KR1020060077900A	公开(公告)日	2006-07-05
申请号	KR1020040118383	申请日	2004-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOKWOO		
发明人	LEE,SEOKWOO		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1362 H01L27/1222		
其他公开文献	KR101126448B1		
外部链接	Espacenet		

摘要(译)

用途：通过形成用于一个或多个条形单元通道的接触孔，提供多晶硅型LCD以防止具有多个单元通道的TFT中的通道部分的自加热。