

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11) 공개번호 10-2005-0116712
(43) 공개일자 2005년12월13일

(21) 출원번호 10-2004-0041862
(22) 출원일자 2004년06월08일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김경면
서울특별시 마포구 성산동 450 시영아파트 11동 505호
구용근
경기도 수원시 권선구 곡반정동 578 현대아이파크 104동 401호
문경태
경기도 용인시 신봉동 LG1차빌리지 123동 404호
하효진
경기도 수원시 팔달구 인계동 847-36번지

(74) 대리인 리엔목특허법인
이해영

심사청구 : 있음

(54) 액정 표시 장치 구동을 위한 감마 구동 방식의 소스드라이버 및 소스 라인 구동 방법

요약

액정 표시 장치 구동을 위한 감마 구동 방식의 소스 드라이버 및 소스 라인 구동 방법이 개시된다. 상기 소스 드라이버는 시리얼로 입력되는 R, G, B 디지털 영상 데이터에 대하여, 수평 주사 주기 동안 R, G, B 영상 데이터를 인코딩하여 인코딩된 값을 제1 메모리에 저장하고, 상기 제1 메모리에 저장된 값에 의하여 감마 전압 증폭부 내의 계조 전압 증폭기들의 온/오프를 제어한다. 이에 따라, 액정 패널 구동에 필요한 증폭기들만 온된 상태에서, 출력 선택부는 감마 전압 증폭부에서 출력되는 해당 계조 전압을 선택하여 각 소스 라인에 출력한다.

대표도

도 3

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 TFT-LCD 패널과 주변 회로를 나타내는 블록도이다.

도 2는 일반적인 픽셀 구조를 나타내는 도면이다.

도 3은 본 발명의 일실시예에 따른 소스 드라이버를 나타내는 블록도이다.

도 4는 도 3의 소스 드라이버가 구동하는 액정 패널의 픽셀 어레이를 나타내는 일례이다.

도 5는 도 3의 무부하 검출부를 나타내는 구체적인 블록도이다.

도 6은 도 5의 무부하 검출부의 동작 설명을 위한 타이밍도이다.

도 7은 도 3의 디스플레이 모드 선택부를 나타내는 구체적인 블록도이다.

도 8은 도 3의 출력 선택부를 나타내는 구체적인 블록도이다.

도 9는 도 8의 구동 전압 출력부들을 나타내는 구체적인 블록도이다.

도 10은 도 9의 레벨 선택부들을 나타내는 구체적인 회로도이다.

도 11은 도 10의 레벨 선택부들의 동작 설명을 위한 타이밍도이다.

도 12는 도 10의 디코딩 회로를 나타내는 다른 예이다.

도 13은 도 10의 디코딩 회로를 나타내는 또 다른 예이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 박막 트랜지스터(thin film transistor:TFT)-액정 표시 장치(liquid crystal display)(LCD)의 소스(source) 라인을 구동하는 소스 드라이버에 관한 것이다.

도 1은 일반적인 TFT-LCD 패널과 주변 회로를 나타내는 블록도이다. LCD 패널(110)은 전계를 형성하기 위한 다수의 전극들을 구비하는 상판과 하판으로 구성되고, 상판과 하판 사이에는 액정층으로 이루어져 있으며, 이외에도 빛을 편광(polarizing)시키기 위하여 상판과 하판에 부착되는 편광판을 구비한다. TFT-LCD(100)에서 빛의 밝기는 액정 분자를 재배열시키기 위한 전극에 계조에 따른 전압을 인가함으로써 조절된다. LCD 패널(110)의 하판에는 계조 전압이 전극에 인가되도록 스위칭하기 위하여, 전극에 연결된 박막 트랜지스터(TFT)와 같은 다수의 스위칭 소자들이 구비되어 있다. TFT와 같은 스위칭 소자들에 의하여 픽셀 단위로 빛의 밝기가 조절되고, 도 2와 같이 배열되는 컬러 필터 배열을 가지는 픽셀 구조에 의하여 3 색, R(red), G(green), B(blue)가 표시된다.

TFT-LCD(100)는 LCD 패널(110)에 가로로 구비된 다수의 게이트 라인을 구동하기 위한 게이트 드라이버들(120)과 LCD 패널(110)에 세로로 구비된 다수의 소스 라인을 구동하기 위한 소스 드라이버들(130)로 이루어진 구동 회로부와 스위칭 소자들을 통하여 전극에 계조(grey scale) 전압을 공급하기 위하여 상기 구동 회로부를 콘트롤하는 콘트롤부(미도시)를 구비한다. 일반적으로, 상기 콘트롤부(미도시)는 상기 LCD 패널(110) 외부에 배치된다. 상기 구동 회로부는 일반적으로 LCD 패널(110) 외부에 배치되지만, COG(chip on glass) 타입의 경우 LCD 패널(110) 상에 배치될 수 있다.

감마(gamma) 구동 방식의 종래의 소스 드라이버(130)는 계조(grey scale) 전압을 증폭하는 다수의 증폭기들과 소스 라인들에 증폭된 해당 계조 전압을 선택하여 전달하는 계조 전압 선택 회로를 구비한다. 이와 같은 계조 전압 선택 회로에 대해서는 일본 공개 특허, "JP2002-132230"에도 잘 나타나 있다. 계조 전압 선택 회로에서 출력되는 계조 전압은 LCD 패널(110) 상의 소스 라인과 해당 픽셀을 빠르게 충전시킨다. 계조 전압을 전달받은 픽셀은 해당 계조 전압(grey voltage)에 비례하도록 액정 분자를 재배열시킴에 따라 빛의 밝기가 조절된다.

그러나, 상기 소스 드라이버(130)에 구비되는 계조 전압 증폭기들과 계조 전압 선택 회로를 구성하는 회로는 복잡하고, 면적을 많이 차지하며, 많은 전류를 소모하는 문제점이 있다. 특히, 계조 전압 증폭기들은 각 픽셀의 구동에 필요한 계조 전

압 이외의 계조 전압들도 모두 생성하여 증폭시키므로, 불필요한 전류를 소모하는 부분이 존재하고, 이러한 증폭기들의 출력이 발진을 일으킬 때에는 더욱 심각하다. 또한, 종래의 계조 전압 선택 회로는 각 소스 라인마다 하나의 계조 전압을 전달하기 위하여, R, G, B 3색 디지털 영상 데이터를 디코딩하는 로직 회로와 레벨 쉬프터(level shifter) 등 복잡한 회로로 구성되므로, 모바일(mobile)용 이동통신 단말기(communication device)에 적용하는데 있어서 불리하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적인 과제는, 260K 이상의 컬러로 구현되는 모바일용 액정 표시 장치를 위한, 저 소비 전력 및 회로 면적을 저감한 소스 드라이버를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적인 과제는, 상기 액정 표시 장치의 소스 라인을 구동하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치 구동을 위한 소스 드라이버는, 무부하 검출부, 메모리, 증폭기 동작 제어부, 감마 전압 증폭부, 라인 래치부, 및 출력 선택부를 구비하는 것을 특징으로 한다. 상기 무부하 검출부는 시리얼 R, G, B 디지털 영상 데이터를 입력받아, 상기 영상 데이터의 각 계조에 따른 인코딩을 수평 주사 주기로 수행하여 인코딩된 값을 생성한다. 상기 메모리는 최소한 상기 수평 주사 주기 동안에 해당하는 상기 R, G, B 디지털 영상 데이터 및 상기 인코딩된 값을 저장한다. 상기 증폭기 동작 제어부는 수평 주사 주기 동안에 해당하는 상기 인코딩된 값에 따라 온/오프 제어 신호를 생성한다. 상기 감마 전압 증폭부는 각 계조 전압을 증폭하는 다수의 증폭기들을 구비하고, 상기 온/오프 제어 신호에 응답하여 상기 증폭기들 중 해당 증폭기들을 온시키거나 오프시킨다. 상기 라인 래치부는 상기 메모리에 저장된 상기 R, G, B 디지털 영상 데이터를 차례로 수평 주사 주기 단위로 출력한다. 상기 출력 선택부는 상기 라인 래치부에서 출력되는 상기 R, G, B 디지털 영상 데이터에 따라, 수평 주사 주기 동안 상기 온된 증폭기들에서 출력되는 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여, 다수의 소스 라인들에 출력한다. 상기 시리얼 R, G, B 디지털 영상 데이터는 정지 영상 또는 동영상 디지털 데이터인 것을 특징으로 한다.

상기 소스 드라이버는 기준 전압 발생부, 및 계조 전압 발생부를 더 구비하는 것을 특징으로 한다. 상기 기준 전압 발생부는 디코딩 값들을 이용하여 다수의 기준 전압들을 생성한다. 상기 계조 전압 발생부는 상기 기준 전압들을 세분화하여 상기 계조 전압들을 생성한다.

상기 소스 드라이버는 디스플레이 모드 선택부를 더 구비하는 것을 특징으로 한다. 상기 디스플레이 모드 선택부는 노말 모드 시에는 상기 라인 래치부에서 출력되는 수평 주사 주기 단위의 상기 R, G, B 디지털 영상 데이터를 상기 출력 선택부로 출력하고, 블랙/화이트 모드 시에는 블랙 또는 화이트에 해당하는 수평 주사 주기 단위의 상기 R, G, B 디지털 영상 데이터를 상기 출력 선택부로 출력한다.

상기 무부하 검출부는 각각이 수평 주사 주기로 해당 인코딩 값을 생성하는 다수의 레벨 검출기들을 구비하고, 상기 레벨 검출기들 각각은 한 수평 주사 주기 동안에 입력되는 R, G, B 디지털 영상 데이터 중 어느 하나라도 각각에 정해진 레벨에 해당하는지를 판단하여, 상기 정해진 레벨에 해당하지 않는 경우 및 해당하는 경우 각각에 대하여 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값으로서 생성하는 것을 특징으로 한다. 상기 레벨 검출기들 각각은, 인코더, 제1 래치부, 인버터, 및 제2 래치부를 구비하는 것을 특징으로 한다. 상기 인코더는 입력되는 한쌍의 R, G, B 디지털 영상 데이터마다 그 데이터 중 어느 하나라도 정해진 레벨에 해당하지 않는 경우 및 해당하는 경우 각각에 대하여 제1 논리 상태 및 제2 논리 상태를 출력한다. 상기 제1 래치부는 한쌍의 R, G, B 디지털 영상 데이터가 입력되는 주기로 상기 인코더 출력을 체크하여 상기 인코더 출력의 논리 상태를 전달한다. 상기 인버터는 상기 제1 래치부 출력을 반전시켜 출력한다. 상기 제2 래치부는 상기 인버터 출력이 수평 주사 주기 동안에 최소한 한번이라도 제1 논리 상태가 아닌 경우 및 그렇지 않은 경우 각각에 대하여, 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값으로서 출력한다.

상기 출력 선택부는 상기 R, G, B 디지털 영상 데이터 각각에 대응하는 계조 전압을 출력하는 다수의 구동 전압 출력부들을 구비하고, 상기 구동 전압 출력부들 각각은 상기 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여 해당 소스 라인으로 출력하는 다수의 레벨 선택부들을 구비하는 것을 특징으로 한다. 상기 레벨 선택부들 각각은, 래치 회로, 제1 MOSFET, 디코딩 회로, 제1 전송 게이트, 및 제2 전송 게이트를 구비하는 것을 특징으로 한다. 상기 래치 회로는 제1 제어신호에 응답하여 제1 출력 제어신호를 생성한다. 상기 제1 MOSFET는 제2 제어신호에 응답하여 상기 제1 출력 제어신호를 비활성화시킨다. 상기 디코딩 회로는 제3 제어신호에 응답하여, 상기 R, G, B 디지털 영상 데이터 중 구동할 소스 라인에 해당하는 어느 하나의 영상 데이터에 의하여 상기 제1 출력 제어신호를 활성화시킨다. 상기 제1 전송 게이트

트는 상기 제1 출력 제어신호의 활성 및 비활성 각각의 상태에 따라 상기 증폭된 계조 전압들 중 해당 계조 전압을 출력하거나 출력하지 않는다. 상기 제2 전송 게이트는 제2 출력 제어 신호에 응답하여 상기 제1 전송 게이트 출력을 해당 소스 라인으로 출력한다.

상기의 다른 기술적 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치의 소스라인 구동 방법은, 시리얼 R, G, B 디지털 영상 데이터를 입력받아, 상기 영상 데이터의 각 계조에 따른 인코딩을 수평 주사 주기로 수행하여 인코딩된 값을 생성하는 단계; 수평 주사 주기 동안에 해당하는 상기 인코딩된 값에 따라 온/오프 제어 신호를 생성하는 단계; 각 계조 전압을 증폭하는 다수의 증폭기들 중 해당 증폭기들을 상기 온/오프 제어 신호에 응답하여 온시키거나 오프시키는 단계; 및 상기 R, G, B 디지털 영상 데이터에 따라, 수평 주사 주기 동안 상기 온된 증폭기들에서 출력되는 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여, 다수의 소스 라인들에 출력하는 단계를 구비하는 것을 특징으로 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 발명의 일 실시예에 따른 소스 드라이버(300)를 나타내는 블록도이다. 도 3을 참조하면, 상기 소스 드라이버(300)는 믹스(multiplexer)(310), 무부하 검출부(no load detection unit)(320), 메모리(330), 증폭기 동작 제어부(340), 감마 조정부(350), 감마 전압 증폭부(360), 라인 래치부(370), 디스플레이 모드 선택부(380), 및 출력 선택부(390)를 구비한다. 상기 소스 드라이버(300)는 상기 감마 전압 증폭부(360) 내에서 계조 전압을 증폭하는 증폭기들이 소비하는 전력을 저감하고, 상기 출력 선택부(390)에서 R, G, B 디지털 영상 데이터를 디코딩하는 트랜지스터들이 저전압 동작 트랜지스터들로 이루어져 회로 면적을 줄일 수 있도록 제안되었다.

상기 믹스(310)는 콘트롤부(미도시)에서 발생하는 제어신호(C1)에 따라 정지영상을 위한 시리얼 R, G, B 디지털 영상 데이터, 또는 동영상상을 위한 시리얼 R, G, B 디지털 영상 데이터를 출력한다. 상기 소스 드라이버(300)는 이와 같은 정지 영상 또는 동영상 디지털 데이터를 감마 구동 방식으로 처리하여 TFT-LCD 패널을 구동한다. 상기 소스 드라이버(300)가 구동하는 TFT-LCD는 모바일(mobile)용 이동통신 단말기(communication device)에 구비되는 액정 표시 장치를 구동하는 것이 바람직하지만, 이에 한정되는 것은 아니고 감마 구동 방식의 다른 액정 표시 장치를 구동할 수 있다. 특히, 본 발명에서는 도 4에 도시된 바와 같이, "QCIF+" (Quarter Common Intermediate Format Plus) 해상도를 가지는 액정 패널을 구동한다고 가정한다. "QCIF+"는 528(176*3)*224 픽셀을 가진다. 외부에서 입력되는 시리얼 R, G, B 디지털 영상 데이터는 각각 6비트로 구성되고, 이에 따라 한 픽셀이 64 계조에 해당하는 컬러를 표시할 수 있다. 즉, R, G, B 한 쌍은 260K 이상의 컬러를 표시할 수 있다.

상기 무부하 검출부(320)는 상기 믹스(310)로부터 동영상 또는 정지 영상을 위한 시리얼 R, G, B 디지털 영상 데이터를 입력받아, 상기 영상 데이터의 각 계조에 따른 인코딩을 수평 주사 주기(horizontal scan period)로 수행하여 인코딩된 값(Q1~Q64)을 생성한다. 상기 인코딩된 값(Q1~Q64)은 64 비트로 구성되고, 수평 주사 주기마다 업데이트된다. 상기 무부하 검출부(320)는, 도 4의 액정 패널의 어느 한 주사 라인(scan line)의 구동에 필요한 계조 레벨들을 발견하고, 상기 감마 전압 증폭부(360) 내의 해당 계조 전압을 증폭하는 증폭기들만을 선별하여 온(on) 시키기 위하여, 상기 인코딩된 값(Q1~Q64)을 생성한다. 이와 같은 상기 무부하 검출부(320)의 동작에 대해서는 도 5에서 좀더 자세히 설명된다.

상기 메모리(330)는 제1 메모리(331) 및 제2 메모리(332)를 구비한다. 상기 제1 메모리(331)는 최소한 상기 수평 주사 주기 동안에 해당하는 64 비트의 상기 인코딩된 값(Q1~Q64)을 저장한다. 상기 제2 메모리(332)는 상기 믹스(310)로부터 입력되는 상기 R, G, B 디지털 영상 데이터를 받아, 최소한 상기 수평 주사 주기 동안에 해당하는 상기 R, G, B 디지털 영상 데이터를 저장한다. 상기 제1 메모리(331) 및 상기 제2 메모리(332)의 데이터 저장량은, 상기 소스 드라이버(300)가 정지 영상을 구동하는 지 또는 동영상을 구동하는 지에 따라 달라진다. 즉, 동영상의 구동 시에는, 상기 제1 메모리(331)는 한 수평 주사 주기 동안에 해당하는 64 비트의 인코딩된 값(Q1~Q64)을 저장하고, 정지 영상의 구동 시에는 상기 제1 메모리(331)는 "QCIF+"의 한 프레임에 해당하는 224*64 비트의 인코딩된 값들(Q1~Q64)을 저장한다. 마찬가지로, 동영상의 구동 시에는, 상기 제2 메모리(332)는 한 수평 주사 주기 동안에 해당하는 R, G, B 디지털 영상 데이터를 저장하고, 정지 영상의 구동 시에는 상기 제2 메모리(332)는 "QCIF+"의 한 프레임에 해당하는 528*224*6 비트의 R, G, B 디지털 영상 데이터를 저장한다.

상기 증폭기 동작 제어부(340)는 수평 주사 주기 동안에 해당하는 64 비트의 상기 인코딩된 값(Q1~Q64)에 따라, 온/오프 제어 신호를 생성한다. 상기 감마 전압 증폭부(360)는 각 계조 전압을 증폭하는 64 개의 증폭기들을 구비하고, 상기 온/오프

프 제어 신호에 응답하여 상기 증폭기들 중 해당 증폭기들을 온시키거나 오프시킨다. 예를 들어, 상기 온/오프 제어 신호는 64 비트로 구성되고, 각각의 논리 상태에 따라 상기 감마 전압 증폭부(360)에 구비된 증폭기들의 온/오프가 제어된다. 온된 증폭기들은 해당 계조 전압을 증폭시켜 증폭된 계조 전압들(G1~G64)을 상기 출력 선택부(390)로 출력한다.

상기 라인 래치부(370)는 상기 제2 메모리(332)에 저장되어 출력되는 상기 R, G, B 디지털 영상 데이터를 차례로 수평 주사 주기 단위(528*6 비트)로 출력한다. 상기 디스플레이 모드 선택부(380)는 노말 모드 시에는 상기 라인 래치부(370)에서 출력되는 수평 주사 주기 단위의 상기 R, G, B 디지털 영상 데이터를 상기 출력 선택부(390)로 출력한다. 이와 같은 노말 모드 시에 상기 디스플레이 모드 선택부(380)는 불필요하지만, 액정 패널(도 4)에 블랙 또는 화이트 화면을 표시하고자 하는 경우, 즉, 블랙/화이트 모드 시에는 상기 디스플레이 모드 선택부(380)는 블랙 또는 화이트에 해당하는 수평 주사 주기 단위의 상기 R, G, B 디지털 영상 데이터를 상기 출력 선택부(390)로 출력한다. 이와 같은 상기 디스플레이 모드 선택부(380)의 동작에 대해서는, 도 7에서 좀더 자세히 설명된다. 또한, 액정 패널의 상하판 사이에 주입된 액정의 열화를 방지하기 위하여, 상기 디스플레이 모드 선택부(380)는 주기적으로 R, G, B 디지털 영상 데이터를 반전(inversion)시켜서, 주지된 바와 같은 교류 구동(AC driving) 기능을 수행할 수도 있으나, 이와 같은 기능에 대해서는 본 발명의 요지를 벗어나므로, 여기서는 자세한 설명을 생략한다.

상기 출력 선택부(390)는 상기 디스플레이 모드 선택부(380)(이것이 없는 경우에는 상기 라인 래치부(370))에서 출력되는 상기 R, G, B 디지털 영상 데이터에 따라, 수평 주사 주기 동안 상기 감마 전압 증폭부(360) 내의 온된 증폭기들에서 출력되는 증폭된 계조 전압들(G1~G64) 중 각 영상 데이터에 해당하는 계조 전압을 선택하여, 다수의 소스 라인들(S1~S528)에 출력한다. 이와 같이 상기 출력 선택부(390)가 각 영상 데이터에 따른 디코딩을 수행하고, 해당 계조 전압을 선택하여 소스 라인들(S1~S528)에 공급하는 자세한 동작은 도 8 내지 도 10에서 자세히 설명된다.

상기 감마 조정부(350)는 기준 전압 발생부(351) 및 계조 전압 발생부(352)를 구비한다. 상기 기준 전압 발생부(351)는 레지스터(register)(미도시) 등에 세팅된 디코딩 값들을 이용하여 8개의 기준 전압들을 생성한다. 상기 계조 전압 발생부(352)는 상기 8개의 기준 전압들을 세분화하여 64개의 계조 전압들을 생성한다. 이에 따라, 상기 64개의 계조 전압들은 상기 감마 전압 증폭부(360)에 구비된 64 개의 증폭기들 각각에 입력된다.

도 5는 도 3의 무부하 검출부(320)를 나타내는 구체적인 블록도이다. 도 5를 참조하면, 상기 무부하 검출부(320)는 상기 먹스(310)로부터 출력되는 R, G, B 디지털 영상 데이터를 입력받는 다수의 레벨 검출기들(321~323)을 구비한다. R, G, B 디지털 영상 데이터 각각은 6 비트로 구성되므로, 64 계조를 표시할 수 있고, 이에 따라 64 개의 레벨 검출기들(321~323)이 필요하다. 상기 레벨 검출기들(321~323)에 의하여, 상기 무부하 검출부(320)는 수평 주사 주기로 인코딩 값(Q1~Q64)을 생성한다.

상기 레벨 검출기들(321~323) 각각은 도 4의 액정 패널의 어느 한 주사 라인(scan line)의 구동에 필요한 계조 레벨들을 발견하기 위하여, 수평 주사 주기 동안 입력된 영상 데이터의 각 계조에 따른 인코딩을 수행한다. 예를 들어, 제1 레벨 검출기(321)는 수평 주사 주기 동안에 입력된 영상 데이터 중 어느 하나라도 제1 계조가 포함되면 제2 논리 상태(논리 하이 상태), 그렇지 않으면 제1 논리 상태(논리 로우 상태)의 제1 인코딩 비트 값(Q1)을 출력한다. 마찬가지로, 제64 레벨 검출기(323)는 수평 주사 주기 동안에 입력된 영상 데이터 중 어느 하나라도 제64 계조가 포함되면 제2 논리 상태, 그렇지 않으면 제1 논리 상태의 제64 인코딩 비트 값(Q64)을 출력한다.

도 5와 같이, 상기 레벨 검출기들(321~323) 각각은 인코더(401, 411, 또는 421), 제1 래치부(402, 412, 또는 422), 인버터(403, 413, 또는 423), 및 제2 래치부(404, 414, 또는 424)를 구비한다. 도 5의 무부하 검출부(320)의 동작 설명을 위하여 도 6의 타이밍도가 참조된다.

상기 인코더(401, 411, 또는 421)에는 한쌍의 R, G, B 디지털 영상 데이터(18 비트) 씩 입력된다. 상기 인코더(401, 411, 또는 421)는 [표 1]과 같이, 입력되는 한쌍의 R, G, B 디지털 영상 데이터 중 어느 하나라도 정해진 계조 레벨에 해당하면, 제2 논리 상태를 출력한다. 예를 들어, 제1 레벨 검출기(321)의 제1 인코더(401)는 입력되는 한쌍의 R, G, B 디지털 영상 데이터 중 어느 하나라도 제1 계조 레벨 "0"에 해당하면, 제2 논리 상태를 출력한다. 그렇지 않으면, 상기 제1 인코더(401)는 제1 논리 상태를 출력한다.

[표 1]

R(RED)	G(GREEN)	B(BLUE)	계조 레벨
111111	111111	111111	64
111110	111110	111110	63

111101	111101	111101	62
111100	111100	111100	61
111011	111011	111011	60
111010	111010	111010	59
⋮			
000001	000001	000001	2
000000	000000	000000	1

상기 제1 래치부(402, 412, 또는 422)는 D 플립플롭과 같은 회로로서, R, G, B 디지털 영상 데이터가 동영상 데이터인 경우에는 제1 픽셀 클럭 신호(DOTCLK)에 따라, 또는 R, G, B 디지털 영상 데이터가 정지 영상 데이터인 경우에는 제2 픽셀 클럭 신호(WRB)에 따라, 상기 인코더(401, 411, 또는 421) 출력을 체크하여 상기 인코더(401, 411, 또는 421) 출력의 논리 상태를 전달한다. 제1 픽셀 클럭 신호(DOTCLK) 또는 제2 픽셀 클럭 신호(WRB)는 콘트롤부(미도시)에 구비되는 맥스(324)에서 출력될 수 있다. 상기 맥스(324)는 처리되는 R, G, B 디지털 영상 데이터가 동영상 데이터인지 또는 정지 영상 데이터인지를 알리는 제2 제어 신호(C2)의 논리 상태에 따라 제1 픽셀 클럭 신호(DOTCLK) 또는 제2 픽셀 클럭 신호(WRB)를 출력한다. 제1 픽셀 클럭 신호(DOTCLK) 및 제2 픽셀 클럭 신호(WRB)는 한쌍의 R, G, B 디지털 영상 데이터(18 비트)가 입력되는 주기를 가지는 펄스이다. 따라서, 상기 제1 래치부(402, 412, 또는 422)는 한쌍의 R, G, B 디지털 영상 데이터가 입력되는 주기로 상기 인코더(401, 411, 또는 421) 출력을 체크하여 상기 인코더(401, 411, 또는 421) 출력의 논리 상태를 전달한다.

상기 인버터(403, 413, 또는 423)는 상기 제1 래치부(402, 412, 또는 422) 출력을 반전시켜 출력한다. 상기 제2 래치부(404, 414, 또는 424)는 SR(set/reset) 플립플롭과 같은 회로로서, 상기 제1 래치부(402, 412, 또는 422) 출력을 세트 신호로서 받는다. 또한, 출력은 입력측으로 피드백되고, 수평 주사 주기를 가지는 펄스인 라인 클럭 신호(LINECLK)에 따라 상기 제1 래치부(402, 412, 또는 422) 출력을 체크하므로, 상기 제2 래치부(404, 414, 또는 424)는 상기 인버터(403, 413, 또는 423) 출력이 수평 주사 주기 동안에 최소한 한번이라도 제1 논리 상태인 경우 및 그렇지 않은 경우 각각에 대하여, 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값(Q1~Q64)으로서 출력한다. 도 6에 도시된 바와 같이, 생성된 상기 인코딩 값(Q1~Q64)은 콘트롤부(미도시)에서 생성되는 메모리 라이트(write) 콘트롤 신호에 따라 상기 제1 메모리(331)에 저장되고, 상기 제1 래치부(402, 412, 또는 422) 및 제2 래치부(404, 414, 또는 424)는, 수평 주사 주기를 가지는 라인 리셋 신호(LINERE)에 따라 리셋되며, 수평 주사 주기마다 같은 동작을 반복한다. 콘트롤부(미도시)는 수평 동기 신호(HSYNC)를 이용하여 상기 제1 픽셀 클럭 신호(DOTCLK), 상기 제2 픽셀 클럭 신호(WRB), 상기 라인 클럭 신호(LINECLK), 및 상기 라인 리셋 신호(LINERE) 등을 생성할 수 있다.

즉, 상기 레벨 검출기들(321~323) 각각은 한 수평 주사 주기 동안에 입력되는 R, G, B 디지털 영상 데이터 중 어느 하나라도 각각에 정해진 레벨에 해당하는지를 판단하여, 상기 정해진 레벨에 해당하지 않는 경우 및 해당하는 경우 각각에 대하여 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값(Q1~Q64)으로서 생성한다. 상기 감마 전압 증폭부(360) 내의 해당 계조 전압을 증폭하는 증폭기들만을 선별하여 온/오프 시키기는 제어 신호를 생성하기 위하여, 이와 같이 생성된 인코딩된 값(Q1~Q64)은, 상기 제1 메모리(331)에 저장된 후 상기 증폭기 동작 제어부(340)로 입력된다.

도 7은 도 3의 디스플레이 모드 선택부(380)를 나타내는 구체적인 블록도이다. 도 7을 참조하면, 상기 디스플레이 모드 선택부(380)는 NOR(부정 논리합) 로직회로(381), 인버터(382), 맥스(383), 및 래치회로(384)를 구비한다. 상기 NOR 로직회로(381)는 상기 라인 래치부(370)에서 출력되는 R, G, B 디지털 영상 데이터(A0~A5)와 콘트롤부(미도시)에서 생성된 블랙/화이트 모드 콘트롤 신호(BLKDSP)에 대한 NOR 연산을 수행하여 그 결과를 출력한다. 이와 같은 연산은 액정 패널의 한 수평 라인(528 픽셀)에 해당하는 한 수평 주사 주기의 R, G, B 디지털 영상 데이터에 대하여 동시에 수행될 수 있다. 상기 인버터(382)는 상기 NOR 로직회로(381)의 연산 결과를 반전시켜 출력한다. 이에 따라, 상기 맥스(383)는 콘트롤부(미도시)에서 생성된 소정 콘트롤 신호(MREV)의 논리 상태에 따라, 상기 NOR 로직회로(381)의 연산 결과 또는 상기 인버터(382)의 출력 중 어느 하나를 선택 적으로 출력한다.

예를 들어, 노말 모드 시에는, 상기 블랙/화이트 모드 콘트롤 신호(BLKDSP)가 제1 논리 상태이고, 이때, 상기 맥스(383)는 상기 라인 래치부(370)에서 출력되는 영상 데이터를 상기 래치회로(384)로 출력한다. 여기서, 위에서 기술한 바와 같이, 액정 열화를 방지하기 위하여 데이터 반전이 필요한 경우에, 상기 맥스(383)는 상기 소정 콘트롤 신호(MREV)의 주기적인 논리 상태 변경에 따라, 상기 NOR 로직회로(381)의 연산 결과 또는 상기 인버터(382)의 출력 중 어느 하나를 선택적

으로 출력할 수 있다. 이는 본 발명의 요지를 벗어나므로, 노말 모드 시에, 상기 소정 콘트롤 신호(MREV)는 제1 논리 상태이고, 이에 따라 상기 먹스(383)는 상기 인버터(382)의 출력, 즉, 상기 라인 래치부(370)에서 출력되는 영상 데이터를 선택하여 상기 래치회로(384)로 출력하는 것으로 가정한다.

마찬가지로, 블랙/화이트 모드 시에는, 상기 블랙/화이트 모드 콘트롤 신호(BLKDSP)가 제2 논리 상태이고, 이때, 상기 먹스(383)는 상기 NOR 로직회로(381)의 연산 결과인 제1 논리 상태 또는 상기 인버터(382)의 출력인 제2 논리 상태를 상기 래치회로(384)로 출력한다. 이때, 상기 소정 콘트롤 신호(MREV)가 제1 논리 상태이면, 상기 먹스(383)는 상기 인버터(382)의 출력인 제2 논리 상태를 상기 래치회로(384)로 출력하고, 상기 소정 콘트롤 신호(MREV)가 제2 논리 상태이면, 상기 먹스(383)는 상기 NOR 로직회로(381)의 연산 결과인 제1 논리 상태를 상기 래치회로(384)로 출력한다. 여기서, 상기 먹스(383)가 제1 논리 상태를 출력하면 액정 패널에 화이트 화면이 표시되고, 제2 논리 상태를 출력하면 액정 패널에 블랙 화면이 표시된다. 이와 같이 블랙 또는 화이트로 표시되는 성질은, 액정의 종류에 따라 서로 반대로 표시될 수도 있다.

상기 래치회로(384)는 상기 먹스(383)의 출력을 저장하고, 콘트롤부(미도시)에서 생성되는 제3 제어 신호(C3)에 동기시켜 저장된 데이터를 출력한다. 상기 래치회로(384)에서 출력되는 데이터(D0~D5 및 D0B~D5B)는 상기 출력 선택부(390)에 입력되어, 상기 출력 선택부(390)에서 디코딩된다. 데이터 D0B~D5B 각각은 데이터 D0~D5의 반전된 데이터이다.

도 8은 도 3의 출력 선택부(390)를 나타내는 구체적인 블록도이다. 도 8을 참조하면, 상기 출력 선택부(390)는 R, G, B 디지털 영상 데이터 각각에 대응하는 계조 전압을 출력하는 소스 라인들(S1~S528) 수(528 개) 만큼의 구동 전압 출력부들(391~393)을 구비한다. 상기 구동 전압 출력부들(391~393) 각각은, 도 9에 도시된 바와 같이, 상기 감마 전압 증폭부(360) 내의 증폭기들에서 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여 해당 소스 라인으로 출력하는 64 개의 레벨 선택부들(810~830)을 구비한다.

도 10은 도 9의 레벨 선택부들(810~830)을 나타내는 구체적인 회로도이다. 도 10을 참조하면, 상기 레벨 선택부들(810~830) 각각은, 래치회로(911), 제1 MOSFET(914), 디코딩 회로(930), 제1 전송 게이트(923), 및 제2 전송 게이트(924)를 구비한다. 도 10의 레벨 선택부들(810~830)의 동작 설명을 위하여 도 11의 타이밍도가 참조된다. 상기 레벨 선택부들(810~830)을 콘트롤하는 신호들, 즉, 제1 제어신호(LOADB), 제2 제어신호(LOAD1B), 제3 제어신호(LOAD2), 제2 출력 제어신호(GRAYON, GRAYONB)는 콘트롤부(미도시)에서 생성된다고 가정한다. 상기 LOADB 및 LOAD1B 각각은 LOAD 및 LOAD1의 반전 신호이다.

상기 래치회로(911)는 제1 제어신호(LOADB)가 제2 논리 상태로 활성화될 때 입력된 신호를 반전시키는 제1 인버터(912) 및 항상 입력신호를 반전시키는 제2 인버터(913)를 구비한다. 상기 래치회로(911)는 입출력을 서로 피드백시켜서, 제1 제어신호(LOADB)가 활성화될 때의 해당 입출력 값을 래치시킨다. 이에 따라, 래치된 제1 출력 제어신호(CN, CNB)를 생성한다. 상기 제1 전송 게이트(923)를 구성하는 N형 MOSFET(metal-oxide-semiconductor field effect transistor) 및 P형 MOSFET을 동시에 액티브 시키기 위하여, 상기 제1 출력 제어신호(CN, CNB)는 서로 반전된 2개의 신호로 출력된다. 도 11에 도시된 바와 같이, 상기 제2 제어신호(LOAD1B) 및 상기 제3 제어신호(LOAD2)가 차례로 활성화된 후에, 상기 제1 제어신호(LOADB)가 활성화된다.

상기 제1 제어신호(LOADB)가 비활성화된 상태에서, 상기 제1 MOSFET(914)는 제2 제어신호(LOAD1B)에 응답하여 상기 제1 출력 제어신호(CN, CNB)를 비활성화시킨다. 상기 제1 MOSFET(914)는 P형 MOSFET이고, 상기 제2 제어신호(LOAD1B)가 활성화되면, 제1 전원 전압(AVDD)을 상기 래치회로(911)의 제2 인버터(913) 입력에 공급하여, 상기 제1 출력 제어신호(CN, CNB)를 비활성화시킨다.

상기 디코딩 회로(930)는 제3 제어신호(LOAD2)에 응답하여, 상기 R, G, B 디지털 영상 데이터 중 구동할 소스 라인에 해당하는 어느 하나의 6비트 영상 데이터(D0~D5)를 디코딩하여 상기 제1 출력 제어신호(CN, CNB)를 활성화시킨다. 상기 구동 전압 출력부들(391~393) 각각에 구비되는 64 개의 레벨 선택부들(810~830) 중 어느 하나만에서, 상기 디코딩 회로(930)에 구비되는 트랜지스터들(916~921)이 모두 온(on)되고, 이에 따라 상기 구동 전압 출력부들(391~393) 각각에 구비되는 64 개의 레벨 선택부들(810~830) 중 어느 하나만에서 상기 제1 출력 제어신호(CN, CNB)에 해당하는 신호가 활성화된다. 상기 디코딩 회로(930)에 대해서는 아래에서 좀더 자세히 기술된다.

상기 제1 전송 게이트(923)는, 주지된 바와 같은 N형 MOSFET 및 P형 MOSFET의 병렬 구조이고, 상기 감마 전압 증폭부(360)에서 선택되어 온된 증폭기들에서 증폭된 계조 전압들 중 구동할 소스 라인에 해당하는 계조 전압을 상기 제1 출력 제어신호(CN, CNB)의 활성 및 비활성 각각의 상태에 따라 출력하거나 출력하지 않는다. 즉, 상기 디코딩 회로(930)에 의하여 상기 제1 출력 제어신호(CN, CNB)가 활성화되면, 상기 제1 전송 게이트(923)는 해당 계조 전압을 상기 제2 전송 게

이트(924)로 출력한다. 상기 제2 전송 게이트(924)는 제2 출력 제어신호(GRAYONB, GRAYON)에 응답하여 상기 제1 전송 게이트(923) 출력을 해당 소스 라인으로 출력한다. 상기 제2 전송 게이트(924)도, 주지된 바와 같은 N형 MOSFET 및 P형 MOSFET의 병렬 구조이고, 이들을 동시에 액티브 시키기 위하여, 상기 제2 출력 제어신호(GRAYONB, GRAYON)는 서로 반전된 2개의 신호 쌍으로 구성된다.

도 10에서, 상기 디코딩 회로(930)는 제2 MOSFET(922), 다수의 MOSFET들(916~921), 및 제3 MOSFET(915)를 구비한다. 다수의 MOSFET들(916~921), 및 제3 MOSFET(915)는 모두 저전압(낮은 문턱전압) 동작 MOSFET들로 구현되고, 상기 래치회로(911), 상기 제1 MOSFET(914), 제2 MOSFET(922), 상기 제1 전송 게이트(923), 및 제2 전송 게이트(924)의 동작 전압보다 작은 전압에서 동작한다. 종래에는 상기 디코딩 회로(930)를 구성하는 모든 MOSFET들이 고전압 동작 MOSFET들로 구현되었고 레벨 쉬프터가 필요했지만, 저전압 동작하는 상기 디코딩 회로(930)에 의하여 회로를 간단히 할 수 있고, 저전압 동작 MOSFET들은 작게 설계될 수 있으므로, 회로 면적을 감소시킬 수 있다.

상기 제2 MOSFET(922)에서는, 게이트 단자가 제2 전원(VDD)에 접속되고, 드레인 단자는 상기 제1 출력 제어신호(CN, CNB)를 이루는 한쌍의 신호들 중 어느 하나의 노드(CNB 노드)에 접속되며, 소스 단자는 제1 노드(ND1)에 접속된다. 상기 제2 MOSFET(922)는 저전압 동작 MOSFET들과 고전압 동작 MOSFET들 사이에 삽입되어 있어서, 저전압 동작 MOSFET들이 고전압에 의하여 "breakdown"되는 것을 방지한다. 이를 위하여, 상기 제2 MOSFET(922)의 게이트 단자는 상기 제1 전원(AVDD) 보다 작은 전압 레벨을 가지는 제2 전원(VDD)에 의하여 온되어 있다. 상기 다수의 MOSFET들(916~921)에서는, 게이트 단자들 각각이 해당 소스 라인을 구동할 영상 데이터의 비트 데이터를 받고, 상기 제1 노드(ND1)에 직렬 연결되며 마지막 MOSFET의 소스 단자는 제2 노드(ND2)에 접속된다. 상기 제3 MOSFET(915)에서는, 게이트 단자가 상기 제3 제어신호(LOAD2)를 받고, 드레인 단자는 상기 제2 노드(ND2)에 접속되며, 소스 단자는 접지된다.

64 개의 레벨 선택부들(810~830)에 구비되는 디코딩 트랜지스터들(916~921)은 하나의 소스 라인을 구동하기 위하여, 각 영상 데이터를 받아 디코딩한다. 예를 들어, 도 9의 제 64레벨 선택부(830)에 구비되는 디코딩 트랜지스터들은 디코딩할 영상 데이터로서, 디스플레이 모드 선택부(380)로부터 D0~D5를 받는다. 제 63레벨 선택부(미도시) 내지 제1 레벨 선택부(810)에 구비되는 디코딩 트랜지스터들도 디코딩할 영상 데이터로서, D0~D5를 받는다. 이에 따라, 상기 구동 전압 출력부들(391~393) 각각에 구비되는 64 개의 레벨 선택부들(810~830) 중 어느 하나만에서, 상기 디코딩 회로(930)에 구비되는 트랜지스터들(916~921)이 모두 온(on)되고, 이에 따라 상기 구동 전압 출력부들(391~393) 각각에 구비되는 64 개의 레벨 선택부들(810~830) 중 어느 하나만에서 상기 제1 출력 제어신호(CN, CNB)에 해당하는 신호가 활성화된다.

도 12는 도 10의 디코딩 회로(930)를 나타내는 다른 예이다. 도 12를 참조하면, 상기 디코딩 회로(930)는 제2 MOSFET(941) 및 다수의 MOSFET들(935~940)을 구비한다. 상기 디코딩 MOSFET들(935~940)은 회로 면적을 감소시키기 위하여 모두 저전압 동작 MOSFET들로 구현되고, 상기 래치회로(911), 상기 제1 MOSFET(914), 제2 MOSFET(941), 상기 제1 전송 게이트(923), 및 제2 전송 게이트(924)의 동작 전압보다 작은 전압에서 동작한다. 상기 제2 MOSFET(941)에서는, 게이트 단자가 상기 제3 제어신호(LOAD2)를 받고, 드레인 단자는 상기 제1 출력 제어신호(CN, CNB)를 이루는 한쌍의 신호들 중 어느 하나의 노드(CNB)에 접속되며, 소스 단자는 소정 노드(ND3)에 접속된다. 상기 제2 MOSFET(941)는 저전압 동작 MOSFET들과 고전압 동작 MOSFET들 사이에 삽입되어 있어서, 저전압 동작 MOSFET들이 고전압에 의하여 "breakdown"되는 것을 방지한다. 상기 디코딩 MOSFET들(935~940)에서는, 게이트 단자들 각각이 해당 소스 라인을 구동할 영상 데이터의 비트 데이터를 받고, 상기 소정 노드(ND3)에 직렬 연결되며 마지막 MOSFET의 소스 단자는 접지된다.

도 13은 도 10의 디코딩 회로(930)를 나타내는 또 다른 예이다. 도 13을 참조하면, 상기 디코딩 회로(930)는 제2 MOSFET(961), 제3 MOSFET(962) 및 다수의 MOSFET들(955~960)을 구비한다. 상기 디코딩 MOSFET들(955~960) 및 제3 MOSFET(962)은 회로 면적을 감소시키기 위하여 모두 저전압 동작 MOSFET들로 구현되고, 상기 래치회로(911), 상기 제1 MOSFET(914), 제2 MOSFET(961), 상기 제1 전송 게이트(923), 및 제2 전송 게이트(924)의 동작 전압보다 작은 전압에서 동작한다. 제2 MOSFET(961)에서는, 게이트 단자가 상기 제3 제어신호(LOAD2)를 받고, 드레인 단자는 상기 제1 출력 제어신호(CN, CNB)를 이루는 한쌍의 신호들 중 어느 하나의 노드(CNB)에 접속되며, 소스 단자는 소정 노드(ND4)에 접속된다. 제3 MOSFET(962)에서는, 게이트 단자가 상기 제2 제어신호(LOAD1B)가 반전된 신호(LOAD1)를 받고, 드레인 단자는 상기 소정 노드(ND4)에 접속되며, 소스 단자는 접지(VSS)된다. 상기 디코딩 MOSFET들(955~960)에서는, 게이트 단자들 각각이 해당 소스 라인을 구동할 영상 데이터의 비트 데이터를 받고, 상기 소정 노드(ND4)에 직렬 연결되며 마지막 MOSFET의 소스 단자는 접지된다.

위에서 기술한 바와 같이, 본 발명의 일실시예에 따른 액정 표시 장치 구동을 위한 소스 드라이버(300)는, 시리얼로 입력되는 R, G, B 디지털 영상 데이터에 대하여, 수평 주사 주기 동안 R, G, B 영상 데이터를 인코딩하여 인코딩된 값(Q1~Q64)

을 제1 메모리(331)에 저장하고, 상기 제1 메모리(331)에 저장된 값에 의하여 감마 전압 증폭부(360) 내의 계조 전압 증폭기들의 온/오프를 제어한다. 이에 따라, 액정 패널 구동에 필요한 증폭기들만 온된 상태에서, 출력 선택부(390)는 감마 전압 증폭부(360)에서 출력되는 해당 계조 전압을 선택하여 각 소스 라인에 출력한다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 액정 표시 장치 구동을 위한 소스 드라이버(300)는, 액정 패널 구동에 필요한 계조 전압 증폭기들만 온시켜서 소스 라인을 구동하므로, 기존의 방법에 비하여 소비 전류를 줄일 수 있고 증폭기 발진을 방지한다. 또한, 많은 부분의 회로에 저전압 트랜지스터를 사용하므로 최종 출력 선택 회로에서 종래에 필요로 했던 레벨 쉬프터의 사용이 불필요해졌고, 회로 면적을 상당히 줄일 수 있다.

(57) 청구의 범위

청구항 1.

시리얼 R, G, B 디지털 영상 데이터를 입력받아, 상기 영상 데이터의 각 계조에 따른 인코딩을 수평 주사 주기로 수행하여 인코딩된 값을 생성하는 무부하 검출부;

최소한 상기 수평 주사 주기 동안에 해당하는 상기 R, G, B 디지털 영상 데이터 및 상기 인코딩된 값을 저장하는 메모리;

수평 주사 주기 동안에 해당하는 상기 인코딩된 값에 따라 온/오프 제어신호를 생성하는 증폭기 동작 제어부;

각 계조 전압을 증폭하는 다수의 증폭기들을 구비하고, 상기 온/오프 제어신호에 응답하여 상기 증폭기들 중 해당 증폭기들을 온시키거나 오프시키는 감마 전압 증폭부;

상기 메모리에 저장된 상기 R, G, B 디지털 영상 데이터를 차례로 수평 주사 주기 단위로 출력하는 라인 래치부; 및

상기 라인 래치부에서 출력되는 상기 R, G, B 디지털 영상 데이터에 따라, 수평 주사 주기 동안 상기 온된 증폭기들에서 출력되는 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여, 다수의 소스 라인들에 출력하는 출력 선택부를 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 2.

제 1항에 있어서, 상기 소스 드라이버는,

디코딩 값들을 이용하여 다수의 기준 전압들을 생성하는 기준 전압 발생부; 및

상기 기준 전압들을 세분화하여 상기 계조 전압들을 생성하는 계조 전압 발생부를 더 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 3.

제 1항에 있어서, 상기 소스 드라이버는,

노말 모드 시에는 상기 라인 래치부에서 출력되는 수평 주사 주기 단위의 상기 R, G, B 디지털 영상 데이터를 상기 출력 선택부로 출력하고, 블랙/화이트 모드 시에는 블랙 또는 화이트에 해당하는 수평 주사 주기 단위의 상기 R, G, B 디지털 영상 데이터를 상기 출력 선택부로 출력하는 디스플레이 모드 선택부를 더 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 4.

제 1항에 있어서, 상기 시리얼 R, G, B 디지털 영상 데이터는,

정지 영상 또는 동영상 디지털 데이터인 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 5.

제 4항에 있어서, 상기 메모리는,

최소한 상기 수평 주사 주기 동안에 해당하는 상기 인코딩된 값을 저장하는 제1 메모리; 및

최소한 상기 수평 주사 주기 동안에 해당하는 상기 R, G, B 디지털 영상 데이터를 저장하는 제2 메모리를 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 6.

제 5항에 있어서, 상기 R, G, B 디지털 영상 데이터가 동영상 디지털 데이터인 경우에, 상기 제1 메모리 및 상기 제2 메모리 각각은 상기 수평 주사 주기 동안에 해당하는 인코딩된 값 및 R, G, B 디지털 영상 데이터를 저장하고, 상기 R, G, B 디지털 영상 데이터가 정지 영상 디지털 데이터인 경우에는, 상기 제1 메모리 및 상기 제2 메모리 각각은 한 프레임에 해당하는 인코딩된 값 및 R, G, B 디지털 영상 데이터를 저장하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 7.

제 1항에 있어서, 상기 무부하 검출부는,

각각이 수평 주사 주기로 해당 인코딩 값을 생성하는 다수의 레벨 검출기들을 구비하고, 상기 레벨 검출기들 각각은 한 수평 주사 주기 동안에 입력되는 R, G, B 디지털 영상 데이터 중 어느 하나라도 각각에 정해진 레벨에 해당하는지를 판단하여, 상기 정해진 레벨에 해당하지 않는 경우 및 해당하는 경우 각각에 대하여 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값으로서 생성하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 8.

제 7항에 있어서, 상기 레벨 검출기들 각각은,

입력되는 한쌍의 R, G, B 디지털 영상 데이터마다 그 데이터 중 어느 하나라도 정해진 레벨에 해당하지 않는 경우 및 해당하는 경우 각각에 대하여 제1 논리 상태 및 제2 논리 상태를 출력하는 인코더;

한쌍의 R, G, B 디지털 영상 데이터가 입력되는 주기로 상기 인코더 출력을 체크하여 상기 인코더 출력의 논리 상태를 전달하는 제1 래치부;

상기 제1 래치부 출력을 반전시켜 출력하는 인버터; 및

상기 인버터 출력이 수평 주사 주기 동안에 최소한 한번이라도 제1 논리 상태가 아닌 경우 및 그렇지 않은 경우 각각에 대하여, 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값으로서 출력하는 제2 래치부를 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 9.

제 1항에 있어서, 상기 출력 선택부는,

상기 R, G, B 디지털 영상 데이터 각각에 대응하는 계조 전압을 출력하는 다수의 구동 전압 출력부들을 구비하고, 상기 구동 전압 출력부들 각각은 상기 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여 해당 소스 라인으로 출력하는 다수의 레벨 선택부들을 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 10.

제 9항에 있어서, 상기 레벨 선택부들 각각은,

제1 제어신호에 응답하여 제1 출력 제어신호를 생성하는 래치회로;

제2 제어신호에 응답하여 상기 제1 출력 제어신호를 비활성화시키는 제1 MOSFET;

제3 제어신호에 응답하여, 상기 R, G, B 디지털 영상 데이터 중 구동할 소스 라인에 해당하는 어느 하나의 영상 데이터에 의하여 상기 제1 출력 제어신호를 활성화시키는 디코딩 회로;

상기 제1 출력 제어신호의 활성 및 비활성 각각의 상태에 따라 상기 증폭된 계조 전압들 중 해당 계조 전압을 출력하거나 출력하지 않는 제1 전송 게이트; 및

제2 출력 제어신호에 응답하여 상기 제1 전송 게이트 출력을 해당 소스 라인으로 출력하는 제2 전송 게이트를 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 11.

제 10항에 있어서, 상기 제1 MOSFET는,

P형 MOSFET인 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 12.

제 10항에 있어서, 상기 제1 출력 제어신호는,

서로 다른 논리 상태를 가지는 한 쌍의 신호들로 구성되고, 상기 디코딩 회로는,

게이트 단자는 전원에 접속되고, 드레인 단자는 상기 한쌍의 신호들 중 어느 하나의 노드에 접속되며, 소스 단자는 제1 노드에 접속된 제2 MOSFET;

게이트 단자들 각각이 해당 소스 라인을 구동할 영상 데이터의 비트 데이터를 받고, 상기 제1 노드에 직렬 연결되며 마지막 MOSFET의 소스 단자는 제2 노드에 접속된 다수의 MOSFET들; 및

게이트 단자는 상기 제3 제어신호를 받고, 드레인 단자는 상기 제2 노드에 접속되며, 소스 단자는 접지된 제3 MOSFET를 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 13.

제 12항에 있어서, 상기 다수의 MOSFET들, 및 상기 제3 MOSFET는,

상기 제1 MOSFET 보다 저전압 동작 MOSFET인 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 14.

제 10항에 있어서, 상기 제1 출력 제어신호는,

서로 다른 논리 상태를 가지는 한 쌍의 신호들로 구성되고, 상기 디코딩 회로는,

게이트 단자는 상기 제3 제어신호를 받고, 드레인 단자는 상기 한쌍의 신호들 중 어느 하나의 노드에 접속되며, 소스 단자는 소정 노드에 접속된 제2 MOSFET; 및

게이트 단자들 각각이 해당 소스 라인을 구동할 영상 데이터의 비트 데이터를 받고, 상기 소정 노드에 직렬 연결되며 마지막 MOSFET의 소스 단자는 접지된 다수의 MOSFET들을 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 15.

제 14항에 있어서, 상기 다수의 MOSFET들은,

상기 제1 MOSFET 보다 저전압 동작 MOSFET인 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 16.

제 10항에 있어서, 상기 제1 출력 제어신호는,

서로 다른 논리 상태를 가지는 한 쌍의 신호들로 구성되고, 상기 디코딩 회로는,

게이트 단자는 상기 제3 제어신호를 받고, 드레인 단자는 상기 한쌍의 신호들 중 어느 하나의 노드에 접속되며, 소스 단자는 소정 노드에 접속된 제2 MOSFET;

게이트 단자는 상기 제2 제어신호가 반전된 신호를 받고, 드레인 단자는 상기 소정 노드에 접속되며, 소스 단자는 접지된 제3 MOSFET; 및

게이트 단자들 각각이 해당 소스 라인을 구동할 영상 데이터의 비트 데이터를 받고, 상기 소정 노드에 직렬 연결되며 마지막 MOSFET의 소스 단자는 접지된 다수의 MOSFET들을 구비하는 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 17.

제 16항에 있어서, 상기 다수의 MOSFET들 및 상기 제3 MOSFET는,

상기 제1 MOSFET 보다 저전압 동작 MOSFET인 것을 특징으로 하는 액정 표시 장치 구동을 위한 소스 드라이버.

청구항 18.

시리얼 R, G, B 디지털 영상 데이터를 입력받아, 상기 영상 데이터의 각 계조에 따른 인코딩을 수평 주사 주기로 수행하여 인코딩된 값을 생성하는 단계;

수평 주사 주기 동안에 해당하는 상기 인코딩된 값에 따라 온/오프 제어신호를 생성하는 단계;

각 계조 전압을 증폭하는 다수의 증폭기들 중 해당 증폭기들을 상기 온/오프 제어신호에 응답하여 온시키거나 오프시키는 단계; 및

상기 R, G, B 디지털 영상 데이터에 따라, 수평 주사 주기 동안 상기 온된 증폭기들에서 출력되는 증폭된 계조 전압들 중 각 영상 데이터에 해당하는 계조 전압을 선택하여, 다수의 소스 라인들에 출력하는 단계를 구비하는 것을 특징으로 하는 액정 표시 장치의 소스라인 구동 방법.

청구항 19.

제 18항에 있어서, 상기 소스라인 구동 방법은,

디코딩 값들을 이용하여 다수의 기준 전압들을 생성하는 단계; 및

상기 기준 전압들을 세분화하여 상기 계조 전압들을 생성하는 단계를 더 구비하는 것을 특징으로 하는 액정 표시 장치의 소스라인 구동 방법.

청구항 20.

제 18항에 있어서, 상기 소스라인 구동 방법은,

노말 모드 시에는 정지 영상 또는 동영상 R, G, B 디지털 데이터에 따른 계조 전압을 해당 소스 라인에 출력하고, 블랙/화이트 모드 시에는 블랙 또는 화이트 R, G, B 디지털 영상 데이터에 따른 계조 전압을 해당 소스 라인에 출력하는 단계를 더 구비하는 것을 특징으로 하는 액정 표시 장치의 소스라인 구동 방법.

청구항 21.

제 18항에 있어서, 상기 인코딩 값 생성 단계는,

한 수평 주사 주기 동안에 입력되는 R, G, B 디지털 영상 데이터들이 정해진 레벨들 각각에 해당하는지를 판단하는 단계; 및

상기 정해진 레벨들 각각에 해당하지 않는 경우 및 해당하는 경우 각각에 대하여 제1 논리 상태 및 제2 논리 상태를 상기 인코딩 값으로서 생성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 소스라인 구동 방법.

청구항 22.

제 18항에 있어서, 상기 게조 전압을 선택하여 소스 라인들에 출력하는 단계는,

제1 제어신호에 응답하여 제1 출력 제어신호를 생성하는 단계;

제2 제어신호에 응답하여 상기 제1 출력 제어신호를 비활성화시키는 단계;

제3 제어신호에 응답하여, 상기 R, G, B 디지털 영상 데이터 중 구동할 소스 라인에 해당하는 어느 하나의 영상 데이터를 디코딩하여 상기 제1 출력 제어신호를 활성화시키는 단계; 및

상기 제1 출력 제어신호의 활성 및 비활성 각각의 상태에 따라 상기 증폭된 게조 전압들 중 해당 게조 전압을 출력하거나 출력하지 않는 단계를 구비하는 것을 특징으로 하는 액정 표시 장치의 소스라인 구동 방법.

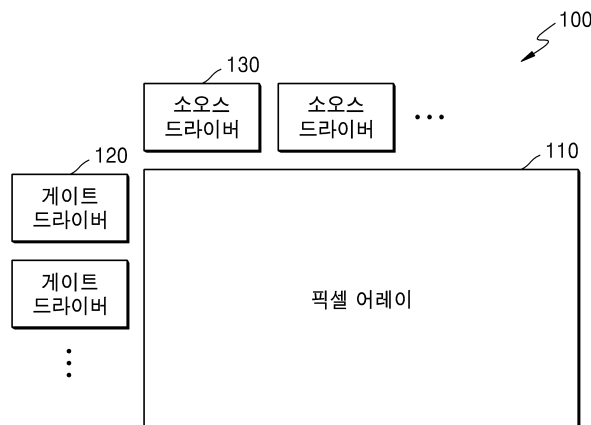
청구항 23.

제 22항에 있어서, 상기 영상 데이터 디코딩은,

저전압 동작 MOSFET로 구성되는 회로에 의하여 이루어지는 것을 특징으로 하는 액정 표시 장치의 소스라인 구동 방법.

도면

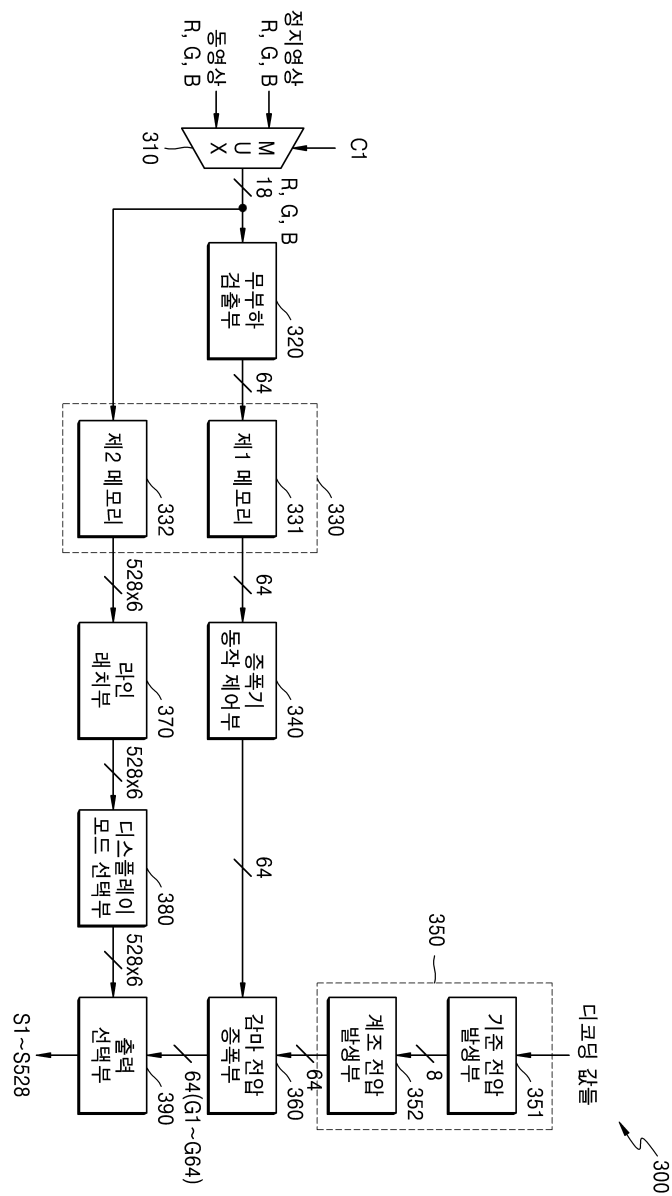
도면1



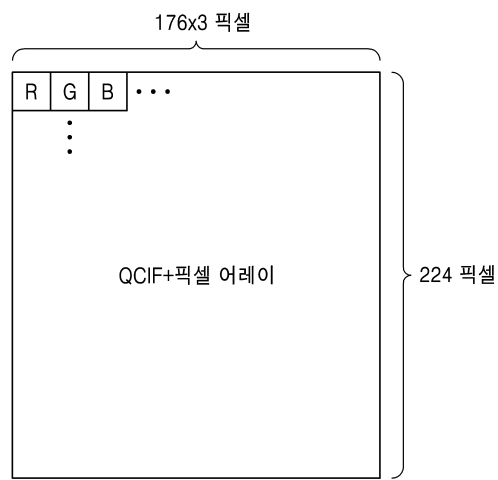
도면2

R	G	B	R	G	B
R	G	B	R	G	B

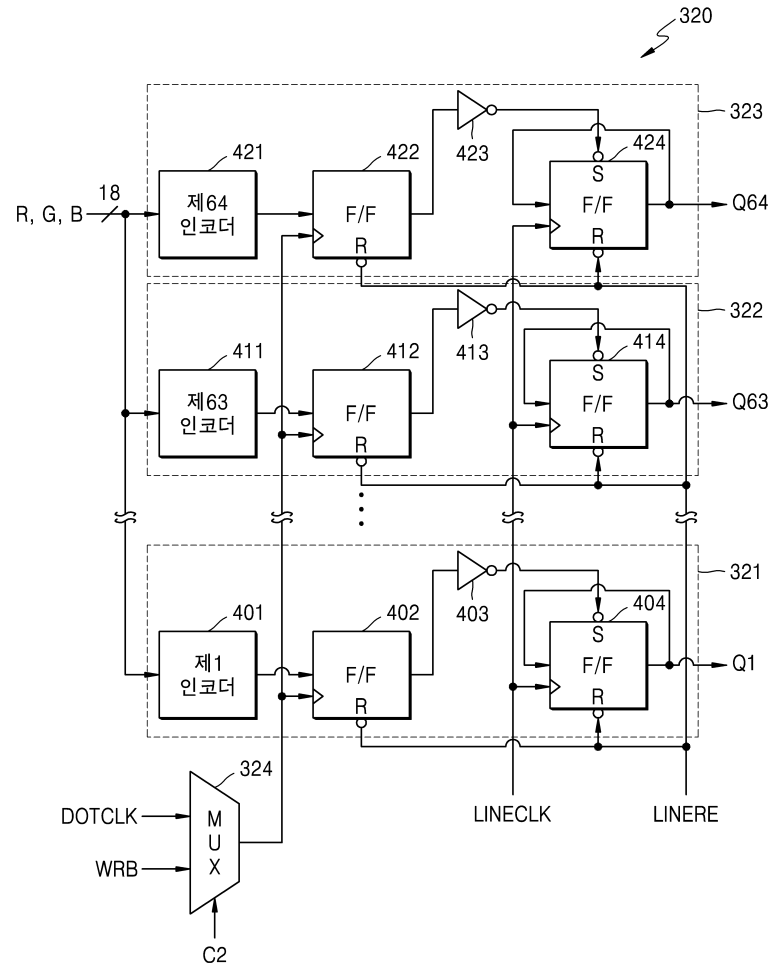
도면3



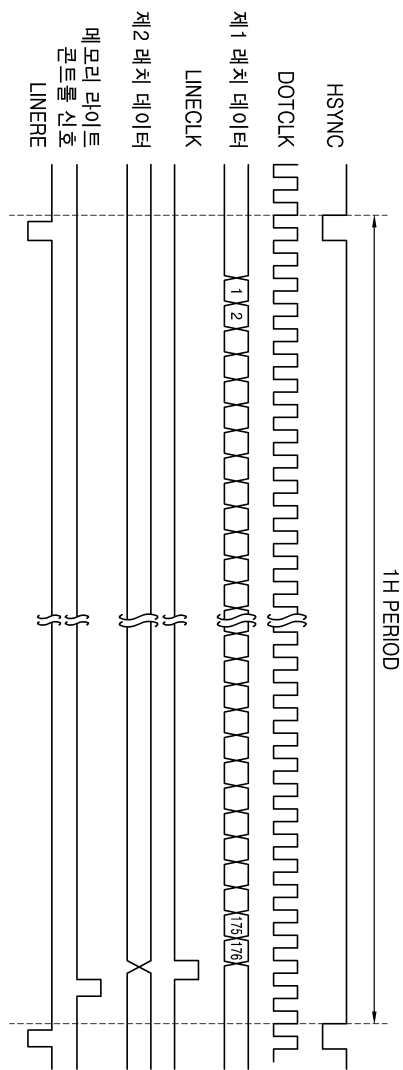
도면4



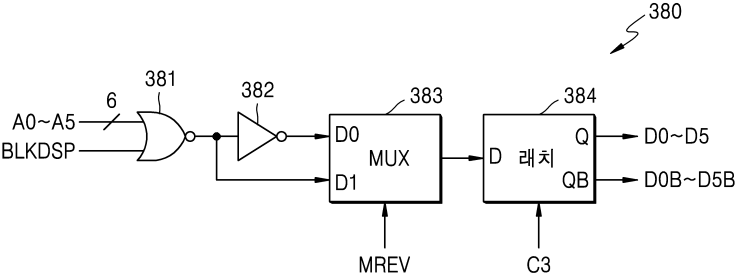
도면5



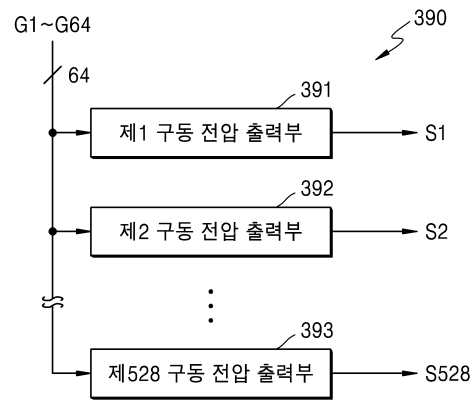
도면6



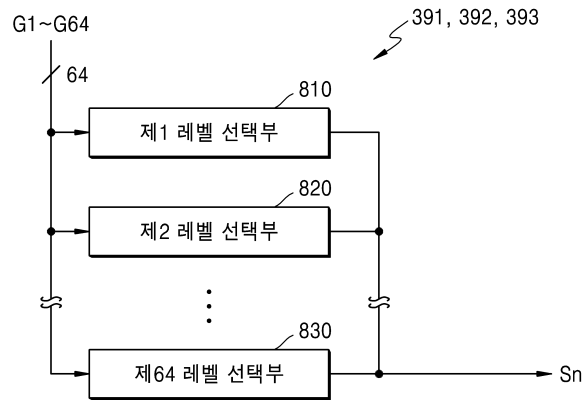
도면7



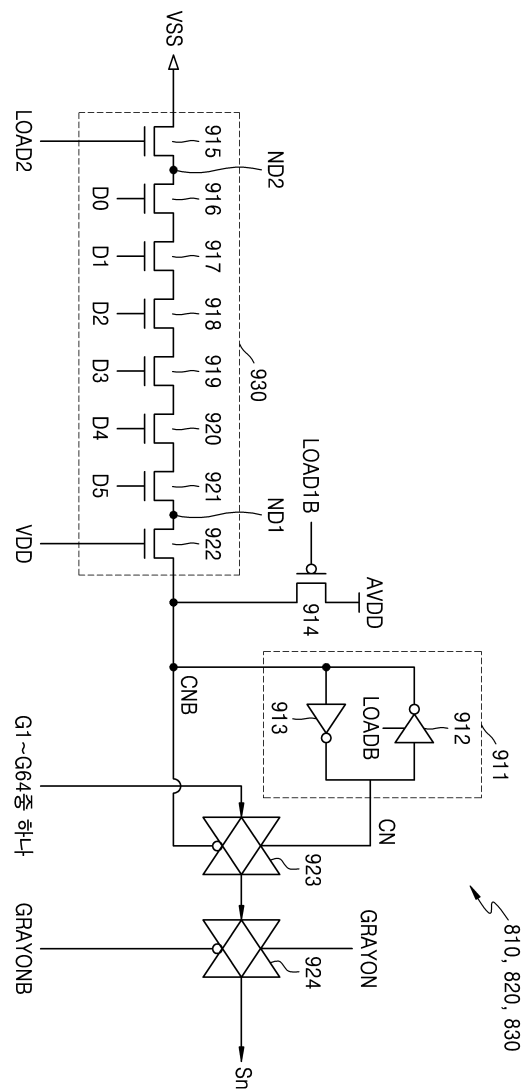
도면8



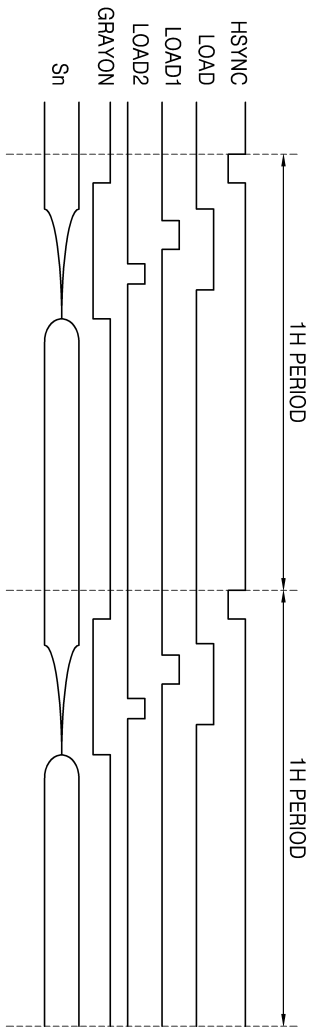
도면9



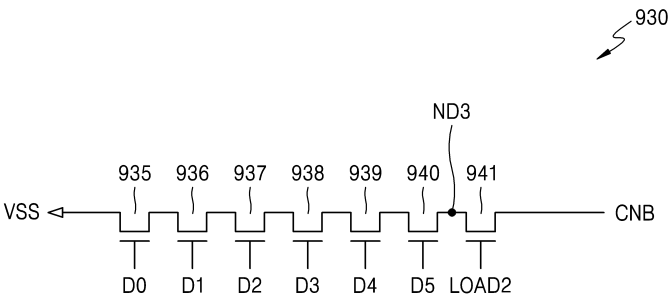
도면10



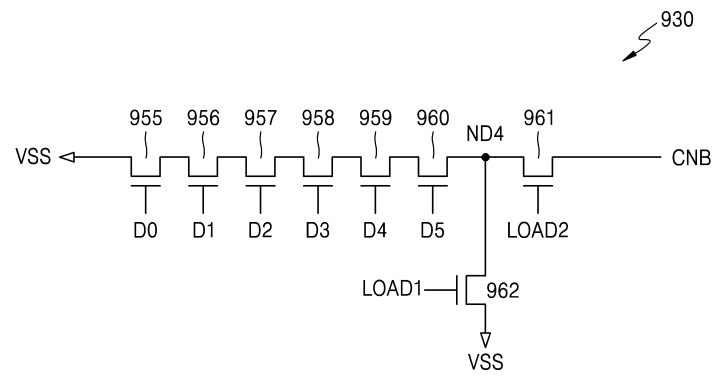
도면11



도면12



도면13



专利名称(译)	用于驱动液晶显示装置的伽马驱动方法的源极驱动器和源极线驱动方法		
公开(公告)号	KR1020050116712A	公开(公告)日	2005-12-13
申请号	KR1020040041862	申请日	2004-06-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM KYUNGMYUN 김경면 KU YONGGUEN 구용근 MOON KYEONGTAE 문경태 HA HYOJIN 하효진		
发明人	김경면 구용근 문경태 하효진		
IPC分类号	G09G3/36		
CPC分类号	G09G2330/021 G09G3/3688 G09G2320/0276 G09G2320/0261		
代理人(译)	李, 杨HAE		
其他公开文献	KR100604866B1		
外部链接	Espacenet		

摘要(译)

公开了用于LCD驱动和源极线驱动方法的伽马驱动模式的源极驱动器。编码R，G和B视频数据，并且存储关于输入源驱动器的R的编码值是第一存储器中的水平扫描周期的串行，G和B数字图像数据。伽马电压放大器内的灰度电压放大器的开/关在第一存储器中以保留值控制。因此，液晶面板驱动所需的放大器选择从输出选择部分输出的相应灰度电压是该状态下的伽马电压放大器，导通并输出到每个源极线。

