

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/133(11) 공개번호 10-2005-0061799
(43) 공개일자 2005년06월23일(21) 출원번호 10-2003-0093253
(22) 출원일자 2003년12월18일(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416(72) 발명자 김명수
경기도수원시팔달구원천동원천삼성아파트2동909호
이승우
서울특별시금천구시흥2동266번지관악산벽산타운519동1601호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치 및 그 구동 방법

요약

본 발명은 복수의 FRC 데이터 패턴을 별도의 메모리에 기억시켜 놓은 후, 필요한 데이터 패턴을 판독하여 신호 제어부의 룩업 테이블에 기억시켜 FRC 처리를 실시하는 액정 표시 장치에 관한 것이다. 이로 인해, 액정 표시 장치의 동작 특성 등이 달라질 때마다 변경되는 FRC 데이터 패턴에 따라 신호 제어부를 재설계할 필요가 없으므로 액정 표시 장치의 제조 단가가 낮아지는 효과가 발생한다.

대표도

도 1

색인어

액정표시장치, FRC, 데이터패턴, LCD, 디더링

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 FRC 데이터 패턴이다.

도 4는 본 발명의 한 실시예에 따른 데이터 처리부의 동작 순서도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것이다.

일반적인 액정 표시 장치(liquid crystal display, LCD)는 화소 전극 및 공통 전극이 구비된 두 표시판과 그 사이에 들어 있는 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소 전극은 행렬의 형태로 배열되어 있고 박막 트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가 받는다. 공통 전극은 표시판의 전면에 걸쳐 형성되어 있으며 공통 전압을 인가 받는다. 화소 전극과 공통 전극 및 그 사이의 액정층은 회로적으로 볼 때 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.

이러한 액정 표시 장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 이때, 액정층에 한 방향의 전계가 오랫동안 인가됨으로써 발생하는 열화 현상을 방지하기 위하여 프레임별로, 행별로, 또는 화소별로 공통 전압에 대한 데이터 전압의 극성을 반전시킨다.

이러한 액정 표시 장치에서 외부의 그래픽 소스(graphic source)로부터 적색(red), 녹색(green), 청색(blue)의 n 비트의 영상 데이터가 입력된다. 이 RGB 영상 데이터는 액정 표시 장치의 신호 제어부에 의해 데이터 포맷이 변환된 후 데이터 구동 IC(integrated circuit) 등으로 이루어진 데이터 구동부에 인가된다. 데이터 구동부는 인가된 영상 데이터에 해당하는 아날로그 게조 전압을 선택하여 액정 표시판 조립체에 인가된다.

일반적으로 신호 제어부에 인가되는 RGB 영상 데이터의 비트 수와 데이터 구동부에서 처리할 수 있는 비트 수가 동일해야 하는 것이 이상적이지만, 액정 표시 장치의 제조 원가를 낮추기 위해 처리 능력이 낮은 데이터 구동부를 이용할 수 있다. 즉, 통상적으로 신호 제어부에 인가되는 영상 데이터는 8 비트이지만, 8 비트의 영상 데이터를 처리하는 데이터 구동부는 매우 고가이므로, 8비트보다 낮은 처리 능력, 즉 6비트의 영상 데이터를 처리하는 데이터 구동부를 이용하면 제품의 단가가 낮아진다.

이를 위하여 제안된 기술이 프레임 레이트 제어(frame rate control, FRC)이다. 이 프레임 레이트 제어는 입력된 n 비트의 영상 데이터 중에서 데이터 구동부에서 처리 가능한 비트 수인 (n-m) 비트만으로 표시가 가능하도록 입력되는 영상 데이터를 프레임 단위로 재구성하는 것이다. 여기서 m은 정수이고 RGB 영상 데이터의 하위 소정 비트수를 나타낸다.

이 프레임 레이트 제어는 실제로 색을 표현하는 것이 아니라 여러 색을 시간적, 공간적으로 섞어서 표현하는 방식이다. 따라서 프레임 레이트 제어를 위해, 신호 제어부는 m 개의 하위 비트값에 따라 영상 데이터를 보정하기 위한 보정값을 룩업 테이블 등에 기억시켜 놓는다. 이 보정값은 프레임 레이트 제어를 실시하는 각 화소에 대응한다. 또한 프레임 레이트 제어를 실시하는 기본 화소 단위에 대응하는 보정값 집합을 FRC 데이터 패턴이라 한다. 따라서 신호 제어부는 내부에 기억된 복수의 FRC 데이터 패턴에 기초하여 n 비트의 영상 데이터를 (n-m) 비트의 영상 데이터로 보정한다.

발명이 이루고자 하는 기술적 과제

하지만, 액정 표시 장치의 동작 특성 등을 고려하여 가장 적합한 FRC 데이터 패턴을 선택하더라도 이 동작 특성 등에 완벽하게 맞는 FRC 데이터 패턴을 선택하는 것이 가능하지 않으므로, 불완전한 FRC 데이터 패턴으로 인한 화질 불량 현상이 발생한다.

또한 동작 특성 등이 변하면 이미 선택된 FRC 데이터 패턴이 적합하지 않게 되어 새로운 FRC 데이터 패턴을 선택해야 한다. 하지만 이럴 경우 신호 제어부의 내부에 이미 FRC 데이터 패턴이 기억되어 있으므로, FRC 데이터 패턴이 변경될 때마다 신호 제어부는 재설계되고 교체되어야 한다. 그로 인해 많은 비용과 개발 시간이 소요된다.

따라서 본 발명이 이루고자 하는 기술적 과제는 FRC 데이터 패턴이 변경될 때마다 발생하는 비용 소모를 줄여, 액정 표시 장치의 제품 단가를 줄이는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 비용 증가 없이 액정 표시 장치의 특성 변화에 따라 용이하게 FRC 데이터 패턴을 변경하는 것이다.

발명의 구성 및 작용

이러한 기술적 과제를 이루기 위한 본 발명의 한 특징에 따른 액정 표시 장치는, 복수의 화소를 포함하는 액정 표시판 조립체, 복수의 FRC 패턴을 기억하는 메모리, 상기 메모리에 기억되어 있는 상기 복수의 FRC 패턴 중 제1 비트수의 입력 영상 데이터에 대응하는 FRC 패턴을 선택하고 상기 FRC 패턴에 기초하여 상기 입력 영상 데이터를 상기 제1 비트수보다 작은 제2 비트수의 출력 영상 데이터로 변환하여 출력하는 신호 제어부, 그리고 상기 신호 제어부로부터의 출력 영상 데이터에 해당하는 데이터 전압을 상기 화소에 인가하는 데이터 구동부를 포함하며, 상기 입력 영상 데이터에 대한 상기 FRC 패턴은 상기 입력 영상 데이터의 소정 비트수의 하위 비트와 프레임 번호에 따라 정해진다.

상기 신호 제어부는 상기 메모리로부터 상기 FRC 패턴을 수신하여 일시 기억하는 룩업 테이블, 그리고 상기 룩업 테이블에 기억된 상기 FRC 패턴에 기초하여 상기 입력 영상 데이터를 변환하는 데이터 처리부를 포함하는 것이 바람직하다.

상기 각 FRC 패턴은 $n \times n$ ($n \geq 4$) 행렬을 기본으로 이루어질 수 있고, 상기 제1 비트수와 상기 제2 비트수의 차이는 2 비트이며 상기 $n=4$ 일 수 있다.

상기 입력 영상 데이터에 대응하는 상기 FRC 패턴은 상기 입력 영상 데이터의 하위 2비트와 프레임 번호에 의하여 결정될 수 있다.

본 발명에서, 상기 제1 비트수와 상기 제2 비트수의 차이는 3 비트이며 상기 $n=8$ 일 수 있다.

상기 메모리는 EEPROM인 것이 바람직하다.

본 발명의 다른 특징에 따른 액정 표시 장치의 구동 방법은, 외부로부터 복수의 FRC 패턴을 판독하여 기억하는 단계, 제1 비트수의 상위 비트와 제2 비트수의 하위 비트로 이루어진 입력 영상 데이터에서 상기 하위 비트의 값을 판독하는 단계, 상기 하위 비트의 값에 따라 상기 복수의 FRC 패턴 중 해당하는 FRC 패턴을 선택하는 단계, 상기 선택된 FRC 패턴에서 상기 입력 영상 데이터에 대응하는 데이터 값을 판독하는 단계, 그리고 상기 판독된 데이터 값에 따라, 상기 상위 비트를 출력 영상 데이터의 데이터값으로 하거나, 상기 상위 비트의 값에 1 더한 값을 출력 영상 데이터의 데이터값으로 하여, 상기 출력 영상 데이터를 출력하는 단계를 포함한다.

상기 각 FRC 패턴은 $n \times n$ ($n \geq 4$) 행렬을 기본으로 이루어질 수 있다.

본 발명에서, 상기 FRC 패턴은 상기 입력 영상 데이터의 하위 2 비트의 값이 "01"인 경우와 "10"인 경우에 대응하는 FRC 패턴을 포함할 수 있다.

이때, 상기 입력 영상 데이터의 하위 2 비트의 값이 "00"일 때, 상기 상위 비트를 출력 영상 데이터의 데이터값으로 정할 수 있고, 상기 입력 영상 데이터의 하위 2 비트의 값이 "11"일 때, 상기 입력 영상 데이터의 하위 2 비트의 값이 "01"인 경우에 대응하는 FRC 패턴의 데이터를 반전시킨 값을 출력 영상 데이터의 데이터 값으로 정할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 액정 표시 장치 및 그 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400), 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 이들을 제어하는 신호 제어부(600), 그리고 신호 제어부(600)에 연결된 메모리(700)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)를 포함한다.

표시 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선 (D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소는 표시 신호선(G_1-G_n , D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC}) 및 유지 축전기(storage capacitor)(C_{ST})를 포함한다. 유지 축전기(C_{ST})는 필요에 따라 생략할 수 있다.

스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선(G_1-G_n) 및 데이터선(D_1-D_m)에 연결되어 있으며, 출력 단자는 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있다.

액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.

액정 축전기(C_{LC})의 보조적인 역할을 하는 유지 축전기(C_{ST})는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 삼원색 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 도 2는 공간 분할의 한 예로서 각 화소가 화소 전극(190)에 대응하는 영역에 적색, 녹색, 또는 청색의 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

계조 전압 생성부(800)는 화소의 투과율과 관련된 두 별의 복수 계조 전압을 생성한다. 두 별 중 한 별은 공통 전압(V_{com})에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가하며 통상 복수의 집적 회로로 이루어진다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 화소에 인가하며 통상 복수의 집적 회로로 이루어진다.

복수의 게이트 구동 집적 회로 또는 데이터 구동 집적 회로는 TCP(tape carrier package)(도시하지 않음)에 실장하여 TCP를 액정 표시판 조립체(300)에 부착할 수도 있고, TCP를 사용하지 않고 유리 기판 위에 이들 집적 회로를 직접 부착할 수도 있으며(chip on glass, COG 실장 방식), 이들 집적 회로와 같은 기능을 수행하는 회로를 화소의 박막 트랜지스터와 함께 액정 표시판 조립체(300)에 직접 형성할 수도 있다.

메모리(700)는 EEPROM(Electrically Erasable and Programmable Read Only Memory) 등과 같이 저장된 데이터를 소거한 후 재기록 할 수 있는 기억 장치로 이루어져 있으며, 프레임 레이트 제어에 필요한 복수의 FRC 데이터 패턴이 기억되어 있다.

신호 제어부(600)는 데이터 처리부(601)와 록업 테이블(602)을 포함한다. 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다. 또한 신호 제어부(600)는 메모리(700)에 연결되어 메모리(700)에 기억된 FRC 데이터 패턴을 읽어와 록업 테이블(602)에 기억시킨다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

동작이 시작되면 신호 제어부(600)는 외부 메모리(700)에 기억되어 있는 FRC 데이터 패턴을 불러와 록업 테이블(602)에 기억시킨다. 그런 다음, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 데이터 처리부(601)는 소정 비트수의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

신호 제어부(600)의 데이터 처리에는 록업 테이블(602)에 저장한 FRC 데이터 패턴을 이용한 프레임 레이트 제어가 포함되는데, 프레임 레이트 제어란 데이터 구동부(500)에서 처리할 수 있는 데이터의 비트수가 입력 영상 신호(R, G, B)의 비트수보다 작을 경우에 데이터 구동부(500)에서 처리할 수 있는 상위 비트만을 선택하고 나머지 하위 비트가 나타내는 데이터는 이러한 상위 비트들의 시간적, 공간적 평균으로서 구현하는 것을 의미한다. 예를 들어 입력 영상 신호(R, G, B)의 비트수가 8이고 데이터 구동부(500)가 처리할 수 있는 데이터의 비트수가 6이면 입력 영상 신호(R, G, B) 중에서 상위 6비트만을 출력한다. 이때, 하위 2비트는 이 상위 6비트 데이터의 공간적, 시간적 배열을 결정하며 이 패턴이 록업 테이블(602)에 저장되어 있는 FRC 데이터 패턴이다. 이러한 프레임 레이트 제어에 대해서는 뒤에서 상세하게 설명한다.

게이트 제어 신호(CONT1)는 게이트 온 전압(V_{on})의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 전압(V_{on})의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 전압(V_{on})의 지속 시간을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.

데이터 제어 신호(CONT2)는 영상 데이터(DAT)의 입력 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터(DAT)를 차례로 입력받아 시프트시키고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써, 영상 데이터(DAT)를 해당 데이터 전압으로 변환하고, 이를 해당 데이터선(D_1-D_m)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴온시키면 데이터선(D_1-D_m)에 인가된 데이터 전압이 턴온된 스위칭 소자(Q)를 통하여 해당 화소에 인가된다.

화소에 인가된 데이터 전압과 공통 전압(V_{com})의 차이는 액정 축전기(C_{LC})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리한다. 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

1 수평 주기(또는 "1H") [수평 동기 신호(H_{sync}), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 화소에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나("라인 반전"), 한 화소 행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다("도트 반전").

다음에 도 3 및 도 4를 참고로 하여, 본 발명의 한 실시예에 따라 신호 제어부(600)의 데이터 처리부(601)에서 실시되는 프레임 레이트 제어에 대하여 설명한다.

도 3은 본 발명의 한 실시예에 따른 FRC 데이터 패턴이고, 도 4는 본 발명의 한 실시예에 따른 데이터 처리부의 동작 순서도이다.

먼저, 동작이 시작되면(S10), 신호 제어부(600)의 데이터 처리부(601)는 외부에 설치된 메모리(700)에 기억된 복수의 FRC 데이터 패턴을 읽어와 룩업 테이블(602)에 기억해 놓는다.

도 3에는 메모리(700)에 기억되어 있는 FRC 데이터 패턴의 예가 도시되어 있다. 도 3에 도시한 FRC 데이터 패턴에서 공간적 배열의 기본 단위는 4×4 데이터 행렬이고 이는 대응하는 4×4 화소 행렬을 기본 단위로 하여 이 FRC 데이터 패턴을 반복적으로 적용함을 뜻한다.

도 3에 도시한 패턴에서는, 각 데이터 행렬에서 입력 RGB 영상 데이터(R, G, B)의 상위 6비트가 나타내는 계조값 "A"(도면에서는 "0"으로 표시함)를 가지는 데이터 원소의 수와 그 바로 위의 계조인 "A+1"(도면에서는 "1"로 표시함)을 가지는 데이터 원소의 수가 RGB 영상 데이터(R, G, B)의 하위 2비트에 따라 결정되며 이를 디더링(dithering)이라고도 한다. 예를 들어 하위 2비트가 (00)이면 16개의 데이터 모두가 계조값 "A"를 가지고, (01)이면 전체의 3/4, 즉 16개 중 12개가 계조값 A를 가지고 나머지 4개의 계조값 "A+1"을 가진다. 또한 하위 2비트가 (10)이면 전체의 2/4, 즉 16개 중 8개가 계조값 "A"를 나머지 8개는 계조값 "A+1"을 가지며, (11)이면 전체의 1/4, 즉 16개 중 4개가 계조값 "A"를, 나머지 12개가 계조값 "A+1"을 가진다.

또한 4×4 데이터 행렬의 주어진 위치의 하나의 데이터 원소에 대해서, 연속하는 네 개의 프레임 동안 입력 RGB 영상 데이터(R, G, B)의 상위 6비트가 나타내는 계조값 "A"를 가지는 프레임의 수와 그 바로 위의 계조인 "A+1"을 가지는 프레임의 수도 입력 영상 데이터(R, G, B)의 하위 2비트에 따라 결정된다. 예를 들어 어떤 데이터 원소에 대한 입력 영상 데이터(R, G, B)의 하위 2비트가 (00)이면 4개의 프레임 모두에서 계조값 "A"를 가지고, (01)이면 3개의 프레임에서 계조값 A를 가지고 나머지 한 프레임에서는 계조값 "A+1"을 가지도록 한다. 또한 하위 2비트가 (10)이면 2개의 프레임에서는 계조값 "A"를 나머지 두 프레임 동안은 계조값 "A+1"을 가지며, (11)이면 1개의 프레임에서만 계조값 "A"를 가지고, 나머지 3개의 프레임 동안은 계조값 "A+1"을 가지도록 패턴이 결정된다.

따라서 8비트 영상 데이터(R, G, B)를 6비트 영상 데이터(DAT)로 변환할 때, 공간적, 시간적 프레임 레이트 제어를 위해 필요한 총 FRC 데이터 패턴의 수는 모두 16개이다. 즉, 하위 2비트 값(00, 01, 10, 11)에 대해서 4개의 패턴이 필요하고, 연속하는 네 개의 프레임에 대해서 또한 4개의 데이터 패턴이 필요하다.

그러나 도 3에 도시한 바와 같이, 영상 데이터(R, G, B)의 하위 2비트 값이 "00"일 경우에는 연속하는 네 프레임 동안 모든 FRC 데이터의 값은 "0"이 된다. 또한, 하위 2비트가 "01"인 경우의 데이터 행렬과 "11"일 경우의 데이터 행렬은 서로 상반된 데이터 값을 갖고 있다. 즉, 하위 2비트가 "01"인 경우에 계조값 "A"를 가지는 데이터 원소들은 "11"인 경우에는 계조값 "A+1"을 가지고, 반대로 하위 2비트가 "01"인 경우에 계조값 "A+1"을 가지는 데이터 원소들은 "11"인 경우에는 계조값 "A"를 가진다.

따라서 메모리(700)에 기억할 데이터 행렬의 수는 하위 2비트의 값이 "01"과 "10"일 경우, 즉, 8개만으로 충분하다.

4×4 구조의 FRC 데이터 행렬은 다시 네 개의 2×2 FRC 데이터 행렬을 포함하고, 이 2×2 FRC 데이터 행렬 내에서도 디더링 처리가 이루어진다. 예를 들어, 각각의 2×2 FRC 데이터 행렬 내에서, 하위 2비트의 데이터 값이 "01"일 경우, "A"의 값을 갖는 데이터는 1개이고 "0"의 값을 갖는 데이터는 3개이며, "10"일 경우, "1"의 값을 갖는 데이터와 "0"의 값을 갖는 데이터는 각각 2개씩이다.

또한 4×4 FRC 데이터 행렬 내에서, 데이터 패턴이 동일한 2×2 FRC 데이터 행렬이 각각 2개씩 존재한다. 예를 들어, 하위 2비트의 값이 "01"일 경우, 동일한 열에 있는 2×2 FRC 데이터 행렬의 데이터의 패턴이 동일하다. 또한 이 경우 2×2 FRC 데이터 행렬의 데이터 패턴이 연속하는 네 개의 프레임에서 모두 상이하다. 이에 비하여, 하위 2비트의 값이 "10"일 경우엔 대각선 방향으로 마주보는 2×2 FRC 데이터 행렬의 데이터의 값이 동일하다. 또한, 첫 번째 프레임과 세 번째 프레임의 데이터 패턴이 동일하고, 두 번째 프레임과 네 번째 프레임의 데이터 패턴이 동일하다.

도 3에 도시한 FRC 데이터 패턴은 본 발명의 실시예에 따른 하나의 예에 불과하며, 입력 영상 신호의 비트수와 데이터 구동부(500)가 처리할 수 있는 데이터의 비트수의 차, 액정 표시 장치의 특성 등에 따라서 다른 형태의 FRC 데이터 패턴이 이용될 수 있다.

신호 제어부(600)의 데이터 처리부(601)에 의해 도 3에 도시한 것과 같은 데이터 패턴 구조가 판독되어 록업 테이블(602)에 기억된 후, 데이터 처리부(601)는 처리할 영상 데이터(R, G, B)의 하위 2비트 값을 판독하고(S12), 판독된 하위 2비트 값과 프레임 번호에 따라 해당하는 FRC 데이터 패턴을 찾아 선택하며, 선택된 FRC 데이터 패턴 내에서의 해당 데이터의 값을 록업 테이블(602)에서 찾는다(S13).

선택된 위치의 FRC 데이터 값이 "0"일 경우(S14), 데이터 처리부(601)는 상위 6비트의 영상 데이터(R, G, B)에 의해 정해진 계조의 값을 최종 계조로 정하고(S15), 상위 6 비트의 영상 데이터를 그대로 데이터 구동부(500)에 출력한다(S17).

하지만, 해당 위치에 기억된 FRC 데이터 값이 "1"일 경우(S14), 데이터 처리부(601)는 상위 6비트에 의해 정해진 계조의 값에 "1"을 더한 값을 최종 계조로 정하고(S16), 이 최종 계조에 해당하는 6 비트의 영상 데이터(DAT)를 데이터 구동부(500)에 출력한다(S17).

이와 같이, 신호 제어부(600)의 데이터 처리부(601)는 외부 메모리(700)로부터 읽어온 FRC 데이터 패턴을 내부의 록업 테이블(602)에 기억시켜 놓은 후 프레임 레이트 제어한다. 따라서 액정 표시 장치의 동작 특성 등에 따라 최적의 FRC 데이터 패턴이 변경될 경우에도, 신호 제어부(600)를 교체하지 않고 외부 메모리(700)에 기억된 FRC 데이터의 값만 수정하면 되므로, FRC 데이터 패턴 변경으로 인하여 신호 제어부(600)를 교체해야 하는 비용을 크게 줄일 수 있다.

또한, FRC 데이터 패턴이 4×4 데이터 행렬 형태를 가지고 있기 때문에, 메모리(700)를 변경하지 않고도 4×2 행렬이나 2×4 행렬 등과 같은 새로운 FRC 데이터 패턴으로 용이하게 수정할 수 있어, 메모리(700)를 교체하지 않고도 다양한 FRC 데이터 패턴을 구현할 수 있다. 또, 4×4 데이터 행렬 형태의 FRC 패턴을 그대로 기억시켜 둔 채 4×2 행렬이나 2×4 행렬로만 프레임 레이트 제어를 할 수도 있다.

본 발명의 실시예에서, FRC 데이터 패턴이 4×4 데이터 행렬 구조를 가지고 있지만, 예를 들면, 이 데이터 패턴을 8×8 행렬 또는 그 이상으로 확장할 수도 있다. 예를 들어, 입력 영상 데이터(R, G, B)와 출력 영상 데이터(R', G', B')의 비트수가 3비트 차이 나는 경우, 8×8 행렬을 기본으로 하고 영상 데이터(R, G, B)의 하위 3비트의 값을 이용하여 8(=2³) 프레임 동안 레이트 제어할 수 있다.

본 발명의 실시예에서는 하위 2비트의 값과 연속하는 네 개의 프레임에 대한 각각의 FRC 데이터 패턴을 모두 메모리(700)에 기억시켜 놓고, 각각의 FRC 데이터 패턴에 기초하여 프레임 레이트 제어하였다.

하지만 이미 설명한 바와 같이, 하위 2비트의 값이 "00"일 경우 모든 FRC 데이터 패턴의 데이터 값은 모두 "0"이고, 하위 2비트의 값이 "11"일 때의 FRC 데이터 패턴의 데이터 값은 "01"일 때의 데이터 값에 반전된 데이터 값을 갖는다.

따라서 외부 메모리(700)에 하위 2비트의 값이 "01"일 때와 "10"일 때의 FRC 데이터 패턴만 기억시켜 놓고, 프레임 레이트 제어를 실시해도 된다. 즉, 신호 제어부(600)의 데이터 처리부(601)는 입력되는 영상 데이터(R, G, B)의 하위 2비트의 값이 "00"일 경우엔, 상위 6 비트 영상 데이터(R, G, B)의 값을 최종 계조로 정하여, 상위 6 비트 영상 데이터를 그대로 데이터 구동부(500)에 전송한다. 또한, 하위 2비트의 값이 "11"일 경우, 신호 제어부(600)의 데이터 처리부(601)는 록업 테이블(602)에 기억되어 있는 "01"에 대한 FRC 데이터 패턴을 이용하여, 해당 위치의 데이터 값을 판독한다. 그런 후, 판독된 데이터 값에 반전된 값을 이용하여 이미 설명한 것과 같은 동작을 통해 6비트의 영상 데이터(DAT)로 변환한다.

이렇게 할 경우, 8 비트의 영상 데이터(R, G, B)를 6 비트의 영상 데이터(DAT)로 변환할 때 실질적으로 필요한 FRC 데이터 패턴의 개수는 16개에서 8개로 줄어들므로, 메모리(700)의 용량을 크게 줄일 수 있고 그로 인해 제조 비용을 줄일 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이러한 본 발명에 따르면, 액정 표시 장치의 동작 특성 등이 달라질 때마다 변경되는 FRC 데이터 패턴에 따라 신호 제어부를 재설계할 필요가 없으므로 액정 표시 장치의 제조 단가가 낮아진다. 또한 메모리 장치를 변경하지 않고도 액정 표시 장치의 동작 특성 등에 따라 다양하게 FRC 데이터 패턴을 구현할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 화소를 포함하는 액정 표시판 조립체,

복수의 FRC 패턴을 기억하는 메모리,

상기 메모리에 기억되어 있는 상기 복수의 FRC 패턴 중 제1 비트수의 입력 영상 데이터에 대응하는 FRC 패턴을 선택하고 상기 FRC 패턴에 기초하여 상기 입력 영상 데이터를 상기 제1 비트수보다 작은 제2 비트수의 출력 영상 데이터로 변환하여 출력하는 신호 제어부, 그리고

상기 신호 제어부로부터의 출력 영상 데이터에 해당하는 데이터 전압을 상기 화소에 인가하는 데이터 구동부를 포함하며,

상기 입력 영상 데이터에 대한 상기 FRC 패턴은 상기 입력 영상 데이터의 소정 비트수의 하위 비트와 프레임 번호에 따라 정해지는

액정 표시 장치.

청구항 2.

제1항에서,

상기 신호 제어부는,

상기 메모리로부터 상기 FRC 패턴을 수신하여 일시 기억하는 룩업 테이블, 그리고

상기 룩업 테이블에 기억된 상기 FRC 패턴에 기초하여 상기 입력 영상 데이터를 변환하는 데이터 처리부를 포함하는 액정 표시 장치.

청구항 3.

제2항에서,

상기 각 FRC 패턴은 $n \times n$ ($n \geq 4$) 행렬을 기본으로 이루어지는 액정 표시 장치.

청구항 4.

제3항에서,

상기 제1 비트수와 상기 제2 비트수의 차이는 2 비트이며 상기 $n=4$ 인 액정 표시 장치.

청구항 5.

제4항에서,

상기 입력 영상 데이터에 대응하는 상기 FRC 패턴은 상기 입력 영상 데이터의 하위 2비트와 프레임 번호에 의하여 결정되는 액정 표시 장치.

청구항 6.

제5항에서,

상기 메모리에 기억된 상기 FRC 패턴은 상기 입력 영상 데이터의 하위 2 비트의 값이 "01"인 경우와 "10"인 경우에 대응하는 FRC 패턴을 포함하는 액정 표시 장치.

청구항 7.

제6항에서,

상기 데이터 처리부는 상기 입력 영상 데이터의 하위 2 비트의 값이 "00"일 때, 상기 하위 2비트를 제외한 상위 비트를 출력 영상 데이터의 데이터값으로 정하는 액정 표시 장치.

청구항 8.

제7항에서,

상기 데이터 처리부는 상기 입력 영상 데이터의 하위 2 비트의 값이 "11"일 때, 상기 입력 영상 데이터의 하위 2 비트의 값이 "01"인 경우에 대응하는 FRC 패턴의 데이터를 반전시킨 값을 출력 영상 데이터의 데이터 값으로 정하는 액정 표시 장치.

청구항 9.

제3항에서,

상기 제1 비트수와 상기 제2 비트수의 차이는 3 비트이며 상기 $n=8$ 인 액정 표시 장치.

청구항 10.

제1항 내지 제9항 중 어느 한 항에서,

상기 메모리는 EEPROM인 액정 표시 장치.

청구항 11.

외부로부터 복수의 FRC 패턴을 판독하여 기억하는 단계,

제1 비트수의 상위 비트와 제2 비트수의 하위 비트로 이루어진 입력 영상 데이터에서 상기 하위 비트의 값을 판독하는 단계,

상기 하위 비트의 값에 따라 상기 복수의 FRC 패턴 중 해당하는 FRC 패턴을 선택하는 단계,

상기 선택된 FRC 패턴에서 상기 입력 영상 데이터에 대응하는 데이터 값을 판독하는 단계, 그리고

상기 판독된 데이터 값에 따라서, 상기 상위 비트를 출력 영상 데이터의 데이터값으로 하거나, 상기 상위 비트의 값에 1 더한 값을 출력 영상 데이터의 데이터값으로 하여, 상기 출력 영상 데이터를 출력하는 단계

를 포함하는 액정 표시 장치의 구동 방법.

청구항 12.

제11항에서,

상기 각 FRC 패턴은 $n \times n$ ($n \geq 4$) 행렬을 기본으로 이루어지는 액정 표시 장치의 구동 방법.

청구항 13.

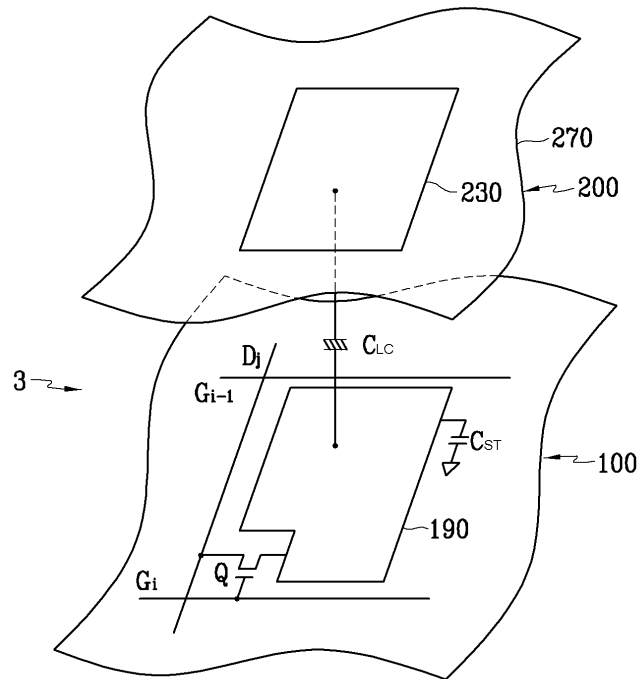
제12항에서,

상기 제2 비트수는 2 비트이며 상기 $n=4$ 인 액정 표시 장치의 구동 방법.

청구항 14.

제13항에서,

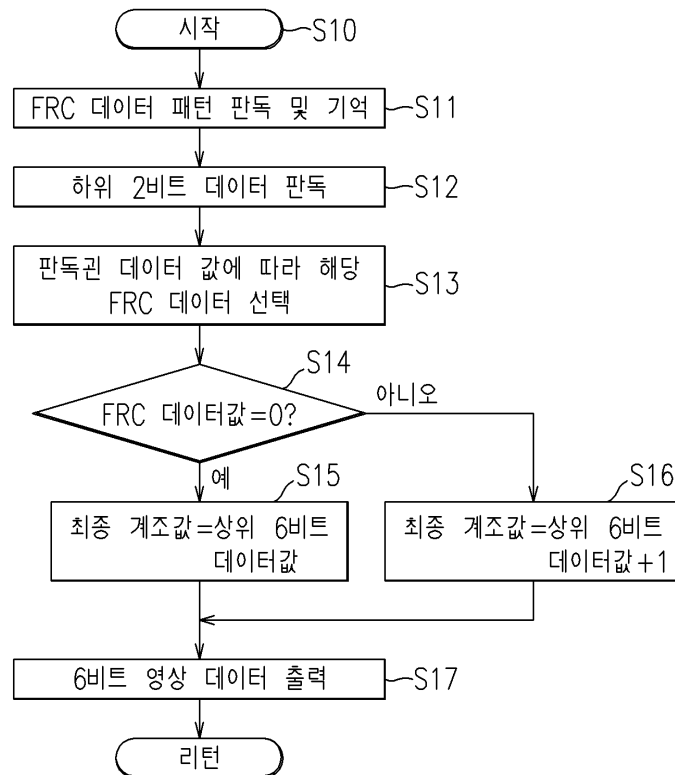
도면2



도면3

하위2비트	프레임 번호			
	1	2	3	4
00	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
01	1 0 0 0 0 0 1 0 1 0 0 0 0 0 1 0	0 0 0 1 0 1 0 0 0 0 0 1 0 1 0 0	0 1 0 0 0 0 0 1 0 1 0 0 0 0 0 1	0 0 1 0 1 0 0 0 0 0 1 0 1 0 0 0
10	1 0 0 1 0 1 1 0 0 1 1 0 1 0 0 1	0 1 1 0 1 0 0 1 1 0 0 1 0 1 1 0	1 0 0 1 0 1 1 0 0 1 1 0 1 0 0 1	0 1 1 0 1 0 0 1 1 0 0 1 0 1 1 0
11	0 1 1 1 1 1 0 1 0 1 1 1 1 1 0 1	1 1 1 0 1 0 1 1 1 1 1 0 1 0 1 1	1 0 1 1 1 1 1 0 1 0 1 1 1 1 1 0	1 1 0 1 0 1 1 1 1 1 0 1 0 1 1 1

도면4



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050061799A	公开(公告)日	2005-06-23
申请号	KR1020030093253	申请日	2003-12-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM MOUNGSU 김명수 LEE SEUNGWOO 이승우		
发明人	김명수 이승우		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G3/2044 G09G2360/18 G09G3/2018 G09G3/3611 G09G3/2051 G09G3/3614		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶标记装置，它在单独的存储器中存储多个FRC数据模式，用于读取必要的数据模式并存储在信号控制单元的查找表中并执行FRC处理。由此，由于不必根据每当液晶显示器等的性能特性改变时改变的FRC数据模式重新设计信号控制单元，因此产生了降低液晶显示器的制造成本的效果。液晶显示器，FRC，数据模式，LCD，抖动。

