

가 ; 가

가 ; 1

가 ; 1 2 2

2 가 가 ; 가 가

가 가 ; 가 가

1

1 (Ds) (Pr) (100) (Ds)

(Ds) 가 1 2 (DL), (GL) 1 (GL)

(DL) TFT(110) TFT(110) (DL), (GL)

2n) 2m (Ds) 2n x 2m 가 (Ds) 2n 1 (GL1 ~ GL

(DL1 ~ DL2m)

(Ds1) (Ds) 1 2 (Ds1, Ds2) 1

2 (Ds2) n+1 2n (GL1 ~ GL2n) 1 n (GL1 ~ GLn)

(GLn+1 ~ G2n)

가 1 (Ds1) 1 n (GL1 ~ GLn) 가

가 2 (Ds2) (Ds) n+1 2n 2 (Ds2)

가 가 2 (Ds2) (GLn+1 ~ GL2n) (Ds1)

(Ds1)

(Pr) 2n (GL1 ~ GL2n) 2n (DL1 ~ DL2m) (

2m (130) 2m (DL1 ~ DL2m) (140)가

2 1 , 3 3

, 3

2 (130)

(SRC1 ~ SRC2n)

$n+1 \sim GL2n$ (132)
 n (SRC1 ~ SRCn)
 $1 \sim n$ (GL1 ~ GLn) (131)
 $n+1 \sim 2n$ (SRCn+1 ~ SRC2n)
 2 (GL2)

(VDD) , (IN) , (CK) , (OUT) , (LS) , $(GOUT)$, (CT) , (VSS) ,
 $(SRC1 \sim SRC2n)$, (OUT) 가, $(GOUT)$, (IN) , (CT)
 (OUT) , $(GOUT)$

2 (CK)가, (CKB) 가, $(SRC2, SRC2n)$ 가, 1 (SRC1, SRCn+1) (CK) 1

1 (LS1), $n+1 \sim 2n$ (SRC1 ~ SRCn) (LS2)가, 1 (131) 2 (132) 1 (LS1)가

3 (131a) (OUT) (131a), $(131b)$ (GOUT) (131b), $(131b)$ (GOUT), $(131b)$ (GOUT) (131b)

1 (LS) (N1), $(131b)$ PMOS (PT), $(131b)$ PMOS (PT)가, (PT) , NMOS (NT) (GOUT) (GOUT), (NT) (Von) (Invertor; INV)가, NMOS (NT) (131a)

2 (LS) (LS1, LS2)가 (VDD), $(Voff)$, (NT) (PT)가, 1 PMOS (PT), $(Voff)$ NMOS (NT) (IN)

1 (PT)가 (GOUT), 2 (LS) (LS1, LS2)가, 1 PMOS (PT) (PT)가, 2 PMOS (NT)가, 2 PMOS

4 1, 5 2

4 (Ds1)가, 1 가, 1 (GL1 ~ GLn), 1 (LS1)가

2 (LS2)가, 2 (Ds2), $n+1 \sim 2n$ (GLn+1 ~ GL2n), 2 (Ds1)

, 5 (LS2)가 , 2 (Ds2) 가 n+1 2n 가 1 (GLn+1 ~ GL2n) 2
 , 1 2 가 1 (LS1)가 (Ds1)
 1 n (GL1 ~ GLn) 가 1 (Ds1)
 , 1 (Ds1) 2 (Ds2)
 , 1 2 (Ds1, Ds2)
 1 5 (Ds) (Ds1, Ds2)
 (100)
 6 1 , 7 6
 6 (141) , (140) (141) (143)
 (141) 2m (DL1 ~ DL2m)
) D/A () ()
 D/A 2m (DL1 ~ DL2m)
 가 , 2m (DL1 ~ DL2m) 가 , 2m (DL1 ~ DL2m)
 2 8 가 , 2m (DL1 ~ DL2m) 가 , 2m (DL1 ~ DL2m)
 8 (143) 8 (D1 ~ D8) 2 8 1
 8 8 (D1 ~ D8)가 8 , 1
 (143)
 8 (143) 8 1 8 (D1 ~ D8)가 , 2
 43) 가 8 1 4 8 (D1 ~ D8)가 (D1 ~ D4)가 (1
 , 2 4 1 (141a) 1 4 4 (D1 ~ D4)가
 , 4 1 (141a) 1 4 , m+1 2m (D1 ~ D4)가 , 1 m
 2m , m+1 (DL1 ~ DL2m) 1 m (DL1 ~ DLm)
 가 , m+1 2m (DLm+1 ~ DL2m) 가
 7 AND (A1 ~ A8) (143) 1 8 AND (A1, A2, A3, A4, A5, A6, A7, A8)
 D5, D6, D7, D8)가 2 1 8 (D1, D2, D3, D4,
 가 , 1 8 (C1 ~ C8) (C1, C2, C3, C4, C5, C6, C7, C8)
 1 8 AND (A

1 ~ A8) 가 .
 , 1 1 8 (D1 ~ D8)가 1 9
 1 (C1 ~ C8)가 8 (D1 ~ D8)가 , 1 8 AND (A1 ~ A8)
 1 ~ C4)가 1 4 AND (A1 ~ A5) 2 1 4 (C
 8 (C5 ~ C8)가 , 5 8 AND (A5 ~ A8) 2 5 1
 4 AND (A1 ~ A4) 1 4 (C1 ~ C4) 4 1
 (D1 ~ D4)가 .
 , 2m (DL1 ~ DL2m) 1 m (DL1 ~ DLm)
 가 . ,
 6 7 8 (141) ,

가 가 , 가 가 .

(57)

1.

; 가 , 가
 ; 가

1

2.

1 2 , 2 1 1 .

3.

2 , 1 2 .

4.

2 , ,

1 , 1
1 ;

2 , 1 2 2

5.

1 , ,

2 ; 1 1

2 1 가 가

6.

5 , 1 , 2

7.

;

1 2 1 2 2 가 가

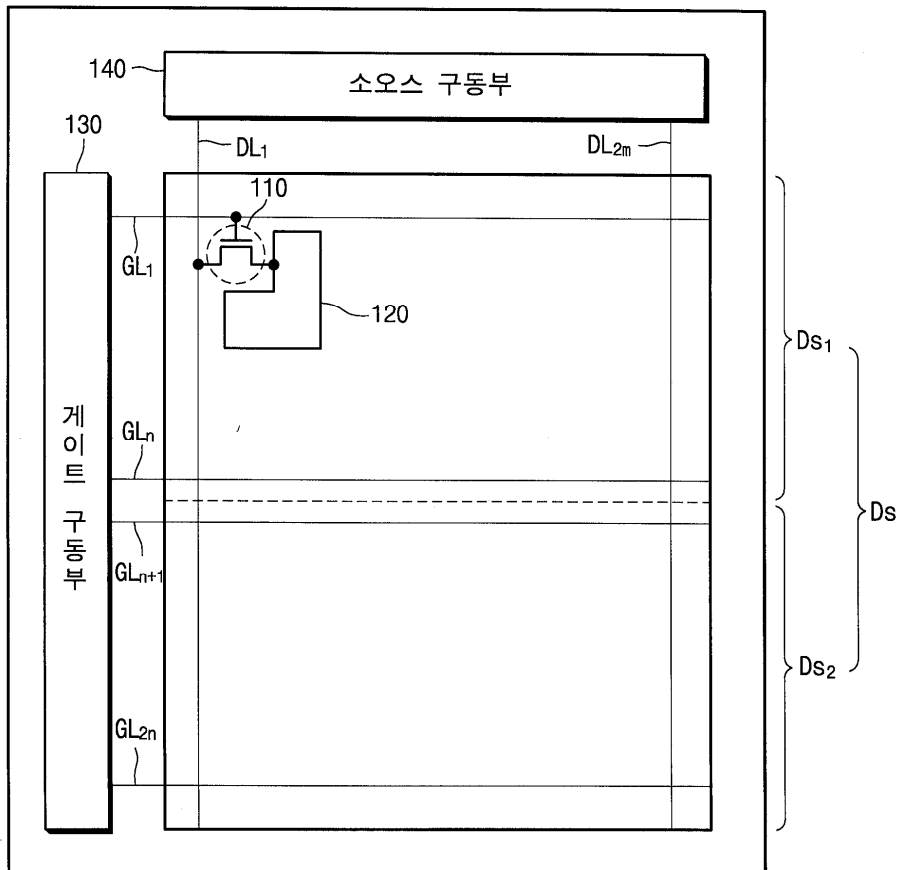
가 가 ,

8.

7 , 2 1 AND 1 1 1

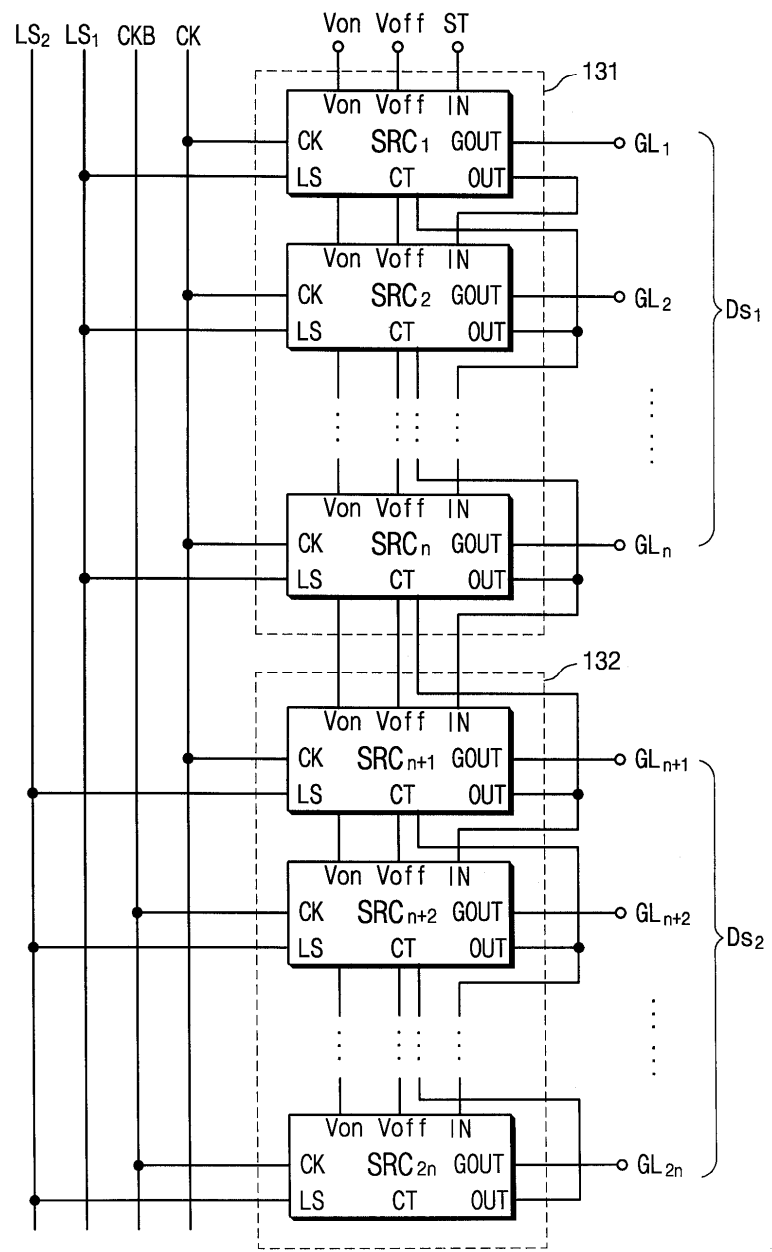
.

100

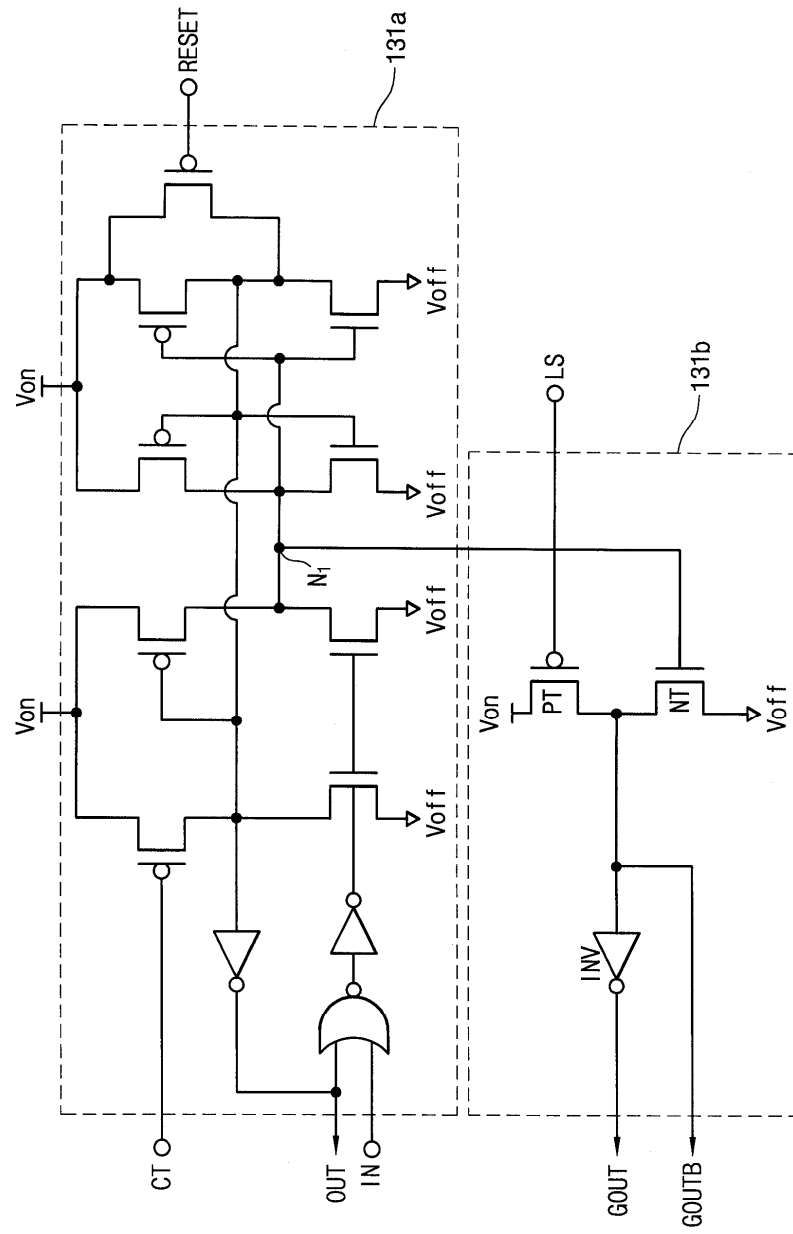


2

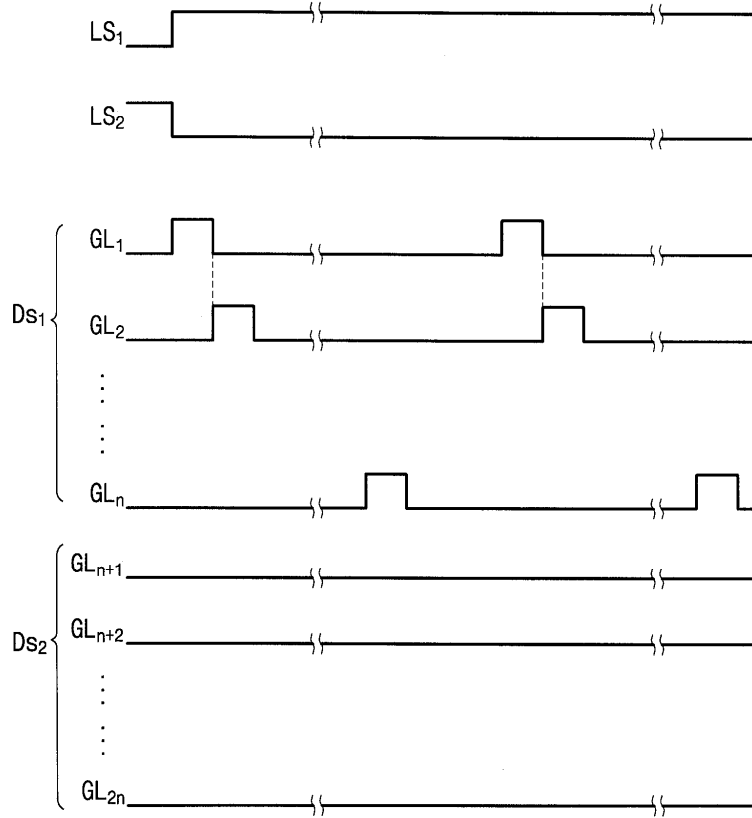
130



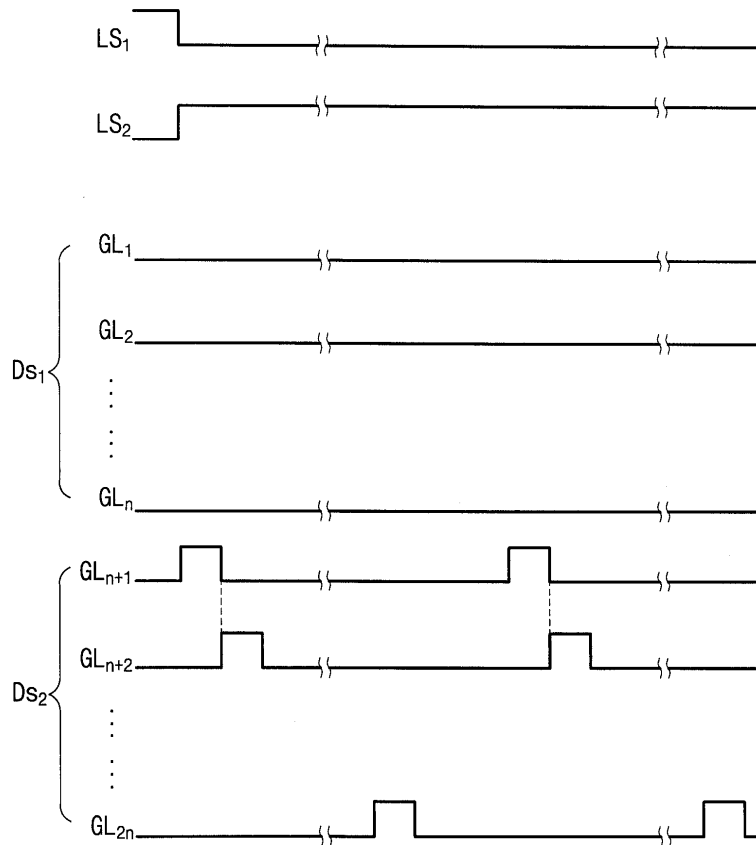
3



4

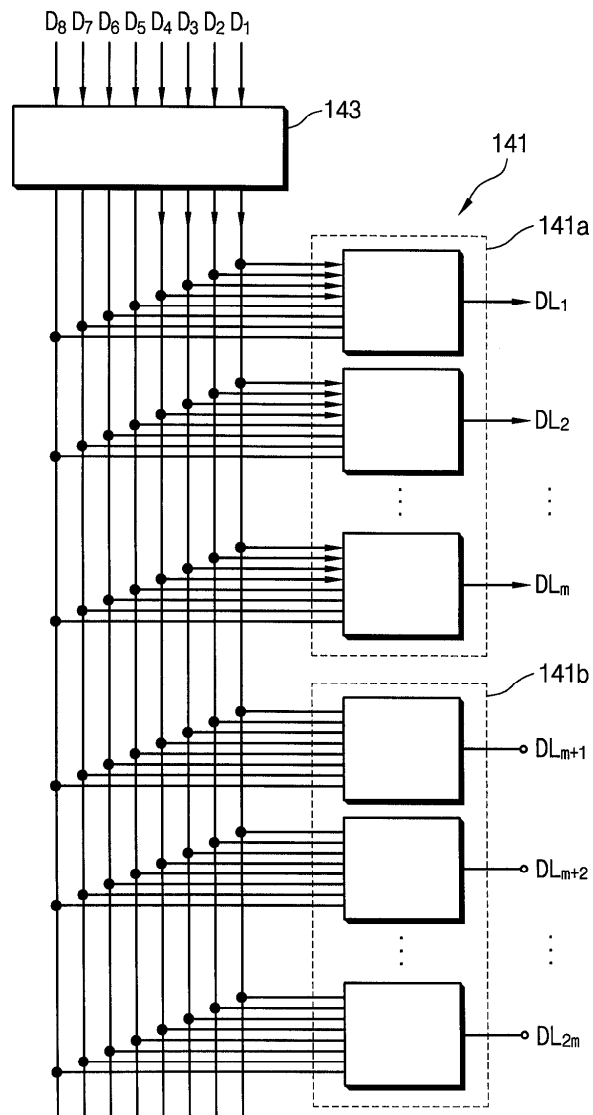


5

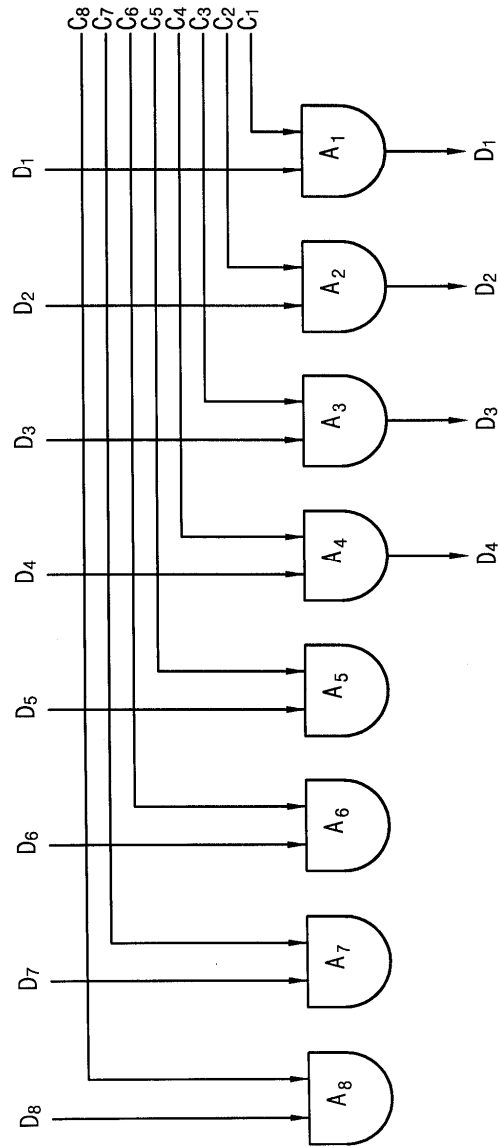


6

140



7

143

专利名称(译)	液晶显示器		
公开(公告)号	KR1020040057423A	公开(公告)日	2004-07-02
申请号	KR1020020084164	申请日	2002-12-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE EUNGSANG 이응상 MA WONSEOK 마원석 LEE DONGJU 이동주		
发明人	이응상 마원석 이동주		
IPC分类号	G02F1/133		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示器，其能够有效地使用显示区域，同时降低功耗。栅极驱动单元具有这样的配置，即由选择产生栅极驱动信号的输出电路的线路选择电路和其中施加栅极驱动信号的多条栅极线构成的多级连接。此外，源极驱动器包括输出模拟图像信号的视频信号输出，以及控制提供给视频信号输出的数字图像信号的位数的位选择部分，并选择其中施加模拟图像信号的多条数据线。因此，由于液晶显示器有效地利用了显示区域，所以可以降低整体功耗。

