



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월26일
(11) 등록번호 10-0890745
(24) 등록일자 2009년03월20일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-7000225
(22) 출원일자 2003년01월07일
심사청구일자 2007년05월02일
번역문제출일자 2003년01월07일
(65) 공개번호 10-2003-0029615
(43) 공개일자 2003년04월14일
(86) 국제출원번호 PCT/IB2002/001581
국제출원일자 2002년05월06일
(87) 국제공개번호 WO 2002/91455
국제공개일자 2002년11월14일
(30) 우선권주장
JP-P-2001-00139552 2001년05월10일 일본(JP)

(56) 선행기술조사문헌

KR100080313 B1*

KR100204322 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

티피오 홍콩 홀딩 리미티드

중국 홍콩 사틴 싸이언스 파크 이스트 애비뉴 필
립스 일렉트로닉스 빌딩 5, 2층

(72) 발명자

유카와, 테이조

네덜란드, 아아아인드호펜5656, 프로프홀스트란6

(74) 대리인

김태홍, 신정건

전체 청구항 수 : 총 6 항

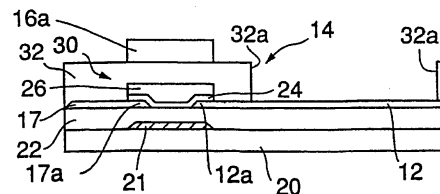
심사관 : 권성락

(54) 박막 트랜지스터를 제작하는 방법, 및 액정 디스플레이

(57) 요약

감소된 수의 제작 단계로 박막 트랜지스터를 제작하는 방법이 제공되는데, 그 방법에서는 광이 박막 트랜지스터의 채널 형성 층에 들어갈 가능성이 제거될 수 있다. 박막 트랜지스터는 게이트 전극(16a)과, 드레인 전극(12a)과, 소스 전극(17a)과, 채널(24)과, 투명 기관(20) 상의 차광 층(21)을 포함한다. 채널(24)은, 채널 형성 층이 마스크로서 차광 층(21)을 통해 포토리소그래픽적으로 패턴화되어 형성된다. 차광 층(21)으로서, 게이트 전극(16a)이 사용될 수 있는데, 이는 바텀 게이트 박막 트랜지스터(bottom gate thin film transistor)를 제공한다. 트랜지스터는 액정 디스플레이에서 사용하기에 매우 적합하다.

대표도 - 도2f



(81) 지정국

국내특허 : 중국, 대한민국, 미국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히
텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국,
그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코,
네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스

특허청구의 범위

청구항 1

투명 기판; 채널에 의해서 서로 분리되는 소스 및 드레인 전극; 및 게이트 절연 층을 통해 상기 채널로부터 이격되는 게이트 전극을 포함하는 박막 트랜지스터를 제작하는 방법으로서,

상기 투명 기판 상층면에 차광 전도성 물질을 포함하는 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 상에 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 게이트 절연 층 상에 및 상기 소스 전극과 드레인 전극 상에 채널 형성 층(channel forming layer)을 형성하는 단계와;

상기 게이트 전극을 포토리소그래피 마스크(photolithography mask)로 사용하여 상기 채널을 형성하도록 상기 채널 형성 층을 광에 의해 패터닝하는 단계

를 포함하는 것을 특징으로 하는, 박막 트랜지스터를 제작하는 방법.

청구항 2

제 1 항에 있어서, 상기 채널을 형성하도록 상기 채널 형성 층을 패터닝하는 단계는,

상기 채널 층 상에 제 2 절연 층을 제공하는 단계와;

상기 제 2 절연층 상에 포토레지스트 층(photoresist layer)을 제공하는 단계와;

상기 게이트 전극을 마스크로 사용하여 상기 투명 기판의 하층면으로부터 노광에 기초하여 상기 포토레지스트 층을 패터닝하는 단계와;

상기 패터닝된 포토레지스트 층을 마스크로 사용하여 상기 제 2 절연층과 상기 채널 형성층을 선택적으로 에칭하는 단계

를 포함하는 것을 특징으로 하는, 박막 트랜지스터를 제작하는 방법.

청구항 3

제 2 항에 있어서, 상기 패터닝된 포토레지스트 층을 마스크로 사용하여 상기 제 2 절연층 및 상기 채널 형성 층을 선택적으로 에칭하는 단계 이전에 제 2 포토리소그래피 마스크를 사용하여 상기 투명 기판의 상기 상층면으로부터 노광에 기초하여 포토레지스트 층을 패터닝하는 단계를 더 포함하는 것을 특징으로 하는, 박막 트랜지스터를 제작하는 방법.

청구항 4

제 2 항에 있어서, 상기 제 2 절연층 상에 보호층을 형성하는 단계를 더 포함하는 것을 특징으로 하는, 박막 트랜지스터를 제작하는 방법.

청구항 5

제 1 항에 있어서, 상기 소스 전극과 게이트 전극은 인듐 주석 산화물(ITO)인 것을 특징으로 하는, 박막 트랜지스터를 제작하는 방법.

청구항 6

제 1 항에 있어서, 상기 채널 형성 층을 형성하기 전에 상기 소스 전극과 상기 드레인 전극의 상부면으로 인(phosphorous)을 도핑하는 단계를 더 포함하는 것을 특징으로 하는, 박막 트랜지스터를 제작하는 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서

기술분야

- <1> 본 발명은 박막 트랜지스터(TFT)를 제작하는 방법에 관한 것으로, 더 상세히는, 예컨대 액정 디스플레이 패널의 픽셀 전극을 구동시키기 위한 소자로서 사용하기에 적합한 박막 트랜지스터를 제작하는 향상된 방법에 관한 것이다. 본 발명은 또한 그러한 제작 방법을 사용하여 제작되는 박막 트랜지스터 및 액정 디스플레이 패널에 관한 것이다.

배경기술

- <2> 박막 트랜지스터는 액정 디스플레이 디바이스와 같은 전자 디바이스에서 광범위하게 사용되고 있다. 특히, 액티브-매트릭스 유형의 액정 디스플레이 패널에서는, 소스 전극, 드레인 전극, 게이트 전극 및 채널 영역을 구비하는 TFT 각각이 픽셀 전극에 픽셀 정보를 공급하기 위한 소자로서 사용된다. 투과성 유형의 액티브-매트릭스 액정 디스플레이 패널은, 디스플레이 패널의 뒤쪽에 배치된 백 라이트 시스템(back light system)으로부터의 광이 TFT에 들어가는 것을 막기 위해서, 차광 막이 그러한 TFT(특히, 그것들의 채널 영역)에 각각 제공되는 몇몇 경우를 포함한다.
- <3> 위의 유형의 액정 디스플레이 패널에서, 예컨대, 정해진 TFT가 완전히 오프 상태에 있도록 제어될 때는, 백 라이트 시스템으로부터의 광이 그 TFT의 채널 영역에 들어가는 경우에 광학적으로 여기된 반송파로 인하여 드레인 과 소스 사이에서 누설 전류가 발생할 수 있다. 그 결과, 대응하는 픽셀 전극의 전위는 변하고, 이것은 디스플레이되는 화질의 저하를 유도한다. 위에서 설명된 차광 막은 디스플레이되는 화질의 저하를 막기 위해서 TFT의 채널 영역으로 들어오는 그러한 광을 가능한 적게 유지한다.
- <4> 그러한 차광 막이 제공되는 액정 디스플레이 패널은 예컨대 미국 특허 제 4,723,838호 및 제 5,691,782호로부터 알려져 있다.
- <5> 미국 특허 제 4,723,838호에 개시된 액정 디스플레이 패널은, 그 디스플레이 패널의 배면 상에 TFT와 대응하는 차광 막을 포함하는데, 그것들 각각은 매트릭스로 배열된 픽셀 전극 각각에 제공된다. 그러한 차광 막 각각은 백 라이트 시스템으로부터의 광이 대응하는 TFT의 채널(반도체 층)에 들어가는 것을 막는 역할을 한다. 통상적으로, 그러한 차광 막은 다음의 방식으로 형성된다.
- <6> 금속과 같은 차광 물질로 이루어진 막이 투명 기판 상에 균일하게 형성된다. 다음으로, 차광 물질 막이 형성될 TFT에 대응하는 영역 이외의 부분을 제거하기 위해 패터닝 처리를 받게 되고, 그 결과 다수의 차광 막이 형성된다. 다음으로, 일반적으로, SiO_2 , 질화규소, 등으로 제작된 절연 층과 예컨대 ITO로 제작된 투명 전도성 층이, 상술된 방식으로 차광 막이 형성되어 있는 기판 상에 순차적으로 형성된다. 소스 전극, 드레인 전극, 및 상기 드레인 전극과 일체형인 픽셀 전극이 각각 패터닝 처리를 통해 위의 투명 전도성 층으로부터 형성된다. 다음으로, 이러한 소자들이 제공되는 기판에는 비결정 실리콘(a-Si) 등으로 제작되는 채널 형성 층과 질화규소 등으로 제작되는 게이트 절연 층이 순차적으로 형성된다. 마지막으로 언급된 두 층은, 상단면(또는 포토-레지스트 층의 상단면)에 배열된 광 소스로부터의 노광을 통해 게이트 절연 층 상에 형성되는 포토-레지스트 층을 패터닝시키고 후속적으로 현상을 시키고 이와 같이 패터닝되어 마스크로서 사용되는 포토-레지스트 층을 통해 에칭을 실행함으로써, 그러한 아일랜드-형태의 영역(island-shaped region)을 제외하고 각각 제거된다. 이어서, 그러한 아일랜드-형태의 영역 각각은 그 상단에 게이트 전극이 제공되고, 그로 인해 TFT가 형성된다. 대안적으로, WO-A 01/15223호로부터 알려진 바와 같이 절연 및 반도체 층을 위해 유기 물질이 사용될 수 있다.

<7> 위에서 설명된 종래의 TFT 제작 방법에서는, 차광 막을 형성하는 중에 사용하기 위한 포토마스크 외에도, 아일랜드-형태의 영역을 형성하는 중에 사용하기 위한 또 다른 포토마스크가 필요하다. 일반적으로, 위의 두 마스크는 서로 상이하고, 그러한 마스크의 각 위치지정 처리에 있어 위치 에러가 발생할 것이며, 그로 인해 연관된 차광 막과 아일랜드-형태의 영역을 기관에 수직하는 방향으로 보았을 때 위치 및 형태에 있어 서로 일치하도록 만드는 것은 매우 어렵다. 그 결과, 백 라이트 시스템으로부터의 광이 아일랜드-형태의 영역, 즉 TFT의 채널 형성 영역에 들어갈 수 있음으로써, 광학적으로 여기된 반송파가 유도된다. 그러한 반송파는 드레인과 소스 사이의 누설 전류가 증가하도록 야기하고, 이는 디스플레이되는 화질에 나쁜 영향을 줄 수 있다. 그러한 광의 입력을 막기 위해서 차광 막이 더 크게 형성될 때는, 패널의 애퍼쉴어 수는 감소할 수 있는데, 즉 백 라이트 시스템으로부터의 광에 대한 과도한 차단으로 인해 어두운 화상이 발생할 수 있다.

발명의 상세한 설명

- <8> 그러므로, 본 발명의 목적은 애퍼쉴어 수와 같은 디스플레이 성능을 저하시키지 않고도 박막 트랜지스터의 채널 형성 층에 광이 들어갈 가능성을 실질적으로 제거할 수 있는 박막 트랜지스터를 제작하는 방법을 제공하는데 있다.
- <9> 본 발명의 또 다른 목적은 감소된 수의 포토마스크를 필요로 함으로써 종래의 방법에 비교해서 더 간단하면서 덜 비용이 드는 제작 단계를 갖는 위의 유형의 박막 트랜지스터를 제작하는 방법을 제공하는데 있다.
- <10> 본 발명의 다른 목적은 애퍼쉴어 수와 같은 디스플레이 성능을 저하시키지 않고도 박막 트랜지스터의 채널 형성 층에 광이 들어갈 가능성을 실질적으로 제거할 수 있는 박막 트랜지스터를 제공하는데 있다.
- <11> 본 발명의 다른 목적은 더 적은 비용으로 제작될 수 있는 위의 유형의 박막 트랜지스터를 제공하는데 있다.
- <12> 본 발명의 다른 목적은 위의 유형의 박막 트랜지스터를 포함하면서 백 라이트 시스템에 의해서 화질이 나쁜 영향을 덜 받는 액정 디스플레이 패널을 제공하는데 있다.
- <13> 위의 목적을 달성하기 위해서, 본 발명에 따라, 청구항 1에 따른 박막 트랜지스터를 제작하는 방법이 제공된다.
- <14> 그 방법에 따라, 아일랜드-형태의 채널 형성 층(island-shaped channel forming layer)을 형성할 때는, 포토마스크로서 사용되는 차광 층을 통해 기관쪽으로부터(즉, 배면부터)의 노광을 통해 수행됨으로써, 전면으로부터의 노출을 위한 종래의 제작 방법에서 필요했던 또 다른 포토마스크를 제공할 필요가 없어졌고, 그로 인해 제작 단계는 간단해졌다. 차광 층이 포토마스크로서 사용되는 결과, 차광 층 및 아일랜드-형태의 채널 형성 층은 기관에 수직하는 방향에서 보았을 때 형태 및 위치에 있어서 서로 실질적으로 완전히 일치하는데, 다시 말하면 두 층 모두 자체 정렬된다. 따라서, 채널 형성 층에 들어가는 백 라이트 시스템으로부터의 광에 의해서 광학적으로 여기된 반송파가 유도되는 현상의 발생이 애퍼쉴어 크기 등을 희생하지 않고도 효율적인 방식으로 회피될 수 있다.
- <15> 본 방법의 제 1 실시예에서는, 소스 및 드레인 전극이 기관 상에 제공되고, 그 위에는 채널 형성 층이 적용된다. 다음으로는 게이트 전극이 그 위에 존재한다. 그와 함께 채널이 차광 층과 게이트 전극 사이에 실제로 존재하는데, 상기 게이트 전극은 검은색 입자로 채워진 유기 전도성 층이나 금속과 같은 차광 전도성 물질을 포함한다.
- <16> 다른 실시예에서, 포토리소그래픽적인 패턴화는,
- <17> - 게이트 절연 층 상에 포토레지스트 층을 제공하는 단계와;
- <18> - 마스크로서 사용되는 상기 차광 층을 통해 상기 투명 기관쪽으로부터의 노광에 기초하여 포토레지스트 층을 패턴화하는 단계와;
- <19> - 마스크로서 사용되는 패턴화된 포토레지스트 층을 통해 상기 게이트 절연 층 및 상기 채널 형성 층의 적층물을 선택적으로 에칭하고, 그로 인해 아일랜드-형태의 채널을 형성하는 단계를 포함한다.
- <20> 비록 포토레지스트 층은 예컨대 광화학적인 라디칼 개시제(photochemical radical initiator)를 첨가함으로써 직접 패턴화될 수 있지만, 패턴화가 중간 포토레지스트 층을 통해 간접적으로 발생하는 것이 바람직하다. 본 실시예에 따르면, 포토레지스트 층은 게이트 절연 층 위에 존재한다. 이것은, 채널 및, 특히 그 채널과 게이트 절연 층 사이의 인터페이스가 오염으로부터 보호되는 장점을 갖는다.
- <21> 채널 형성 층을 바람직하게 간접적으로 패턴화한 후에는, 상기 채널은 더욱 보호될 수 있다. 제 1 변형에서는,

제 2 게이트 절연 층으로서 역할을 하는 보호 층이 제공된다. 제 2 변형에서는, 비결정 실리콘을 포함하는 채널의 측면이 국부적으로 산화된다.

- <22> 제 2 실시예에서, 본 방법은,
- <23> - 게이트 전극을 기판 상의 차광층 또는 그 기판 상에 제공된 초벌입힘 층(undercoat layer)으로 제공하는 단계로서, 상기 게이트 전극은 차광 전도성 물질을 포함하는, 제공 단계와;
- <24> - 상기 게이트 전극 위에 게이트 절연 층을 형성하는 단계와;
- <25> - 소스 전극 및 드레인 전극을 상기 게이트 절연 층 위에 형성하는 단계와;
- <26> - 상기 소스 및 드레인 전극이 형성되어진 상기 게이트 절연 층 상에 채널 형성 층을 적용하는 단계를 포함한다.
- <27> 본 실시예에 따라, 게이트 전극은 차광 층으로서 작용하며 기판 상에 존재한다. 따라서, 최종적인 트랜지스터는 바텀 게이트 유형(bottom gate type)의 트랜지스터이다. 트랜지스터 및 채널 물질의 응용에 따라, 소스 및 드레인 전극 위에는 더 이상 어떤 추가적인 차광 층도 필요하지 않을 수 있다. 만약 필요하다면, 그 차광 층은 패턴화되지 않은 층이나 패턴화된 층으로서 제공될 수 있다. 그 층은 게이트 전극을 포함하는 층과 동일한 패턴에 따라 패턴화될 수 있다. 이것은 마스크의 수가 감소될 수 있다는 장점을 갖는다.
- <28> 또한 그런 제 2 실시예에서는, 채널 형성 층이 간접적으로 패턴화 되는 것이 바람직하다. 그러므로, 추가적인 절연 층이 포토리소그래픽적인 패턴화 이전에 채널 형성 층 위에 적용된다.
- <29> 채널 위에 보호 층을 제공하는 것이 유리하다. 그러한 보호 층은 트랜지스터가 액정 디스플레이에서 사용될 경우에는 픽셀 영역의 범위를 정하는 것이 바람직하다.
- <30> 많은 트랜지스터가 청구항에서 약속된 바와 같이 단일 처리로 단일 기판에 제공될 수 있다는 것을 알게 된다. 더 나아가서, 소스 및 드레인 전극은 일반적으로 단일 층의 패턴으로 제공되는데, 그것은 복수의 상호연결 라인을 더 포함할 것이다. 게이트 전극도 또한 층의 패턴으로서 제공되며 복수의 상호연결 라인을 더 포함한다. 소스 또는 드레인 전극은 액정 디스플레이에서 사용되는 경우에는 픽셀 전극에 연결된다.
- <31> 본 발명에 따라, 청구항 1 내지 8 중 어느 한 항에 따른 방법으로 획득가능한 박막 트랜지스터를 포함하는 액정 디스플레이가 또한 제공되는데, 상기 액정 디스플레이는 소스 또는 드레인 전극에 연결되는 픽셀 전극과 액정 물질 층을 더 포함한다. 그 디스플레이는 비용에 있어 효율적으로 제작될 수 있다. 그 디스플레이는 어떠한 누설 전류도 백 라이트 시스템의 영향을 받아 채널에서 유도되지 않을 것이라는 사실을 통해 좋은 화질 및 좋은 수명을 갖는다.
- <32> 본 발명의 이러한 양상 및 다른 양상이 도면을 참조하여 더 논의되고 설명될 것이다.

실시예

- <38> 본 발명의 실시예가 이제 첨부 도면을 참조하여 설명될 것이다.
- <39> 도 1은 본 발명에 따른 박막 트랜지스터를 제작하는 방법의 제 1 실시예를 톱-게이트 유형(top-gate type)의 TFT에 적용함으로써 제작되는 액정 디스플레이 패널의 평면도인데, 여기서는 한 픽셀에 대응하는 패널의 부분만이 개략적으로 도시되어 있다. 도 2a 내지 도 2f는 도 1의 라인 II-II를 따라 취해진 단면도에서 제 1 실시예에 따른 제작 방법의 여러 단계를 나타내는 도면이다.
- <40> 제 1 실시예가 적용되어진 액정 디스플레이 패널(10)은 다수의 픽셀 전극(12)을 포함하는데, 상기 픽셀 전극(12)은 그 픽셀 전극과 투명 기판 사이에 절연 층이 삽입되는 상기 투명 기판 상에 형성되고, 매트릭스 형태로 배열되는데, 그 투명 기판은 패널의 배면 상에 배치된다. 각각의 픽셀 전극(12)에는 그와 근접하게 관련해서 그 픽셀 전극을 구동시키기 위한 박막 트랜지스터(TFT)(14)가 제공된다. TFT(14)는 액정 디스플레이 패널(10)의 행 방향으로 연장하는 게이트 라인(16)과 패널의 열 방향으로 연장하는 소스 라인(17)에 연결되며, 픽셀 정보에 따라 두 라인에 인가되는 신호에 의해서 구동되도록 적응된다. 비록 도 1에는 도시되지 않았지만, 액정 디스플레이 패널(10)은 위의 구조와 정반대로 관련해서 배치되는 다른 소자들과 투명 보호 기판을 더 포함하는데, 상기 구조는 그 투명 기판과 도 1에 도시된 그러한 소자들을 구비하는데, 그 사이에 액정 물질이 삽입된다(즉, 투명 보호 기판과 다른 소자들은 패널의 전면 상에 배치된다). 따라서, 패널(10)은 투명 보호 기판 상에 제공되는 투명 공통 전극과 각 픽셀 전극 사이에 존재하는 전압을 액정 물질에 인가하고 백 라이트 시스템을 통해 배면으로

부터 패널에 조명을 가함으로써 이미지를 디스플레이하도록 배열된다.

- <41> 아래에서는, 위의 박막 트랜지스터(14)를 제작하는 방법이 도 2a 내지 도 2f를 참조하여 더 상세히 설명될 것이다. 다음의 설명에서는, 경우에 따라서, 도 2a 내지 도 2f의 상단면이 전면으로 지칭되고, 하단면이 배면으로 지칭된다.
- <42> 먼저, 유리 및 석영과 같은 투명 물질로 제작된 기판(20)이 준비된다. 그런 다음에, 크롬과 같은 차광 물질로 구성되는 막이 예컨대 스퍼터링에 의해서 균일한 두께로 투명 기판(20)의 전체 표면 상에 형성된다. 그러한 차광 물질 막은 제작될 박막 트랜지스터(14) 각각에 대응하는 위치에 차광 막(21) 각각을 형성하기 위해서 제 1 포토마스크를 사용하여 알려진 리소그래피를 통해 패턴화된다(도 2a 참조). 그러한 방식으로, 실질적으로 직사각형의 평면도를 갖는 다수의 차광 막(21) 각각이 매트릭스 형태로 기판(20) 상에 형성된다.
- <43> 이어서, 예컨대 SiO_2 로 구성되는 절연 층(22)이, 차광 층(21)이 형성되어 있는 기판(20)의 전체 표면 상에 플라즈마 CVD(Chemical Vapour Deposition) 방법을 통해서 균일한 두께로 형성된다. 다음으로, ITO와 같은 투명 전도성 물질로 이루어진 층이 그에 따라 형성된 절연 층(22) 상에 예컨대 스퍼터링을 통해서 균일한 두께로 형성된다. 그러한 투명 전도성 물질 층은 제 2 포토마스크를 사용하여 알려진 포토리소그래피를 통해 패턴화됨으로써, 픽셀 전극(12), 대응하는 픽셀 전극(12)의 일부분으로서 드레인 전극(12a) 각각, 소스 라인(17), 및 대응하는 소스 라인(17)과 일체형인 소스 전극(17a)이 형성된다(도 2b 참조). 다음으로, 도 2b에 도시된 단계에서 획득되는 구조가 후속하는 단계들을 위해 상단 표면에서 인으로 도핑된다.
- <44> 그 결과, 비결정 실리콘(a-Si)과 같은 반도체 물질로 구성되는 채널 형성 층(24)과 질화규소(SiN_x)와 같은 절연 물질로 구성되는 게이트 절연 층(26)이 예컨대 플라즈마 CVD 방법으로 위에서 언급된 구조의 전체 표면 상에 순차적으로 형성된다. 그 경우에, 위에서 언급되어진 도핑된 인은 픽셀 전극(12), 드레인 전극(12a), 소스 라인(17) 및 소스 전극(17a)과 인터페이싱하는 채널 형성 층(24)의 부분들로 확산하고, 그로 인해서 예컨대 n+a-Si 막이 거기에 형성되는데, 이는 채널 형성 층(24)과 드레인 및 소스 전극(12a 및 17a) 사이에서 좋은 옴 접촉(ohmic contact)이 달성되도록 허용한다. 다음으로, 포토레지스트 층(28)이 게이트 절연 층(26) 상에 형성된다. 그 포토레지스트 층(28)은 마스크로서 사용되는 차광 층(21)을 통해 기판(20)쪽으로부터 노광된다. 그런 후에, 배면으로부터의 노광에 따라 포토레지스트 층(28)이 현상되고, 그 결과 차광 층(21)에 대응하는 그러한 영역(28')만이 게이트 절연 층(26) 상에 각각 남는다. 이어서, 게이트 절연 층(26)과 채널 형성 층(24)은 마스크로서 사용되는 포토레지스트 층(28')을 통해 알려진 에칭 방법에 의해 선택적으로 에칭됨으로써, 채널 형성 층(24)과 게이트 절연 층(26)을 구비하는 아일랜드-형태의 영역(island-shaped region)(30) 각각이 형성된다(도 2d 참조). 다음으로는, 각각의 아일랜드-형태의 영역(30) 상에 남은 포토레지스트 층(28')이 알려진 방법으로 제거된다.
- <45> 그 결과, 질화규소와 같은 절연 물질로 구성되는 절연 층(32)이 위의 구조의 전체 표면 상에 형성된다. 그러한 절연 층(32)이 이어서 제 3 포토마스크를 사용하여 알려진 포토리소그래피를 통해 패턴화됨으로써, 픽셀 전극(12)의 각각을 노출시키기 위한 윈도우(32a) 각각이 절연 층(32)에 형성된다(도 2e 참조).
- <46> 다음으로, 알루미늄 등으로 구성되는 금속 층이 예컨대 스퍼터링을 통해서 특정 두께로 구조의 전체 표면 상에 형성된다. 이어서, 그 금속 층은 제 4 포토마스크를 사용하여 알려진 포토리소그래피를 통해 패턴화됨으로써, 아일랜드-형태의 영역(30) 각각 위에 배치되는 게이트 전극(16a) 각각과 게이트 전극(16a)의 행에 공통으로 연결되는 게이트 라인(16) 각각이 절연 층(32) 상에 형성된다(도 2f 참조). 그러한 방식으로, 드레인 및 소스 전극(12a 및 17a), 채널 형성 층(24), 게이트 절연 층(26 및 32), 및 게이트 전극(16a)을 포함하는 TFT(14) 각각이 획득된다.
- <47> 이어서, 도 2f에 도시된 단계에서 획득되는 구조가 예컨대 보호 막 및/또는 지향성 막(orientation film)을 통해 그것의 전체 표면 상에 형성되지만, 그 단계들은 잘 알려져 있기 때문에 그에 대한 상세한 설명이 생략될 것이다.
- <48> 위에 설명된 제 1 실시예에 따른 제작 방법에 있어서, 채널 형성 층(24)을 구비하는 아일랜드-형태의 채널 형성 층(30) 각각을 형성할 때는, 노광이 포토마스크로서 사용되는 차광 층(21)을 통해 배면부터 수행됨으로써, 전면으로부터의 노출을 위한 종래의 제작 방법에서 필요시 되어 왔던 또 다른 포토마스크를 제공할 필요가 없고, 그로 인해 제작 단계가 간단해 진다. 차광 층(21)이 포토마스크로서 사용되는 결과로, 각각의 차광 층(21)과 그에 대응하는 아일랜드-형태의 채널 형성 층(24)은 기판(20)에 대해 수직하는 방향으로 보았을 때 형태 및 위치에 있어 실질적으로 서로 완전히 일치하는데, 다시 말하면 두 층은 자체 정렬된다. 따라서, 광학적으로 여기되는

반송파가 채널 형성 층(24)에 들어가는 백 라이트 시스템으로부터의 광에 의해서 유도될 수 있는 가능성이 사실상 존재하지 않게 된다. 그러므로, 그러한 제작 방법으로 제작된 액정 디스플레이 패널(10)을 통해서, 백 라이트 시스템의 영향을 덜 받는 좋은 화질이 획득될 수 있다. 게다가, 차광 층(21)이 위에서 언급된 자체-정렬을 통해서 채널 형성 층(24)에 대해 과도하게 크게 형성되지 않을 것이며, 따라서 백 라이트 시스템으로부터의 광이 채널 형성 층(24)에 들어가는 것이 효율적인 방식으로 방지될 수 있고, 위에서 언급된 애퍼쉴어 수의 감소가 회피될 수 있다.

- <49> 위에서 설명된 제 1 실시예의 변형이 이제 도 3을 참조하여 설명될 것이다.
- <50> 그러한 변형은 절연 층(32)으로 아일랜드-형태의 영역(30)을 완전히 덮는 대신에 채널 형성 층의 측면을 절연층으로 만듦으로써, 채널 형성 층(24)의 측면이 게이트 전극(16a)의 패턴에 접촉하는 것을 막기 위함이며, 다음과 같은 점에서 도 2a 내지 도 2f에 도시된 제작 단계와는 다른 제작 단계를 갖는다.
- <51> 도 2d에 도시된 단계 이후에, SiO₂로 구성되는 절연 막(24a)이 도 3(e')에 도시된 바와 같은 알려진 방식으로 플라즈마 산화 처리를 수행함으로써 채널 형성 층(24) 측면의 산화에 의해서 형성된다. 이어서, 포토레지스트 층(28')이 제거된다. 대안적으로는, 포토레지스트 층(28')이 위의 플라즈마 산화 처리에 앞서 제거될 수도 있다.
- <52> 그 결과, 알루미늄 등으로 구성되는 금속 층이 예컨대 스퍼터링을 통해서 일정한 두께로 구조의 전체 표면 상에 형성된다. 다음으로, 그 금속 층은 제 4 포토마스크를 사용하여 알려진 포토리소그래피를 통해 패턴화됨으로써, 게이트 전극(16a')과 게이트 패턴(16)이 게이트 절연 층(26) 상에 형성된다.
- <53> 그러한 변형에 따라, 제 1 실시예에서 절연 층(32)을 제공하던 것이 불필요하고, 단일의 게이트 층(26)만이 채널 형성 층(24)과 게이트 전극(16a') 사이에 존재하며, 이는 제작 단계로 하여금 더 간단하면서 덜 비용이 들도록 만든다.
- <54> 다음으로, 본 발명에 따른 박막 트랜지스터를 제작하는 방법이 바텀-게이트 유형의 TFT에 적용되는, 본 발명의 제 2 실시예가 설명될 것이다.
- <55> 도 4a 내지 도 4e는 도 2a 내지 도 2f와 유사한 방식으로 그러한 제 2 실시예에서의 여러 단계를 나타내는 도면이다. 먼저, 차광 전도성 물질, 예컨대 알루미늄과 같은 금속으로 구성되는 층이 유리나 석영으로 제작되는 투명 기판(120)의 전체 표면 상에 예컨대 스퍼터링 등을 통해서 균일한 두께로 형성된다. 그러한 금속 층은 게이트 전극(116a) 및 그 게이트 전극(116a)과 일체형인 게이트 라인(116) 각각(도 5)을 형성하기 위해서 제 1 포토마스크를 사용하여 알려진 리소그래피를 통해 패턴화된다(도 4a 참조).
- <56> 다음으로는, 예컨대 SiO₂로 구성되는 게이트 절연 층(122)이 게이트 전극(116a) 및 게이트 라인(116)이 형성되어 있는 기판(120)의 전체 표면 상에 플라즈마 CVD 방법 등을 통해서 균일한 두께로 형성된다. 다음으로, IT0와 같은 투명 전도성 물질 층이 그에 따라 형성된 게이트 절연 층(122) 상에 예컨대 스퍼터링을 통해서 균일한 두께로 형성된다. 그러한 투명 전도성 물질 층이 제 2 포토마스크를 사용하여 알려진 포토리소그래피를 통해 패턴화됨으로써, 픽셀 전극(112), 대응하는 픽셀 전극(112)의 일부분으로서의 드레인 전극(112a) 각각, 소스 라인(117) 및 대응하는 소스 라인(117)과 일체형인 소스 전극(117a)이 형성된다(도 4b 참조). 다음으로, 도 4b에 도시된 단계에서 획득되는 바와 같은 구조는 후속 단계 동안에 그것의 상단면에서 인으로 도핑된다.
- <57> 그 결과, 비결정 실리콘(a-Si)과 같은 반도체 물질로 구성되는 채널 형성 층(124)과 질화규소(SiN_x)와 같은 절연 물질로 구성되는 절연 층(126)이 예컨대 플라즈마 CVD 방법으로 위의 구조의 전체 표면 상에 순차적으로 형성된다. 그 경우에, 위에서 언급되어진 도핑된 인은 픽셀 전극(112), 드레인 전극(112a), 소스 라인(117) 및 소스 전극(117a)과 인터페이스하는 채널 형성 층(124)의 부분들로 확산하고, 그로 인해서 예컨대 n+a-Si 막이 거기에 형성되는데, 이는 채널 형성 층(124)과 드레인 및 소스 전극(112a 및 117a) 사이에서 좋은 음 접촉이 달성되도록 허용한다. 다음으로, 포토레지스트 층(128)이 절연 층(126) 상에 형성된다. 그 포토레지스트 층(128)은 한 마스크로서 사용되는 게이트 전극(116a) 및 게이트 라인(116)을 통해 기판(120)쪽으로부터(즉, 배면부터) 노광된다. 더 나아가서, 포토레지스트 층(128)은 게이트 전극(116a)의 길이에 수직하는 방향(즉 도 4a 내지 도 4e에서 수평 방향)으로 연장하는 미리 결정되어진 차광 스트라이프(light-blocking stripe)를 갖는 간단한 구성의 제 3 포토마스크(다른 포토마스크)를 사용하여 도면의 상단면으로부터(즉, 패널의 전면부터) 노광된다.
- <58> 도 5는 위에서 언급된 마스크 및 다른 마스크를 평면도로 개략적으로 나타내고 있으며, 게이트 전극(116a) 및 게이트 라인(116)을 구비하는 한 마스크와 다른 마스크(200)가 채널 형성 층이 형성되어야 하는 그러한 영역인

접침 영역(그물선으로 음영처리된 영역)을 구비하는 것을 나타내고 있다. 더 상세하게 말하면, 다른 마스크(200)는 게이트 전극(116a)에 대응하는 적어도 그러한 영역, 즉 채널 형성 층이 상단면부터로부터 노광되지 않는 패턴을 가져야 한다. 본 예에서, 마스크(200)는 게이트 라인(116)의 모든 영역이 상단면부터 노광되도록 야기하는 패턴을 갖는다. 그러한 패턴은 게이트 라인(116)을 에워싸도록 상기 게이트 라인(116)을 따라 연장하는 투광 선형 스트라이프(201) 및 그 스트라이프(201)와 교대로 배열되는 차광 선형 스트라이프(202)를 제공함으로써 형성될 수 있으므로 매우 간단하다. 도 5로부터 알게 될 바와 같이, 마스크(200)는 한 방향(즉, 도 5에 서는 수직 방향)으로만 위치되어야 하고, 그에 따라서 제작 단계를 간단하게 하는데 기여한다.

<59> 다음으로, 그에 따라 노광된 포토레지스트 층(128)이 현상되고, 그 결과, 게이트 전극(116a)에 각각 대응하는 그러한 영역(128')만이 절연 층(126) 상에 남게 된다. 그 결과, 절연 층(126)과 채널 형성 층(124)이 마스크로서 사용되는 포토레지스트 층(128')을 통해서 알려진 에칭 방법에 의해 선택적으로 에칭됨으로써, 채널 형성 층(124) 및 절연 층(126)을 포함하는 아일랜드-형태의 영역(130) 각각이 형성된다(도 4d 참조). 다음으로, 각 아일랜드-형태의 영역(130)에 남아 있는 포토레지스트 층(128')이 알려진 방식으로 제거된다.

<60> 그 결과, 질화규소와 같은 절연 물질로 구성되는 보호 층(132)이 위의 구조의 전체 표면 상에 형성된다. 다음으로, 그러한 보호 층(132)은 제 4 포토마스크를 사용하여 알려진 포토리소그래피로 패턴화됨으로써, 픽셀 전극(112)의 각각을 노출시키기 위한 윈도우(132a) 각각이 보호 층(132)에 형성된다(도 4e 참조). 그 결과, 게이트 라인의 단자 부분이 알려진 방법으로 노출된다. 그러한 방식으로, 드레인 및 소스 전극(112a 및 117a), 채널 형성 층(124), 게이트 절연 층(122), 및 게이트 전극(116a)을 포함하는 TFT(114) 각각이 획득된다.

<61> 다음으로, 도 4e에 도시된 단계에서 획득되는 바와 같은 구조가 예컨대 지향성 막(orientation film)을 통해 그것의 전체 표면 상에 형성되지만, 그러한 단계에 대한 상세한 설명은 잘 알려져 있기 때문에 생략될 것이다.

<62> 위에서 설명된 제 2 실시예에 따른 제작 방법에서, 채널 형성 층(124)을 포함하는 아일랜드-형태의 채널 형성 층(130) 각각을 형성할 때는, 노광이 포토마스크로서 사용되는 게이트 전극(116a)을 통해 배면부터 수행됨으로써, 기관(120)에 수직하는 방향으로 보았을 때, 각 게이트 전극(116a)과 그에 대응하는 채널 형성 층(124)은 적어도 그것의 마주보고 있는 면의 쌍에 있어서는 형태와 위치에 있어서 실질적으로 서로 완전하게 일치하는데, 다시 말하면 두 층은 자체 정렬된다(도 5에 도시된 측면(130A 및 130B); 본 예에서는, 측면(130C)도 자체-정렬 됨). 따라서, 광학적으로 여기된 반송파가 채널 형성 층(124)에 들어가는 백 라이트 시스템으로부터의 광에 의해서 유도될 수 있는 가능성이 매우 낮아진다. 그러므로, 그러한 제작 방법으로 제작된 액정 디스플레이 패널을 통해서, 백 라이트 시스템에 덜 영향을 받는 좋은 화질이 획득될 수 있다. 게다가, 위에서 언급된 자체-정렬을 통해서, 백 라이트 시스템으로부터 채널 형성 층으로 광이 들어가는 것이 효율적인 방식으로 방지될 수 있고, 동시에 앞서 언급된 애퍼썬어 수의 감소도 회피될 수 있다.

<63> 도 4c 내지 도 4e에 도시된 제 2 실시예의 제작 단계에서, 절연 층(126)의 형성은 생략될 수 있으며, 대신에 보호 층(132)만이 제공될 수 있다.

<64> 위에서 설명된 제 2 실시예에서는, 아일랜드-형태의 영역(130)이 배면 상의 한 마스크(게이트 전극, 등) 및 전면 상의 다른 마스크를 사용하여 형성된다. 대안적으로, 채널 형성 층이 단지 한 마스크를 통해 도 4c의 단계에서 게이트 전극 등(평면도에서)에 대응하는 형태로 제일 먼저 패턴화되고, 이어서 채널 형성 층이 도 4e의 단계에서 보호 층(132)에 윈도우(132a)를 형성하는 것과 동시에 아일랜드 형태로 마지막으로 패턴화된다. 그 경우에는, 채널 형성 층이 아일랜드 형태로 패턴화되자마자, 그것의 측면은 노출될 것이고, 그로 인해 그러한 노출된 측면이 도 3과 관련하여 위에서 설명된 방식으로 산화 처리 및 질화 처리와 같은 절연 처리를 받도록 하는 것이 바람직할 것이다. 당연히, 위에서 설명된 아일랜드 형태의 패턴화는 필수적이지 않은데, 그 이유는 채널 형성 층이 비록 그것들이 아일랜드 형태로 형성되지 않더라도 그것들의 기본적인 기능을 달성할 수 있기 때문이다. 그럼에도 불구하고, 저항 대 누설 전류 등의 관점에서 TFT의 성능이 고려될 때는 채널 형성 층을 아일랜드 형태로 형성하는 것이 바람직할 것이다.

<65> 비록 차광 층 및 게이트 전극이 위의 설명된 각각의 실시예에서는 기관 상에 직접 형성되지만, 그러한 소자들이 기관 상에 제공되는 초벌입힘 층 상에 대안적으로 형성될 수 있다는 것은 말할 나위도 없다. 마찬가지로, 본 발명은 다른 층 및 부분에 추가적인 소자를 제공하는 것을 배제하지 않는다. 또한, 임의의 변형이 청구항에서 설명되는 본 발명의 범위로부터 벗어나지 않는 한은 필요시 본 발명의 실시예에 대해서 가능하다.

산업상 이용 가능성

<66> 상술된 바와 같이, 본 발명은 액정 디스플레이 패널의 픽셀 전극을 구동시키기 위한 소자로서 사용하기에 적합

한 박막 트랜지스터를 제작하는 향상된 방법에 이용가능하다.

도면의 간단한 설명

<33> 도 1은 본 발명의 제 1 실시예에 따라 제작되는 박막 트랜지스터를 구비한 액정 디스플레이 패널의 일부분에 대한 개략적인 평면도.

<34> 도 2a 내지 도 2f는 본 발명의 제 1 실시예의 여러 제작 단계에서 도 1의 라인 II-II을 따라 취해진 단면에서의 도 1의 일부분을 나타내는 도면.

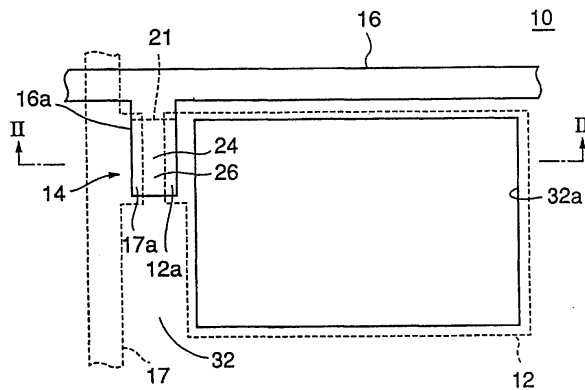
<35> 도 3은 본 발명의 제 1 실시예에 대한 변형에서 몇몇 제작 단계를 설명하는 도면.

<36> 도 4a 내지 도 4e는 트랜지스터가 각 단계에서 단면으로 도시되어진, 본 발명의 제 2 실시예에 따른 박막 트랜지스터를 제작하는 방법의 몇몇 단계를 설명하는 도면.

<37> 도 5는 본 발명의 제 2 실시예에 따른 박막 트랜지스터를 제작하는 방법에서 사용되는 마스크의 개략적인 평면도.

도면

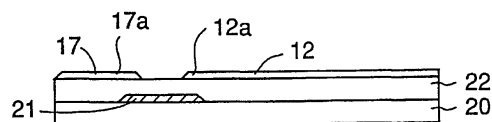
도면1



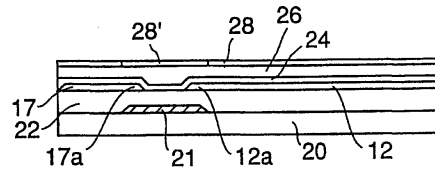
도면2a



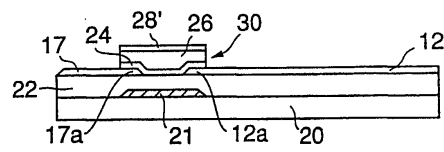
도면2b



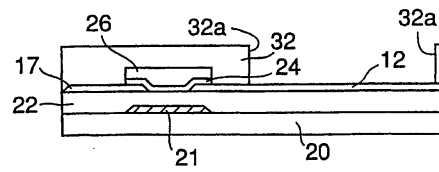
도면2c



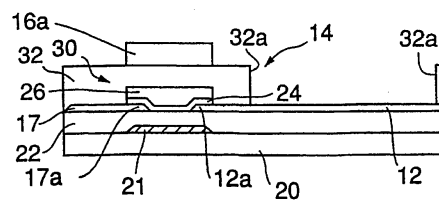
도면2d



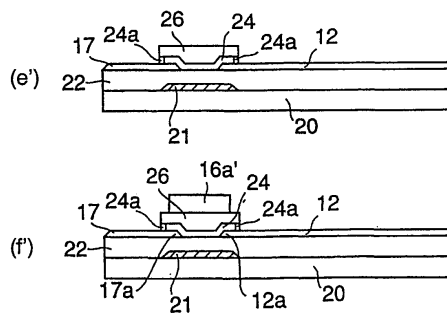
도면2e



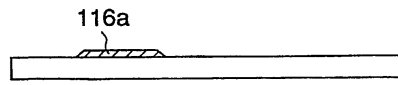
도면2f



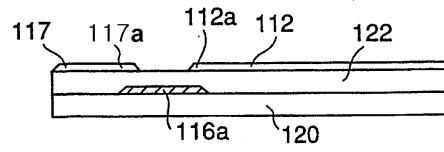
도면3



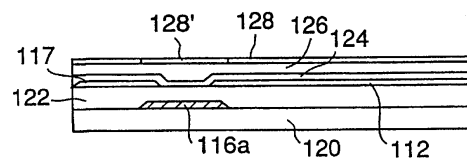
도면4a



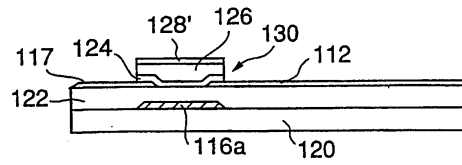
도면4b



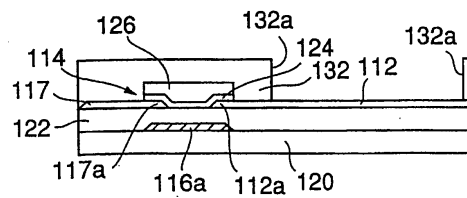
도면4c



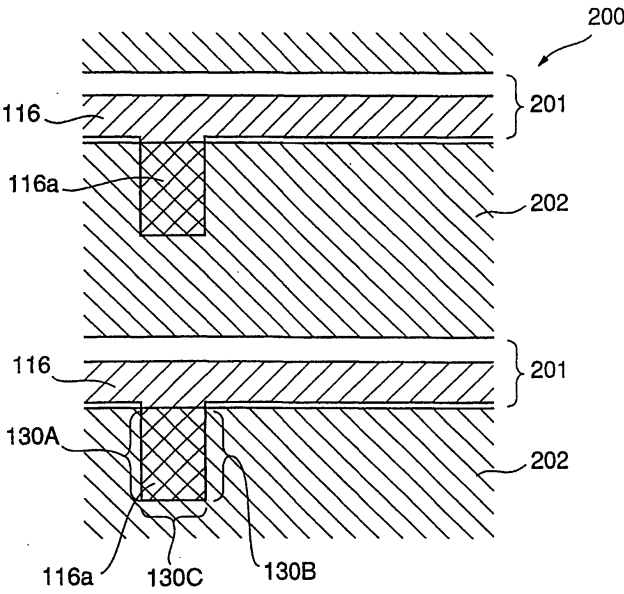
도면4d



도면4e



도면5



专利名称(译)	一种制造薄膜晶体管的方法和液晶显示器		
公开(公告)号	KR100890745B1	公开(公告)日	2009-03-26
申请号	KR1020037000225	申请日	2002-05-06
[标]申请(专利权)人(译)	统宝香港控股有限公司		
申请(专利权)人(译)	血来香港控股的品牌		
当前申请(专利权)人(译)	血来香港控股的品牌		
[标]发明人	YUKAWA TEIZO		
发明人	YUKAWA,TEIZO		
IPC分类号	G02F1/136 G02F1/1368 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	H01L29/66757 H01L29/78633		
代理人(译)	SHIN JUNG KUN 金泰HONG		
优先权	2001139552 2001-05-10 JP		
其他公开文献	KR1020030029615A		
外部链接	Espacenet		

摘要(译)

提供一种制造薄膜晶体管的方法，该薄膜晶体管具有减少的制造步骤，其中可以消除光进入薄膜晶体管的沟道形成层的可能性。薄膜晶体管包括在透明基板20上的栅电极16a，漏电极12a，源电极17a，沟道24和光屏蔽层21。通过光刻图案化光屏蔽层21作为掩模来形成沟道24。作为光屏蔽层21，可以使用栅电极16a，其提供底栅薄膜晶体管。该晶体管非常适合用于液晶显示器。

