



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월09일
(11) 등록번호 10-0887997
(24) 등록일자 2009년03월03일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2002-0083881

(22) 출원일자 2002년12월26일

심사청구일자 2007년11월12일

(65) 공개번호 10-2004-0057250

(43) 공개일자 2004년07월02일

(56) 선행기술조사문헌

JP14190605 A*

JP62166560 A*

KR1020020042898 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조소행

경기도안양시동안구관양동1488-39창덕에버빌502호

이동훈

경기도안양시동안구호계동샘마을아파트505-105

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 7 항

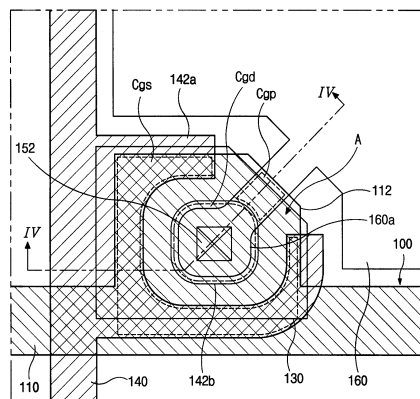
심사관 : 임동재

(54) 기생 용량 편차가 최소화된 액정 표시 장치용 박막트랜지스터

(57) 요약

본 발명은 기판과; 상기 기판 상부에 형성되는 게이트 전극과; 상기 게이트 전극 상부에 형성되는 제 1 절연막과; 상기 게이트 전극에 대응되며 상기 제 1 절연막 상부에 형성되는 활성층과; 상기 활성층 상부에 상기 활성층의 가장자리와 중첩되도록 형성되는 소스 전극과; 상기 활성층 상부에 섬모양으로 형성되며 상기 게이트 전극 안에 완전히 포함되는 드레인 전극과; 상기 소스 및 드레인 전극 상부에 형성되며 상기 드레인 전극을 노출하는 콘택홀을 갖는 제 2 절연막과; 상기 제 2 절연막 상부에 형성되며 드레인 전극과 연결되는 화소 전극을 포함하는 액정 표시 장치용 박막 트랜지스터를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관과;

상기 기관 상부에 형성되는 게이트 전극과;

상기 게이트 전극 상부에 형성되는 제 1 절연막과;

상기 게이트 전극에 대응되며 상기 제 1 절연막 상부에 형성되는 활성층과;

상기 활성층 상부에 상기 활성층의 가장자리와 중첩되도록 형성되는 소스 전극과;

상기 활성층 상부에 섬모양으로 형성되며 상기 게이트 전극과 완전히 중첩하며 형성된 드레인 전극과;

상기 소스 및 드레인 전극 상부에 형성되며 상기 드레인 전극을 노출하는 콘택홀을 갖는 제 2 절연막과;

상기 제 2 절연막 상부에 형성되며 상기 드레인 전극과 연결되는 화소 전극

을 포함하는 액정 표시 장치용 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 화소 전극에서 연장되고 상기 드레인 전극을 덮는 화소 전극 연장부를 포함하는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터.

청구항 3

제 2 항에 있어서,

상기 화소 전극 연장부는 상기 콘택홀을 통하여 상기 드레인 전극에 연결됨을 특징으로 하는 액정 표시 장치용 박막 트랜지스터.

청구항 4

제 3 항에 있어서,

상기 소스 전극은 개구부를 가지는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터.

청구항 5

제 4 항에 있어서,

상기 화소 전극 연장부는 상기 개구부에 형성됨을 특징으로 하는 액정 표시 장치용 박막 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 활성층과 소스 및 드레인 전극 사이에 오믹 콘택층을 포함하는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터.

청구항 7

서로 대향하며 일정 간격 이격된 제 1 및 제 2 기관과;

상기 제 1 기관의 안쪽 면에 형성되는 게이트 전극과;

상기 게이트 전극 상부에 형성되는 제 1 절연막과;

상기 게이트 전극에 대응되며 상기 제 1 절연막 상부에 형성되는 활성층과;

상기 활성층 상부에 상기 활성층의 가장자리와 중첩되도록 형성되는 소스 전극과;

상기 활성층 상부에 섬모양으로 형성되며 상기 게이트 전극과 완전히 중첩하며 형성된 드레인 전극과;
 상기 소스 및 드레인 전극 상부에 형성되며 상기 드레인 전극을 노출하는 콘택홀을 갖는 제 2 절연막과;
 상기 제 2 절연막 상부에 형성되며 상기 드레인 전극과 연결되는 화소 전극과;
 상기 제 2 기판의 안쪽 면에 형성되는 블랙 매트릭스와;
 상기 블랙 매트릭스 상부에 형성되는 컬러 필터와;
 상기 컬러 필터 상부에 형성되는 공통 전극과;
 상기 화소 전극과 공통 전극 사이에 삽입되어 있는 액정층
 을 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정 표시 장치에 관한 것으로, 좀 더 상세하게는 액정 표시 장치용 박막 트랜지스터의 구조에 관한 것이다.
- <16> 근대까지 브라운관(cathode-ray tube ; CRT)이 표시장치의 주류를 이루고 발전을 거듭해 오고 있으며, 최근 들어 소형화, 경량화, 저소비전력화 등의 시대상에 부응하기 위해 평판 표시소자(Flat Panel Display)의 필요성이 대두되었다. 이에 따라, 색 재현성이 우수하고 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 액정 표시 장치(Liquid Crystal Display Device; LCD device)가 개발되었다.
- <17> 일반적으로 액정 표시 장치는 어레이 기판과 컬러 필터(color filter) 기판 사이에 액정을 주입하여, 상기 액정의 이방성에 따른 빛의 굴절률의 차이를 이용해 영상효과를 얻는 비발광 소자이다.
- <18> 현재는 액정 표시 장치 중에서 능동 행렬 액정 표시 장치(Active Matrix LCD device: AMLCD device)가 주류를 이루고 있다. 능동 행렬 액정 표시 장치에서는 하나의 박막 트랜지스터(Thin Film Transistor: TFT)가 한 화소의 액정에 걸리는 전압을 조절하여 화소의 투과도를 변화시키는 스위칭 소자로 사용된다.
- <19> 여기서, 능동 행렬 액정 표시 장치용 박막 트랜지스터의 구성을 도면을 참조하여 살펴보기로 한다.
- <20> 도 1 은 종래의 액정 표시 장치용 박막 트랜지스터를 도시한 개략적인 평면도이다.
- <21> 도 1에 도시한 바와 같이, 기판(1)위에 게이트 배선(10)이 제 1 방향으로 배치되고 이와 교차하는 데이터 배선(40)이 제 2 방향으로 배치되어 화소 영역을 정의한다. 게이트 전극(12)은 게이트 배선(10)과 연결되어 있으며 게이트 전극(12)의 상부에는 비정질 실리콘으로 이루어지는 활성층(active layer: 30)이 형성되어 있다. 도시하지는 않았지만, 게이트 전극(12)과 활성층(30) 사이에는 게이트 절연막이 형성되어 있다.
- <22> 데이터 배선(40)에 연결되는 소스 전극(42a)은 활성층(30)의 가장자리와 일부 겹치도록 형성되어 있으며, 드레인 전극(42b)은 소스 전극(42a)에 감싸인 형태로 활성층(30) 상부의 가운데 영역에 형성되어 있다. 드레인 전극(42b)은 화소 영역에 형성되어 있는 드레인 전극 연장부(42c)에 연결되어 있다.
- <23> 소스 및 드레인 전극(42a, 42b) 상부에는 보호층(미도시)이 형성되어 있는데, 보호층은 드레인 전극 연장부(42c)를 노출시키는 드레인 콘택홀(52)을 갖는다.
- <24> 보호층 상부에는 화소 전극(60)이 형성되어 있으며 화소 전극(60)은 드레인 콘택홀(52)을 통하여 드레인 전극 연장부(42c)에 연결된다.
- <25> 이러한 구조의 박막 트랜지스터에서는 게이트 전극(12)이 소스 및 드레인 전극(42a, 42b)과 일정한 정도로 겹쳐 지도록 형성되어서 제 1 및 2 기생 캐패시터(parasitic capacitor: Cgs, Cgd)가 발생한다.
- <26> 박막 트랜지스터는 게이트 전극(12)에 인가되는 전압에 의하여 활성층(30)에 채널이 형성되면 소스 및 드레인

전극(42a, 42b)의 전위차에 의하여 채널에 전류가 흐르도록 하여 스위칭 역할을 한다. 그런데, 게이트 전극(12)이 소스 또는 드레인 전극(42a, 42b)과 겹쳐져서 기생 캐패시터(Cgs, Cgd)가 발생한다면, 이는 게이트 전극(12)과 병렬로 연결된 캐패시터(capacitor)이므로 게이트 전극(12)으로 인가되는 전압 신호의 지연(delay), 박막 트랜지스터의 문턱 전압(threshold voltage: Vth)의 변화 등 많은 악영향을 미치므로 최소화하는 것이 바람직하다.

- <27> 이러한 능동 행렬 액정 표시 장치용 박막 트랜지스터의 구성과 기생 캐패시터에 대하여 도면을 참조하여 상세히 설명하기로 한다.
- <28> 도 2는 도 1의 II-II를 따라 절단한 단면을 도시한 개략적인 단면도이다.
- <29> 도 2에 도시한 바와 같이, 기판(1) 상부에 게이트 전극(12)이 형성되어 있고, 게이트 전극(12)을 덮는 게이트 절연막(20)이 기판 전면에 형성되어 있다.
- <30> 게이트 전극(12)에 대응하는 게이트 절연막(20) 상부에는 비정질 실리콘으로 이루어지는 활성층(30)이 형성되어 있다.
- <31> 활성층(30)의 상부에는 서로 대향하며 일정 간격 이격된 소스 및 드레인 전극(42a, 42b)이 형성되어 있는데, 소스 전극(42a)은 데이터 배선(40)에 연결되어 있으며 드레인 전극(42b)은 드레인 전극 연장부(42c)에 연결되어 있다.
- <32> 소스 및 드레인 전극(42a, 42b)을 덮는 보호층(50)이 기판 전면에 형성되어 있는데, 보호층(50)은 드레인 전극 연장부(42c)를 노출하는 드레인 콘택홀(52)을 갖는다.
- <33> 보호층(50) 상부에는 화소 전극(60)이 형성되어 있는데, 화소 전극(60)은 드레인 콘택홀(52)을 통하여 드레인 전극 연장부(42c)에 연결되어 있다.
- <34> 이러한 박막 트랜지스터에서 소스 및 드레인 전극(42a, 42b)은 게이트 전극(12)과 일정 부분 겹쳐지는데, 이 중첩 부분이 각각 제 1 및 2 기생 캐패시터(Cgs, Cgd)가 된다. 제 1 및 2 기생 캐패시터(Cgs, Cgd)는 박막 트랜지스터의 특성에 악영향을 미치게 되고 이것은 액정 표시 장치의 화질 저하를 초래하게 되므로 최소화 하는 것이 바람직하다.
- <35> 또한, 드레인 전극(42b)의 형성시 게이트 전극(12)에 대하여 미스 얼라인(mis alignment)이 일어나게 되는데, 이것은 게이트 전극(12)과 중첩되는 드레인 전극(42b)의 면적이 변동됨을 의미하며 이는 제 2 기생 캐패시터(Cgd)의 편차를 가져온다.
- <36> 즉, 미스 얼라인이 발생할 경우, 게이트 전극(12)과 중첩되는 드레인 전극(42b)의 한쪽 길이(1)가 일정량($\Delta 1$)만큼 증가하거나 감소하게 된다. 따라서 게이트 전극(12)과 중첩되는 드레인 전극(42b)의 면적 역시 증가하거나 감소하게 되고 제 2 기생 캐패시터(Cgd)의 기생 용량(parasitic capacitor: Cpara) 역시 증가하거나 감소하는 기생 용량 편차($\Delta Cpara$)를 갖게 된다.
- <37> 이러한 기생 용량 편차($\Delta Cpara$)는 결국 데이터 배선(40)을 통하여 화소 전극(60)에 인가되는 데이터 신호를 간섭하여 플리커(flicker)와 같은 불량을 가중시킨다.

발명이 이루고자 하는 기술적 과제

- <38> 상술한 문제점을 개선하기 위하여, 본 발명은 섬모양의 드레인 전극을 게이트 전극 상부에 형성하고 콘택홀을 통하여 화소 전극에 연결함으로써 기생 용량 편차가 최소화된 박막 트랜지스터를 제공하고, 이에 따라 플리커가 감소된 액정 표시 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <39> 상기 목적을 달성하기 위하여, 본 발명은 기판과; 상기 기판 상부에 형성되는 게이트 전극과; 상기 게이트 전극 상부에 형성되는 제 1 절연막과; 상기 게이트 전극에 대응되며 상기 제 1 절연막 상부에 형성되는 활성층과; 상기 활성층 상부에 상기 활성층의 가장자리와 중첩되도록 형성되는 소스 전극과; 상기 활성층 상부에 섬모양으로 형성되며 상기 게이트 전극과 완전히 중첩하며 형성된 드레인 전극과; 상기 소스 및 드레인 전극 상부에 형성되

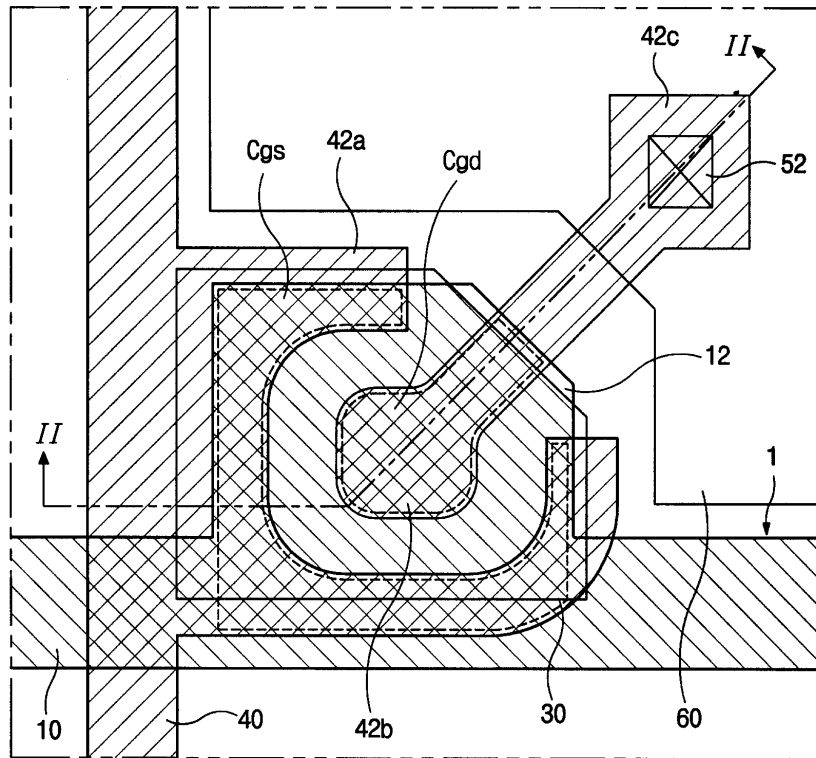
며 상기 드레인 전극을 노출하는 콘택홀을 갖는 제 2 절연막과; 상기 제 2 절연막 상부에 형성되며 상기 드레인 전극과 연결되는 화소 전극을 포함하는 액정 표시 장치용 박막 트랜지스터를 제공한다.

- <40> 상기 화소 전극에서 연장되고 상기 드레인 전극을 덮는 화소 전극 연장부를 포함할 수 있으며, 상기 화소 전극 연장부는 상기 콘택홀을 통하여 상기 드레인 전극에 연결될 수 있다.
- <41> 상기 소스 전극은 개구부를 가질 수 있으며, 상기 화소 전극 연장부는 상기 개구부에 형성될 수 있다.
- <42> 상기 활성층과 소스 및 드레인 전극 사이에 오믹 콘택층을 포함할 수 있다.
- <43> 다른 한편으로, 본 발명은, 서로 대향하며 일정 간격 이격된 제 1 및 제 2 기판과; 상기 제 1 기판의 안쪽 면에 형성되는 게이트 전극과; 상기 게이트 전극 상부에 형성되는 제 1 절연막과; 상기 게이트 전극에 대응되며 상기 제 1 절연막 상부에 형성되는 활성층과; 상기 활성층 상부에 상기 활성층의 가장자리와 중첩되도록 형성되는 소스 전극과; 상기 활성층 상부에 섬모양으로 형성되며 상기 게이트 전극과 완전히 중첩하며 형성된 드레인 전극과; 상기 소스 및 드레인 전극 상부에 형성되며 상기 드레인 전극을 노출하는 콘택홀을 갖는 제 2 절연막과; 상기 제 2 절연막 상부에 형성되며 상기 드레인 전극과 연결되는 화소 전극과; 상기 제 2 기판의 안쪽 면에 형성되는 블랙 매트릭스와; 상기 블랙 매트릭스 상부에 형성되는 컬러 필터와; 상기 컬러 필터 상부에 형성되는 공통 전극과; 상기 화소 전극과 공통 전극 사이에 삽입되어 있는 액정층을 포함하는 액정 표시 장치를 제공한다.
- <44> 이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.
- <45> 도 3은 본 발명에 따른 액정 표시 장치용 박막 트랜지스터를 도시한 개략적인 평면도이다.
- <46> 도 3에 도시한 바와 같이, 기판(100)위에 게이트 배선(110)이 제 1 방향으로 배치되고 이와 교차하는 데이터 배선(140)이 제 2 방향으로 배치되어 화소 영역을 정의한다. 게이트 전극(112)은 게이트 배선(110)과 연결되어 있으며 게이트 전극(112)의 상부에는 비정질 실리콘으로 이루어지는 활성층(active layer: 130)이 형성되어 있다. 도시하지는 않았지만, 게이트 전극(112)과 활성층(130) 사이에는 게이트 절연막이 형성되어 있고 활성층(130) 상부에는 금속막과의 접촉 특성을 향상시키기 위한 오믹 콘택층(ohmic contact layer)을 더욱 형성할 수 있다.
- <47> 데이터 배선(140)에 연결되는 소스 전극(142a)은 활성층(30)의 가장자리와 일부 겹치면서 일부분에 개구부(A)를 갖도록 형성되어 있으며, 드레인 전극(142b)은 소스 전극(142a)에 감싸인 형태로 활성층(130) 상부의 가운데 영역에 섬모양(island shape)으로 형성되어 있다. 또한, 드레인 전극(142b)은 게이트 전극(112)안에 완전히 포함되도록 형성된다.
- <48> 소스 및 드레인 전극(142a, 142b) 상부에는 보호층(미도시)이 형성되어 있는데, 보호층은 드레인 전극(142b)을 노출시키는 드레인 콘택홀(152)을 갖는다.
- <49> 보호층 상부에는 화소 전극(160)이 형성되어 있으며 화소 전극(160)은 드레인 콘택홀(152)을 통하여 드레인 전극(142b)에 연결된다. 즉, 화소 전극(160)은 게이트 전극(112) 상부에 화소 전극 연장부(160a)를 가지며, 이 화소 전극 연장부(160a)가 드레인 전극(142b)에 연결되는 구조를 가진다.
- <50> 또한, 화소 전극 연장부(160a)는 소스 전극(142a)의 개구부(A)를 통과하여 형성되므로 소스 전극(142a)과 중첩되지 않고, 따라서 소스 전극(142a)과 화소 전극 연장부(160a) 사이에 형성될 수 있는 기생 캐패시터를 방지할 수 있다.
- <51> 이러한 구조의 박막 트랜지스터에서는 게이트 전극(112)이 소스 및 드레인 전극(142a, 142b)과 일정한 정도로 겹쳐져서 제 1 및 2 기생 캐패시터(parasitic capacitor: Cgs, Cgd)가 형성될 뿐만 아니라, 게이트 전극(112)이 화소 전극 연장부(160a)와 겹쳐져서 제 3 기생 캐패시터(Cgp)도 형성된다.
- <52> 그러나 드레인 전극(142b)과는 달리, 화소 전극 연장부(160a)와 게이트 전극(112) 사이에는 게이트 절연막(미도시)과 활성층(130)뿐만 아니라 보호막(150)이 삽입되어 캐패시터의 유전체 역할을 하고 있어서 제 3 기생 캐패시터(Cgp)는 제 1 및 2 기생 캐패시터(Cgs, Cgd)에 비하여 매우 작은 기생 용량을 갖게 된다.
- <53> 또한, 제 2 기생 캐패시터(Cgd)를 구성하는 드레인 전극(142b)이 게이트 전극(112)에 완전히 포함되어 있으므로 드레인 전극(142b)의 미스 얼라인 시에도 제 2 기생 캐패시터(Cgd)의 기생 용량은 변하지 않는다. 즉, 미스 얼라인에 의한 기생 캐패시터의 기생 용량 편차(ΔC_{para})는 감소한다.
- <54> 따라서 본 발명에 의한 액정 표시 장치용 박막 트랜지스터에서는 기생 용량 및 기생 용량 편차를 감소시킴으로써 플리커 등의 불량률이 개선되므로 액정 표시 장치의 화질이 향상된다.

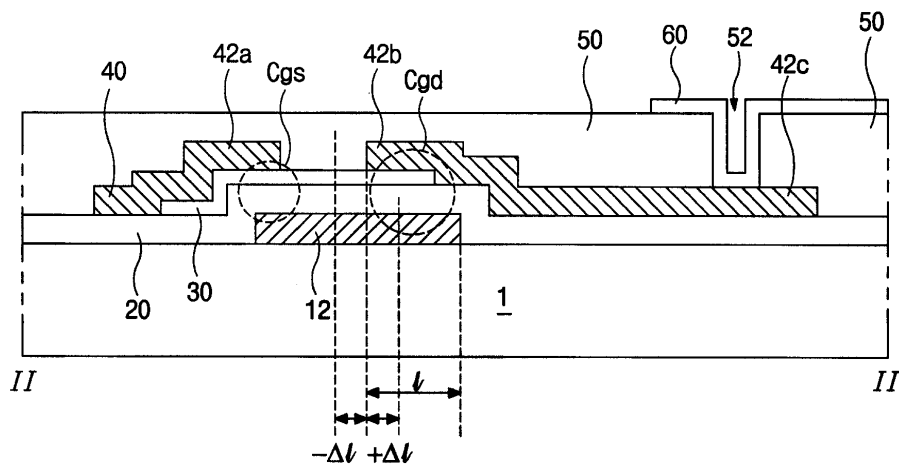
- <55> 이러한 기생 용량 및 기생 용량 편차의 감소에 대하여 도면을 참조하여 상세히 설명하기로 한다.
- <56> 도 4는 도 3의 IV-IV를 따라 절단한 단면을 도시한 개략적인 단면도이고 도 5는 도 4의 등가 회로도이다.
- <57> 도 4에 도시한 바와 같이, 기관(100) 상부에 게이트 전극(112)이 형성되어 있고, 게이트 전극(112)을 덮는 게이트 절연막(120)이 기관 전면에 형성되어 있다.
- <58> 게이트 전극(112)에 대응하는 게이트 절연막(120) 상부에는 비정질 실리콘으로 이루어지는 활성층(130)이 형성되어 있다.
- <59> 활성층(130)의 상부에는 서로 대향하며 일정 간격 이격된 소스 및 드레인 전극(142a, 142b)이 형성되어 있는데, 소스 전극(142a)은 데이터 배선(140)에 연결되어 있으며 드레인 전극(142b)은 섬모양(island shape)으로 게이트 전극(112)안에 완전히 포함되도록 형성되어 있다.
- <60> 소스 및 드레인 전극(142a, 142b)을 덮는 보호층(150)이 기관 전면에 형성되어 있는데, 보호층(150)은 드레인 전극(142b)을 노출하는 드레인 콘택홀(152)을 갖는다.
- <61> 보호층(150) 상부에는 화소 전극(160)이 형성되어 있는데, 화소 전극(160)은 드레인 콘택홀(152)을 통하여 드레인 전극(142b)에 연결되는 화소 전극 연장부(160a)와 연결되어 있다.
- <62> 이러한 박막 트랜지스터에서 소스 및 드레인 전극(142a, 142b)이 게이트 전극(112)과 겹쳐져서 각각 제 1 및 2 기생 캐패시터(Cgs, Cgd)를 형성하고 화소 전극 연장부(160a)가 게이트 전극(112)과 겹쳐져서 제 3 기생 캐패시터(Cgp)를 형성한다.
- <63> 도 5에 도시한바와 같이, 제 1, 2 및 3 기생 캐패시터(Cgs, Cgd, Cgp)는 게이트 전극(112)에 각각 병렬로 연결된 형태이므로 박막 트랜지스터 전체의 기생 용량(Ctot)은 이들 각 기생 캐패시터의 기생 용량의 합으로 나타낼 수 있다. ($C_{tot} = C_{gs} + C_{gd} + C_{gp}$)
- <64> 그런데, 제 1 및 2 기생 캐패시터(Cgs, Cgd)의 유전체는 게이트 절연막(120)과 활성층(130)으로 이루어지는데 비해, 제 3 기생 캐패시터(Cgp)의 유전체는 게이트 절연막(120), 활성층(130)과 보호막(150)으로 이루어진다. 따라서 제 3 기생 캐패시터(Cgp)의 유전체는 제 1 및 2의 기생 캐패시터(Cgs, Cgd)의 유전체에 비하여 매우 두꺼우며, 제 3 기생 캐패시터(Cgp)의 기생 용량은 제 1 및 2의 기생 캐패시터(Cgs, Cgd)의 기생 용량에 비하여 매우 작다. ($C_{gp} \ll C_{gs}, C_{gd}$)
- <65> 따라서 본 발명에 따른 박막 트랜지스터의 기생 용량은 감소한다.
- <66> 한편, 도 4에 도시한바와 같이, 드레인 전극(142b)은 게이트 전극(112)에 완전히 포함되는 섬모양으로 형성되므로 드레인 전극(142b)의 미스 얼라인 시에도 드레인 전극(142b)과 게이트 전극(112)이 이루는 제 2 기생 캐패시터(Cgd)의 기생 용량은 변하지 않는다.
- <67> 또한, 화소 전극 연장부(160a)의 미스 얼라인에 의하여 화소 전극 연장부(160a)와 게이트 전극(112)이 이루는 제 3 기생 캐패시터(Cgp)의 기생 용량에 편차가 발생하지만, 제 3 기생 캐패시터(Cgp)의 기생 용량이 이미 작은 값이므로, 그 편차 또한 매우 작은 값이라고 할 수 있다.
- <68> 즉, 화소 전극 연장부(160a) 형성시 미스 얼라인이 발생할 경우, 게이트 전극(112)과 중첩되는 화소 전극 연장부(160a)의 한쪽 길이(m)가 일정량(Δm)만큼 증가하거나 감소하게 되더라도 그에 따른 제 3 기생 캐패시터(Cgp)의 기생 용량 편차(ΔC_{gp})는 전체 기생 용량에 비하여 매우 작은 값이므로($\Delta C_{gp} \ll C_{tot}$), 전체 기생 용량의 편차의 절대치는 종래의 박막 트랜지스터의 기생 용량의 편차의 절대치에 비하여 감소한다.
- <69> 더 상세하게는, 본 발명에 따른 박막 트랜지스터의 전체 기생 용량의 편차의 절대치는 종래의 박막 트랜지스터의 기생 용량의 편차의 절대치에 비하여 약 40% 이상 감소한다.
- <70> 따라서 플리커(flicker)와 같은 불량률을 최소화하여 액정 표시 장치의 화질이 개선된다.
- <71> 본 발명에 따른 기생 용량 편차가 최소화된 액정 표시 장치용 박막 트랜지스터는 상기 실시예에 한정되지 않고, 본 발명의 취지에 어긋나지 않는 한도 내에서 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의하여 다양한 변화와 변형이 가능하다는 것은 명백하며, 이러한 변화와 변형이 본 발명에 속함은 첨부된 청구 범위를 통해 알 수 있다.

도면

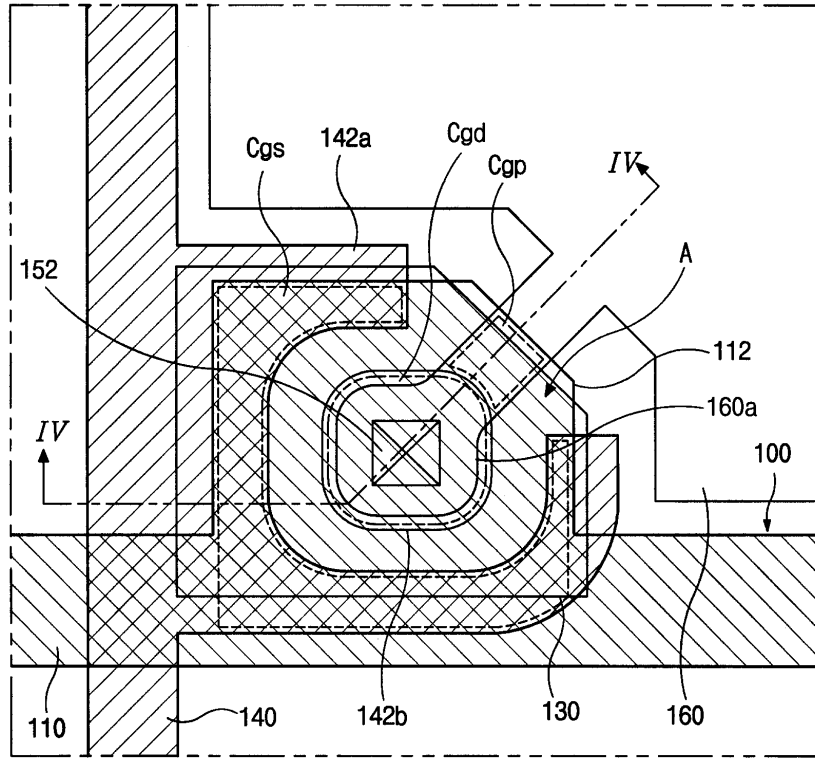
도면1



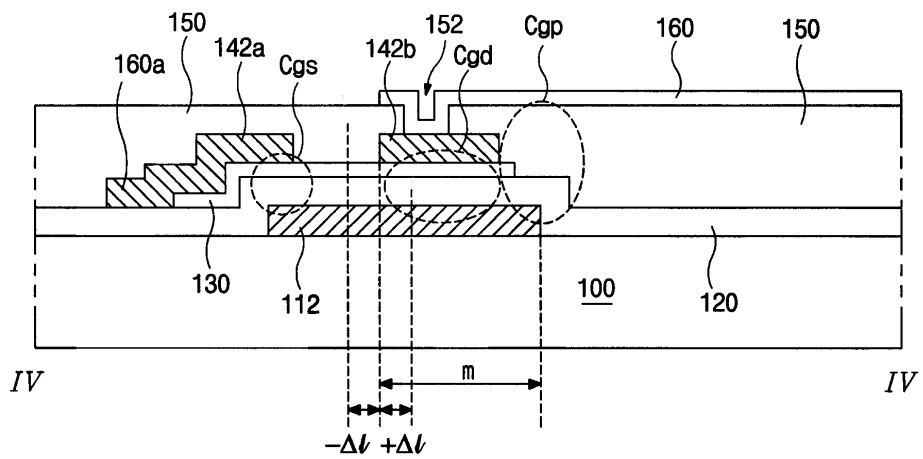
도면2



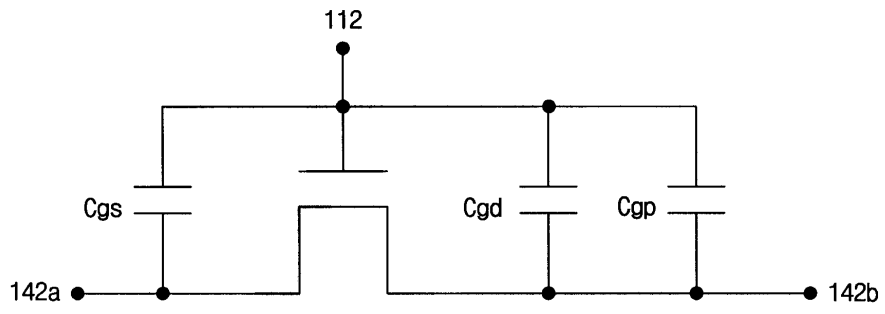
도면3



도면4



도면5



专利名称(译)	用于液晶显示器的薄膜晶体管具有最小的寄生电容偏差		
公开(公告)号	KR100887997B1	公开(公告)日	2009-03-09
申请号	KR1020020083881	申请日	2002-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SOHAENG 조소행 LEE DONGHOON 이동훈		
发明人	조소행 이동훈		
IPC分类号	G02F1/136 G02F1/1368 H01L21/77 H01L21/84 H01L27/12		
CPC分类号	H01L27/1296 H01L27/124 G02F1/1368		
其他公开文献	KR1020040057250A		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：衬底；形成在基板上的栅电极；形成在栅电极上的第一绝缘层；对应于栅电极并形成在第一绝缘层上的有源层；源电极形成在有源层上以与有源层的边缘重叠；漏电极在有源层上形成岛状并完全包含在栅电极中；第二绝缘层，形成在源极和漏极上，并具有暴露漏极的接触孔；并且像素电极形成在第二绝缘层上并连接到漏电极。

