



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월03일
(11) 등록번호 10-0881819
(24) 등록일자 2009년01월28일

(51) Int. Cl.⁹
G02F 1/136 (2006.01)
(21) 출원번호 10-2007-0010010
(22) 출원일자 2007년01월31일
심사청구일자 2007년01월31일
(65) 공개번호 10-2007-0085134
(43) 공개일자 2007년08월27일
(30) 우선권주장
095105941 2006년02월22일 대만(TW)
(56) 선행기술조사문헌
KR1020010051213 A*
KR1020010062554 A*
KR1020000073730 A*
JP07086611 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
우 옵트로닉스 코퍼레이션
대만 신쥬 300, 사이언스-베이스드 인터스트리얼
파크, 리-신 로드. 2, 넘버. 1
(72) 발명자
슈, 웬-이
대만, 신쥬, 사이언스-베이스드 인터스트리얼 파
크, 리-신 로드2, 넘버 1
(74) 대리인
청운특허법인

전체 청구항 수 : 총 19 항

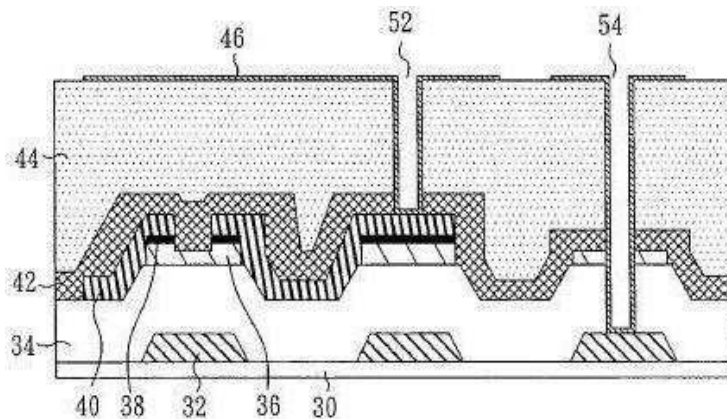
심사관 : 유주호

(54) 액정 표시 장치의 바닥기판 제조방법

(57) 요약

액정 표시 장치의 바닥기판 제조방법을 제안한다. 본 방법은 두 번의 리소그래피 공정 사이클을 한 개의 마스크로 수행함으로써 달성된다. 그러므로 본 발명에 따른 방법은 단 네 개의 마스크로 다섯 번의 리소그래피 공정 사이클을 거쳐 바닥기판을 제조할 수 있다. 이와 같이 한 개의 마스크를 제조하는데 드는 비용이 없음으로써 액정 표시 장치의 가격을 절감할 수 있다.

대표도 - 도2e



특허청구의 범위

청구항 1

- (A) 기관을 제공하는 단계;
- (B) 제1 마스크를 사용하여 상기 기관 위에 패터닝된 제1 금속층을 형성하는 단계;
- (C) 상기 기관 및 상기 제1 금속층 위에 제1 절연층을 형성하는 단계;
- (D) 상기 제1 마스크를 사용하여, 상기 제1 금속층 상부에서 상기 제1 절연층 위에 패터닝된 반도체층을 형성하는 단계;
- (E) 상기 패터닝된 반도체층 위에 패터닝된 제2 금속층을 형성하는 단계;
- (F) 상기 제1 절연층, 상기 반도체층 및 상기 제2 금속층 위에 제2 절연층을 형성하고, 그 후에 상기 제2 절연층을 패터닝하는 단계; 및
- (G) 상기 제2 절연층 위에 투명 전극층을 형성하고, 그 후에 상기 투명 전극층을 패터닝하는 단계를 포함하는 액정 표시 장치의 바닥기판 제조방법.

청구항 2

제1항에 있어서,
상기 제2 절연층은 패시베이션층 및 평탄화층을 포함하는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 3

제1항에 있어서,
상기 반도체층은 비정질 실리콘층인 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 4

제1항에 있어서,
상기 패터닝된 반도체층 위에 오믹 콘택층을 형성하는 단계를 더 포함하는 액정 표시 장치의 바닥기판 제조방법.

청구항 5

제4항에 있어서,
상기 오믹 콘택층은 N^+ 비정질 실리콘층으로 되는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 6

제1항에 있어서,
상기 제2 절연층은 복수의 스루홀을 구비하는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 7

제6항에 있어서,
상기 스루홀 중에 적어도 하나는, 상기 패터닝된 제1 금속층을 노출시키도록 상기 제1 절연층, 상기 반도체층 및 상기 제2 절연층을 통과해서 연장되는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 8

제7항에 있어서,

상기 스루홀 중에 적어도 하나는, 상기 패터닝된 제2 금속층을 노출시키도록 상기 제2 절연층을 통과해서 연장되는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 9

제1항에 있어서,

상기 패터닝된 제1 금속층의 일부가 박막 트랜지스터의 게이트 전극인 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 10

제1항에 있어서,

상기 패터닝된 제1 금속층의 일부가 보조 커패시터의 전극인 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 11

제1항에 있어서,

상기 패터닝된 제1 금속층의 일부가 표시 영역 외부에서 터미널 패드가 되는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 12

제1항에 있어서,

상기 패터닝된 제2 금속층의 일부가 박막 트랜지스터의 소스 전극 또는 드레인 전극인 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 13

제1항에 있어서,

상기 기판은 유리 기판인 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 14

제1항에 있어서,

상기 제1 절연층은 산화 실리콘 또는 질화 실리콘으로 구성되는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 15

제1항에 있어서,

상기 투명 전극층은 산화 인듐 지르코늄(indium zirconium oxide, IZO) 또는 산화 인듐 주석(indium tin oxide, ITO)으로 구성되는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 16

(A) 기판을 제공하는 단계;

(B) 제1 마스크를 사용하여 상기 기판 위에 패터닝된 제1 금속층을 형성하는 단계;

(C) 상기 기판 및 상기 제1 금속층 위에 제1 절연층을 형성하는 단계;

(D) 상기 패터닝된 제1 금속층을 마스크로 사용하여, 상기 제1 금속층 상부에서 상기 제1 절연층 위에 패터닝된 반도체층을 형성하는 단계;

(E) 상기 패터닝된 반도체층 위에 패터닝된 제2 금속층을 형성하는 단계;

(F) 상기 제1 절연층, 상기 반도체층 및 상기 패터닝된 제2 금속층 위에 제2 절연층을 형성하고, 그 후에 제2

절연층을 패터닝하는 단계; 및

(G) 상기 제2 절연층 위에 투명 전극층을 형성하고, 그 후에 상기 투명 전극층을 패터닝하는 단계를 포함하는 액정 표시 장치의 바닥기판 제조방법

청구항 17

제16항에 있어서,

상기 제2 절연층은 패시베이션층 및 평탄화층을 포함하는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조 방법.

청구항 18

제16항에 있어서,

상기 패터닝된 반도체층 위에 오믹 컨택층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조방법.

청구항 19

제16항에 있어서,

상기 제2 절연층은 복수의 스루홀을 구비하는 것을 특징으로 하는 액정 표시 장치의 바닥기판 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <3> 본 발명은 액정 표시 장치의 바닥기판 제조방법에 관한 것이며, 특히 박막 트랜지스터의 액정 표시 장치(TFT-LCD)의 바닥기판 제조방법에 관한 것이다.
- <4> 통상적인 음극선관 모니터와 비교하여 볼 때, 액정 표시 장치는, 낮은 전력소비, 컴팩트한 크기 및 비방사선이라는 장점을 갖는다. 그러나 액정 표시 장치의 제조는, 상대적으로 복잡하고 비싸다. 특히, 포토리소그래피(photolithography) 및 에칭(etching) 공정에 필요한 마스크의 수를 효과적으로 감소시킬 수 없다. 결과적으로, 박막 트랜지스터 어레이의 제조 단가를 아직 더 감소시킬 수 없다.
- <5> 일반적으로, 박막 트랜지스터의 제조 공정에서 포토리소그래피 및 에칭 공정을 수행하기 위해 다섯 개의 마스크를 사용하여 박막 트랜지스터 어레이의 구성요소를 한정한다. 도 1a 내지 도 1e를 참조하면, 제1 마스크는 제1 금속층을 패터닝하고 패터닝된 제1 금속층(32)을 형성하는데 이용되고, 상기 패터닝된 제1 금속층(32)은 박막 트랜지스터의 게이트 전극(321), 보조 커패시터의 바닥 전극(322) 및 터미널 패드(323)를 포함한다. 도 1b에 도시된 바와 같이, 제2 마스크는 박막 트랜지스터의 반도체층(36) 및 오믹 컨택층(38)을 한정하는 데 이용된다.
- <6> 도 1a에서 패터닝된 제1 금속층(32)의 형상 및 위치와, 반도체층(36) 및 오믹 컨택층(38)의 형상 및 위치를 비교하면, 제1 마스크의 패턴과 제2 마스크의 패턴이 상이함은 분명하다. 이것은 제1 포토리소그래피 및 에칭 공정과 제2 포토리소그래피 및 에칭 공정은 동일한 마스크를 사용할 수 없다는 것을 의미한다.
- <7> 다음으로, 도 1c에 도시된 바와 같이, 제3 마스크는 제2 금속층(40)을 패터닝하고, 패터닝된 제2 금속층(40)을 형성하는데 이용된다. 패터닝된 제2 금속층(40)은 박막 트랜지스터의 소스 전극(401) 및 드레인 전극(402)과, 보조 커패시터의 상부 전극(403)을 포함한다. 도 1d에 도시된 바와 같이, 제4 마스크는 평탄화(planar)층(44) 및 패시베이션(passivation)층(42)을 패터닝하는데 사용된다. 결과적으로, 드레인 전극(511)의 접점 또는 터미널 패드(512)의 접점이 형성된다. 패시베이션층(42)만을, 평탄화층(44)만을 형성할 수도 있으며, 또는 패시베이션층(42)과 평탄화층(44) 두 층을 형성할 수도 있다. 패시베이션층(42)과 평탄화층(44) 두 층을 형성하는 경우에, 패시베이션층(42)과 평탄화층(44)의 순서에는 제한이 없다. 다음으로, 도 1e에 도시된 바와 같이, 제5 마스크는 투명 도체층(46)을 패터닝하고, 화소 전극을 형성하는데 이용된다. 다섯 번의 포토리소그래피 및 에칭 공

정에 의해 형성된 다양한 구성요소의 형상과 위치가 다르기 때문에, 박막 트랜지스터 어레이를 제조하기 위해서는 다섯 개의 마스크의 사용이 필수적이다.

- <8> 그러나 박막 트랜지스터 액정 표시 장치의 크기가 증가함에 따라, 마스크의 제조 비용은 더욱더 증가하고 있다. 그러므로 전술한 문제를 완화 및/또는 제거하는 향상된 방법을 제공하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

- <9> 본 발명의 목적은, 다섯 번의 리소그래피 공정에서 네 개의 마스크를 사용하여, 한 개의 마스크에 드는 제조 비용이 없어짐에 따라 액정 표시 장치의 가격을 절감할 수 있는 액정 표시 장치의 바닥기판 제조방법을 제공하는 데 있다.
- <10> 또한 한 개의 마스크가 생략되어, 마스크 정합 오차를 줄이고, 생산량을 증가시킬 수 있다.

발명의 구성 및 작용

- <11> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 장치의 제조방법은, (A) 기판을 제공하는 단계; (B) 상기 기판에 제1 금속층을 형성하고, 그 후에 제1 마스크를 사용하여 상기 제1 금속층을 패터닝하는 단계; (C) 상기 기판 및 상기 제1 금속층에 제1 절연층을 형성하는 단계; (D) 상기 제1 금속층 상부에서 상기 제1 절연층 위에 반도체층을 형성하고, 그 후에 제1 마스크를 사용하여, 상기 반도체층을 패터닝하는 단계; (E) 상기 반도체층 위에 제2 금속층을 형성하고, 그 후에 상기 제2 금속층을 패터닝하는 단계; (F) 상기 제1 절연층, 상기 반도체층 및 상기 제2 금속층 위에 제2 절연층을 형성하고, 그 후에 상기 제2 절연층을 패터닝하는 단계; 및 (G) 상기 제2 절연층 위에 투명 전극층을 형성하고, 그 후에 상기 투명 전극층을 패터닝하는 단계를 포함한다.
- <12> 본 발명에서, 상기 제1 금속층의 패터닝은 상기 반도체층의 패터닝과 동일하므로, 제1 및 제2 포토리소그래피 및 에칭 공정 사이클들이 동일한 마스크를 이용하여 수행된다. 그러므로 본 발명에 따른 방식은 다섯 번의 포토리소그래피 및 에칭 공정을 수행하는데 단 네 개의 마스크만을 사용하고, 이에 따라 생략된 마스크의 설계 및 제조 비용이 절감된다.
- <13> 게다가 상기 제1 금속층의 패터닝과 상기 반도체층의 패터닝이 동일하기 때문에, 상기 패터닝된 제1 금속층은, 상기 반도체층에 제2 포토리소그래피 및 에칭 공정을 수행하는 마스크로서 쓰일 수 있다. 유사하게, 대체된 마스크의 설계 및 제조 비용이 절감된다. 또한 본 발명의 또 다른 액정 표시 장치의 바닥기판 제조방법은, (A) 기판을 제공하는 단계; (B) 상기 기판에 제1 금속층을 형성하고, 그 후에 제1 마스크를 사용하여 상기 제1 금속층을 패터닝하는 단계; (C) 상기 기판 및 상기 제1 금속층에 제1 절연층을 형성하는 단계; (D) 상기 제1 금속층 상부에서 상기 제1 절연층 위에 반도체층을 형성하고, 그 후에 상기 제1 마스크를 사용하여 상기 반도체층을 패터닝하는 단계; (E) 상기 반도체층 위에 제2 금속층을 형성하고, 그 후에 상기 제2 금속층을 패터닝하는 단계; (F) 상기 제1 절연층, 상기 반도체층 및 상기 제2 금속층 위에 제2 절연층을 형성하고, 그 후에 상기 제2 절연층을 패터닝하는 단계; 및 (G) 상기 제2 절연층 위에 투명 전극층을 형성하고, 그 후에 상기 투명 전극층을 패터닝하는 단계를 포함한다. 이와 같이 본 발명에 따른 방법에서 사용되는 마스크의 수는 공지 기술에 비해 줄어든다.
- <14> 본 발명에 따른 액정 표시 장치의 바닥기판 제조방법에서, 상기 제2 금속층 상부의 상기 제2 절연층은 패시베이션층, 평탄화층 또는 패시베이션층과 평탄화층 두 층으로 구성될 수 있다. 만일 상기 제2 절연층이 패시베이션층과 평탄화층 두 층으로 구성된 경우, 이들의 순서에는 제한이 없다. 바닥기판의 생산량을 늘리고 액정 표시 장치의 표시 성능을 향상시키기 위해서는 상기 제2 절연층은 패시베이션층과 평탄화층 두 층으로 구성되는 것이 바람직하다.
- <15> 본 발명에 따른 방법에서, 상기 반도체층과 상기 제2 금속층 사이의 저항을 줄이기 위해서 상기 반도체층 위에 오믹 콘택층을 형성하는 것도 선택가능하다. 상기 반도체층은 박막 트랜지스터에 사용되는 통상적인 반도체층으로 구성될 수 있다. 바람직하게는, 반도체층은 비정질 실리콘층으로 한다. 상기 오믹 콘택층은 반도체에 사용되는 통상적인 오믹 콘택층으로 구성될 수 있다. 바람직하게는, 상기 오믹 콘택층은 N^+ 비정질 실리콘층으로 한다.
- <16> 본 발명에 따른 방법에서, 상기 제2 절연층은 통상적인 방법에 의해 패터닝될 수 있다. 바람직하게는, 상기 제2 절연층은 포토리소그래피 및 에칭 방법으로 패터닝된다. 제2 절연층은 복수의 스루홀을 갖도록 선택 가능하다. 상기 스루홀들 중에서, 적어도 하나의 스루홀은, 상기 제1 금속층을 노출시키기 위해 상기 제2 절연층과 상기 제1 절연층을 모두 통과하여 연장된다. 이에 따라 상기 노출된 제1 금속층은 바닥기판에 터미널 패드의 점점으로 작용할 수 있다. 선택적으로 제2 금속층을 노출시키기 위해서 적어도 하나의 스루홀은 제2 절연층

을 통과해서 연장될 수 있다. 상기 노출된 제2 금속층은 바닥기판에 드레인 전극의 접점으로 작용할 수 있다.

<17> 본 발명에 따른 방법에서, 상기 제1 금속층은 박막 트랜지스터의 다양한 구성요소를 구성할 수 있다. 바람직하게는, 상기 제1 금속층의 일부분이 박막 트랜지스터의 게이트 전극으로 작용하거나, 상기 제1 금속층의 일부분이 보조 커패시터의 전극으로 작용하거나 또는 상기 제1 금속층의 일부분이 표시 영역 외부에서 터미널 패드로 작용한다. 제2 금속층은 박막 트랜지스터의 다양한 구성요소를 만들 수 있다. 바람직하게는, 제2 금속층의 일부분이 박막 트랜지스터의 소스 전극 또는 드레인 전극으로 이용된다. 본 발명에 따른 방법에서, 상기 기판은 통상적으로 사용되는 기판으로 구성될 수 있다. 상기 기판은 유리 기판인 것이 바람직하다. 본 발명에 따른 방법에서, 상기 절연층은 통상적인 재료로 제조될 수 있다. 바람직하게는, 상기 절연층은 산화 실리콘 또는 질화 실리콘으로 제조된다. 본 발명에 따른 방법에서, 상기 투명 전극층은 산화 금속으로 제조될 수 있다. 바람직하게는, 상기 투명 전극층은 산화 인듐 지르코늄(indium zirconium oxide, IZO) 또는 산화 인듐 주석(indium tin oxide, ITO)으로 제조된다.

<18> 본 발명의 다른 목적, 장점 및 새로운 특징은 첨부된 도면들과 함께 후술되는 상세한 설명으로부터 좀더 분명해질 것이다.

<19> 도 2a 및 도 2b를 참조하면, 이들은 본 발명에 따른 실시예의 공정을 보여주는 개략적인 단면도들이다.

<20> 첫째로, 도 2a에서 도시된 바와 같이 기판(30)이 제공된다. 상기 기판(30)은 유리 기판, 석영(quartz) 기판 또는 플라스틱 기판이 될 수 있다. 다음으로, 제1 금속층(도시되지 않음)이 상기 기판(30)에 형성되고, 그 후에 상기 제1 금속층은 제1 마스크를 사용하여 포토리소그래피 및 에칭 공정으로 패터닝된다. 바꾸어 말하면, 제1 금속층이 형성된 후에, 패터닝된 포토레지스트(도시되지 않음)가 그 위에 적층되고 그 후에 상기 제1 금속층은 패터닝된 제1 금속층(32)을 형성하기 위해 습식 또는 건식 에칭된다. 본 실시예에서, 패터닝된 제1 금속층(32)은 박막 트랜지스터의 게이트 전극(321), 보조 커패시터의 바닥 전극(322) 및 표시 영역 외부의 터미널 패드(323)를 포함한다. 또한, 상기 패터닝된 제1 금속층(32)은 단일 층 구조 또는 다중 층 구조로 구성될 수 있다. 상기 패터닝된 제1 금속층의 재료는 금속 또는 합금으로 구성될 수 있다. 바람직하게는, 상기 패터닝된 제1 금속층(32)은 알루미늄(Al), 텅스텐(W), 크롬(Cr), 구리(Cu), 티타늄(Ti), 질화 티타늄(TiNx), 알루미늄 합금, 크롬 합금, 몰리브덴(Mo) 또는 이들의 조합으로 구성된다.

<21> 그 후에, 도 2b에서 도시된 바와 같이 제1 절연층(34)이 상기 기판(30) 및 상기 패터닝된 금속층(32) 위에 형성된다. 그 후에 반도체층(도시되지 않음) 및 오믹 컨택층(도시되지 않음)이 상기 제1 절연층(34) 위에 순차적으로 적층된다. 다음으로 상기 반도체층 및 상기 오믹 컨택층은 상기 제1 마스크를 사용하여 포토리소그래피 및 에칭 방법으로 패터닝된다. 결과적으로 상기 패터닝된 반도체층(36) 및 상기 패터닝된 오믹 컨택층(38)은 패터닝된 상기 제1 금속층(32) 바로 위에 형성되고, 상기 패터닝된 제1 금속층(32)의 패턴과 동일한 패턴을 갖는다. 상기 제1 절연층(34)은 산화 실리콘(SiOx), 질화 실리콘(SiNy) 또는 질산화 실리콘으로 구성될 수 있으며, 상기 반도체층(36)은 비정질 실리콘 또는 다결정(polycrystalline) 실리콘으로 구성될 수 있다. 그리고 상기 패터닝된 오믹 컨택층(38)은 도핑된 반도체, 예를 들어 n-타입으로 도핑된 실리콘으로 구성될 수 있다.

<22> 바꾸어 말하면, 상기 제1 금속층(32)과 상기 반도체층(36)(상기 오믹 컨택층(38))간의 패턴의 일치로 인해 한 개의 마스크가 생략될 수 있다. 그러므로, 생략된 마스크의 설계 및 제조 비용이 절감된다.

<23> 다른 실시예에서, 상기 패터닝된 제1 금속층(32), 상기 패터닝된 반도체층(36) 및 상기 패터닝된 오믹 컨택층(38)의 패턴이 동일하기 때문에, 상기 패터닝된 금속층(32)은 후면 노광시 마스크로 작용할 수 있다. 이와 같이 반도체층과 오믹 컨택층이 포토리소그래피 및 에칭 방법으로 패터닝되기 때문에, 패터닝된 제1 금속층(32)은 후면 노광시 마스크로 작용할 수 있다. 유사하게, 생략된 마스크의 설계 및 제조 비용은 절감될 수 있다.

<24> 다음으로, 도 2c에 도시된 바와 같이, 제2 금속층은 상기 절연층(34) 및 상기 반도체층(36) 위에 형성된다. 그 후에, 패터닝된 제2 금속층(40)을 형성하기 위해, 제2 마스크(도시되지 않음)가 제2 금속층을 패터닝하는데 사용된다. 패터닝된 제2 금속층(40)은 박막 트랜지스터의 소스 전극(401) 및 드레인 전극(402)과 보조 커패시터의 상부 전극(403)을 포함한다. 상기 패터닝된 제1 금속층(32)과 유사하게, 상기 패터닝된 제2 금속층(40)은 단일 층 구조 또는 다중 층 구조로 구성될 수 있다. 상기 패터닝된 제2 금속층(40)의 재료는 금속 또는 합금이 될 수 있다. 바람직하게는, 상기 패터닝된 제2 금속층(40)은 알루미늄(Al), 텅스텐(W), 크롬(Cr), 구리(Cu), 티타늄(Ti), 질화 티타늄(TiNx), 알루미늄 합금, 크롬 합금, 몰리브덴(Mo) 또는 이들의 조합으로 구성된다. 상기 소스 전극(401)과 상기 드레인 전극(402) 사이에 채널을 형성하기 위하여, 상기 패터닝된 오믹 컨택층(38)과 상기 패터닝된 반도체층(36)의 일부분은, 상기 패터닝된 제2 금속층(40)을 마스크로 사용하여 에칭된다.

- <25> 그 후에, 패시베이션층(42) 및 평탄화층(44)은 상기 제1 절연층(34), 상기 패터닝된 반도체층(36) 및 상기 패터닝된 제2 금속층(40)을 덮기 위해 형성된다. 이때, 상기 패시베이션층(42) 및 상기 평탄화층(44)은 복수의 스루홀(52, 54)을 형성하기 위해 포토리소그래피 및 에칭 방법에 의해 패터닝된다. 본 실시예에서, 상기 복수의 스루홀(52, 54) 중에서 적어도 하나의 스루홀은, 상기 보조 커패시터의 상기 상부 전극(403)을 노출시키기 위해, 상기 패시베이션층(42) 및 상기 평탄화층(44)을 통과하여 연장된다. 상기 스루홀(52)은 박막 트랜지스터에 상기 드레인 전극(402)의 접점을 제공한다. 또한, 적어도 하나의 스루홀(54)은, 상기 제1 절연층(34), 상기 반도체층(36), 상기 패시베이션층(42) 및 상기 평탄화층(44)을 통과하여 연장될 수 있고, 이에 의하여 상기 터미널 패드의 접점을 제공하기 위해 표시 영역 외부에 상기 터미널 패드(323)를 노출시킨다. 본 실시예에서, 상기 패시베이션층(42)만을, 상기 평탄화층(44)만을 형성할 수도 있으며, 또는 상기 패시베이션층(42)과 상기 평탄화층(44) 두 층을 형성할 수도 있다. 패시베이션층(42)과 평탄화층(44) 두 층을 형성하는 경우에, 패시베이션층(42)과 평탄화층(44)의 순서에는 제한이 없다.
- <26> 마지막으로 투명 전극층(46)은 화소 전극으로 쓰이기 위해 상기 평탄화층(44) 위에 형성된다. 상기 투명 전극층(46)은 산화 인듐 지르코늄(indium zirconium oxide, IZO) 또는 산화 인듐 주석(indium tin oxide, ITO)으로 제조될 수 있다.
- <27> 본 실시예에서, 상기 제1 금속층(32)과 상기 반도체층(36)(상기 오믹 콘택층(38))간의 패턴의 일치로 인하여, 제1 및 제2 포토리소그래피 및 에칭 공정을 수행하는데 동일한 마스크가 사용될 수 있다. 그러므로, 생략된 마스크의 설계 및 제조 비용이 절감될 수 있다.
- <28> 대안으로는, 제2 포토리소그래피 및 에칭 공정에 패터닝된 제1 금속층(32)을 마스크로 사용하는 것 역시 한 개의 마스크를 생략할 수 있다. 결과적으로, 본 실시예는 다섯 번의 리소그래피 공정 사이클을 거치는 바닥기판을 단 네 개의 마스크로 제조할 수 있다. 이와 같이, 한 개의 마스크의 제조 비용을 줄여 액정 표시 장치의 가격을 절감할 수 있다.
- <29> 본 발명에서는 실시예를 참조하여 설명하였지만, 하기의 특허청구범위에 기재된 본 발명의 영역을 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경할 수 있음을 이해할 수 있을 것이다.

발명의 효과

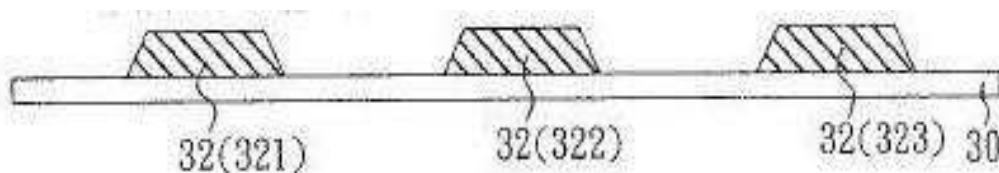
- <30> 본 발명에 따른 액정 표시 장치의 바닥기판 제조방법에 의하면, 다섯 번의 리소그래피 공정 사이클이 수행되는 액정 표시 장치의 바닥기판을 단 네 개의 마스크로 제조할 수 있다.
- <31> 이에 따라 하나의 마스크의 제조 비용을 줄일 수 있어 액정 표시 장치의 가격을 절감할 수 있다. 또한 하나의 마스크를 덜 사용하므로 마스크에 의해 발생할 수 있는 정합 오차를 줄일 수 있으므로, 생산량을 증가시킬 수 있다.

도면의 간단한 설명

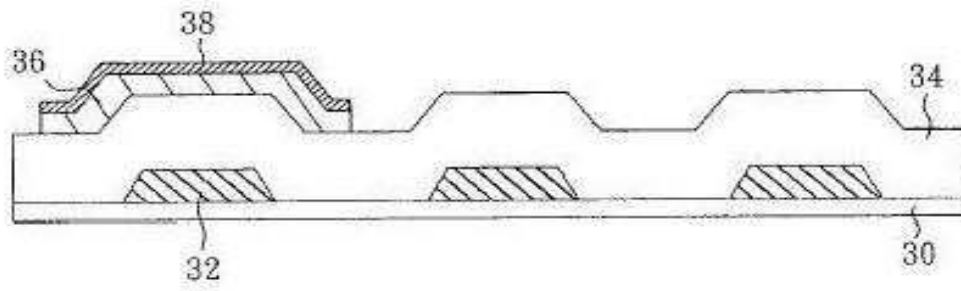
- <1> 도 1a 내지 도 1e는 종래 기술의 액정 표시 장치의 바닥기판 제조 공정을 보여주는 개략적인 단면도들이다.
- <2> 도 2a 내지 도 2e는 본 발명에 따른 액정 표시 장치의 바닥기판 제조 공정을 보여주는 개략적인 단면도들이다.

도면

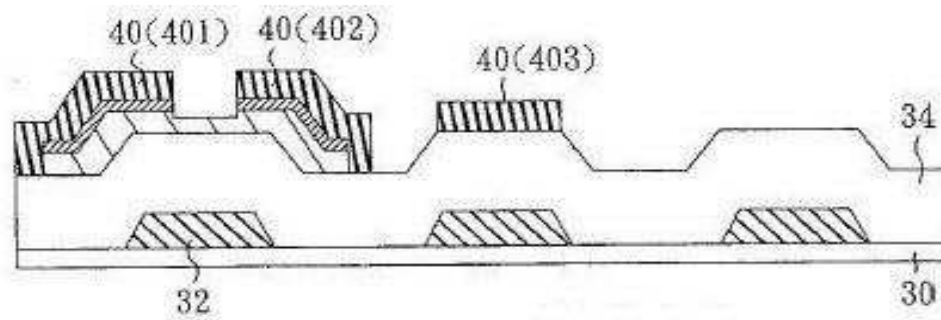
도면1a



도면1b

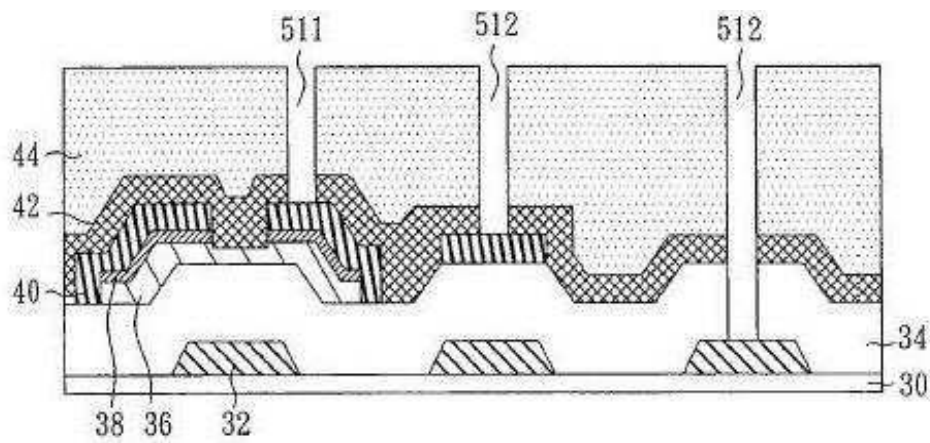


도면1c

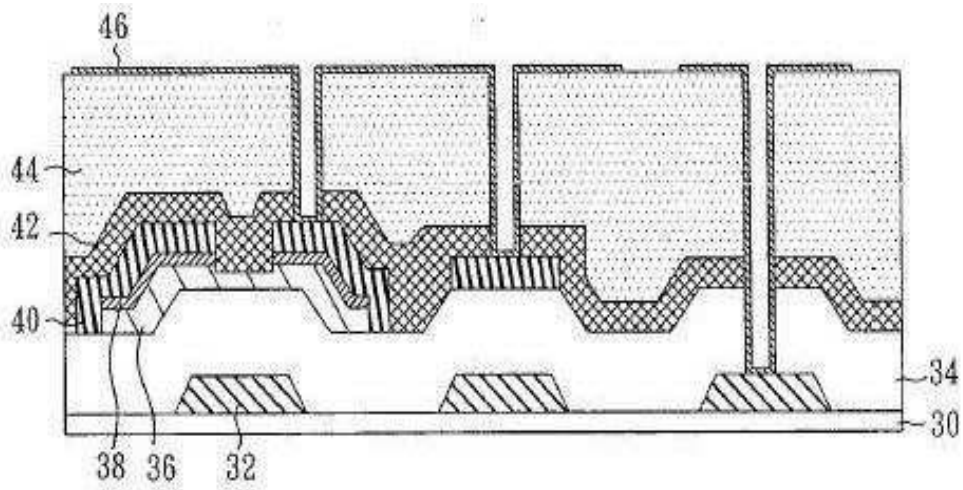


32 {	321	40 {	401
	322		402
	323		403

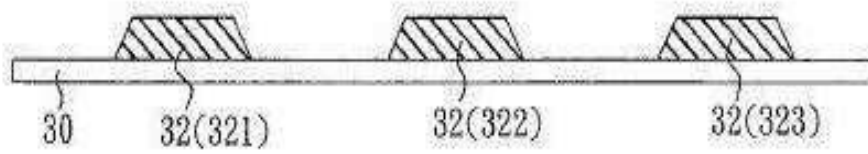
도면1d



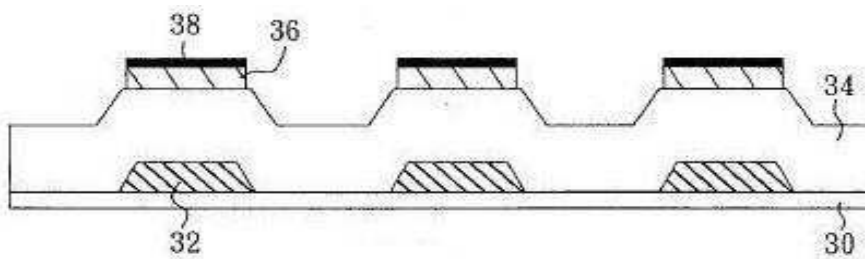
도면1e



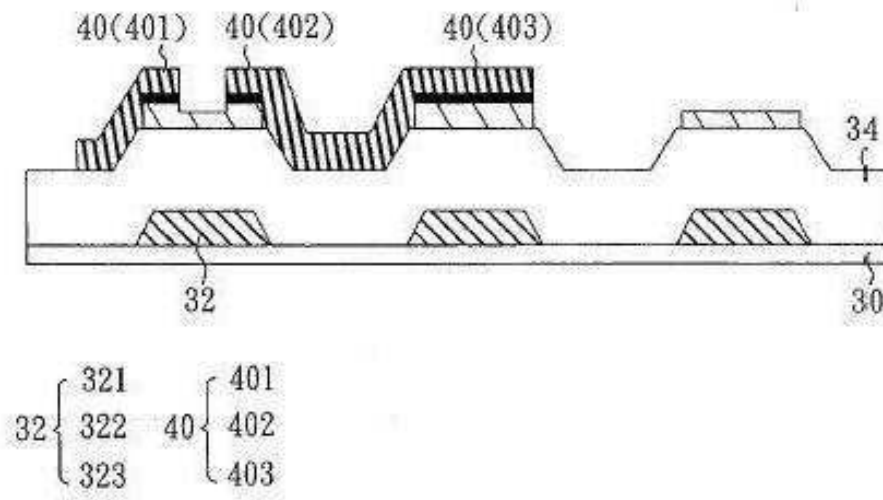
도면2a



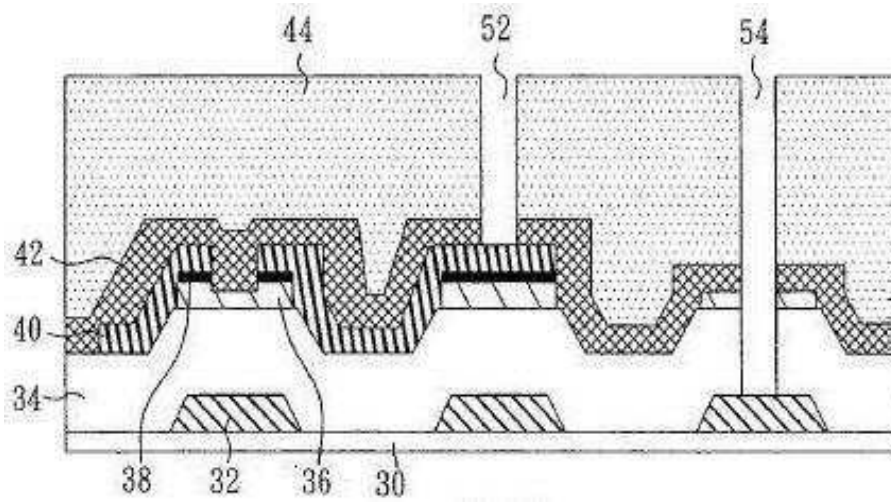
도면2b



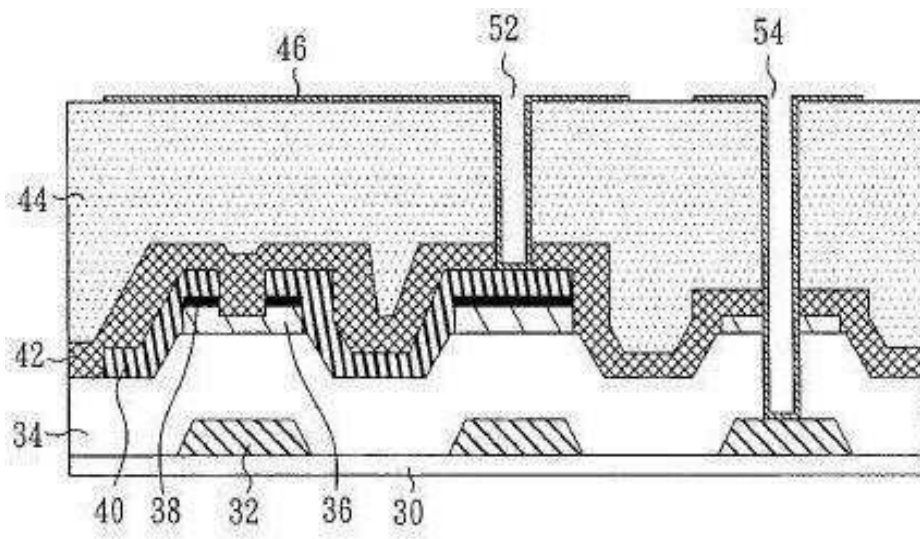
도면2c



도면2d



도면2e



专利名称(译)	制造液晶显示器的底部基板的方法		
公开(公告)号	KR100881819B1	公开(公告)日	2009-02-03
申请号	KR1020070010010	申请日	2007-01-31
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	我们用鼻子来尼克斯捕法		
当前申请(专利权)人(译)	我们用鼻子来尼克斯捕法		
[标]发明人	SHYU WEN YIH		
发明人	SHYU, WEN YIH		
IPC分类号	G02F1/136		
CPC分类号	G02F2001/136231 H01L27/1214 H01L27/1288 G02F1/136213 G02F1/136227 H01L27/1248 H01L27/1255		
优先权	095105941 2006-02-22 TW		
其他公开文献	KR1020070085134A		
外部链接	Espacenet		

摘要(译)

提出了液晶显示器的底面基板制造方法。这是因为该方法对一个掩模执行两个光刻工艺循环。因此，根据本发明的方法可以在五次光刻工艺循环之后用四个掩模制造底面基板。这样，制造一个掩模但是给出的成本可以降低液晶显示器的成本。液晶显示器，底表面基板和掩模。

