



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년11월26일  
(11) 등록번호 10-0870500  
(24) 등록일자 2008년11월19일

(51) Int. Cl.  
G09G 3/36 (2006.01) G09G 3/20 (2006.01)  
G02F 1/133 (2006.01)  
(21) 출원번호 10-2007-0004255  
(22) 출원일자 2007년01월15일  
심사청구일자 2007년06월14일  
(65) 공개번호 10-2008-0067095  
(43) 공개일자 2008년07월18일  
(56) 선행기술조사문헌  
JP07199867 A  
JP09171371 A  
JP2004045741 A

(73) 특허권자  
엘지디스플레이 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자  
민용기  
대구 북구 동천동 891번지 동화골든빌 103동 120 5호  
최병진  
경북 구미시 고아읍 원호리 455번지 원호점보타운 103동 1401호  
(뒤편에 계속)  
(74) 대리인  
특허법인로알

전체 청구항 수 : 총 15 항

심사관 : 이성현

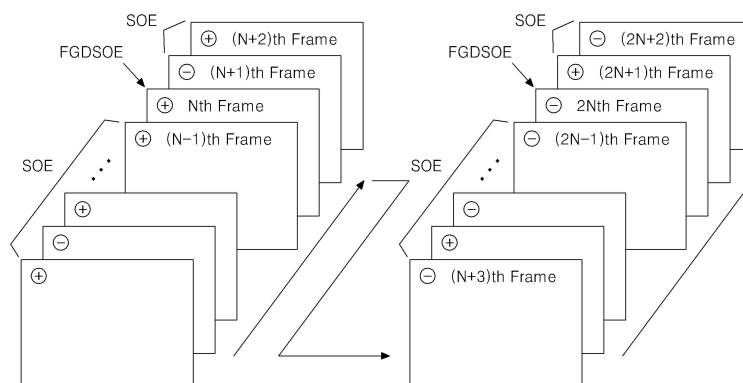
**(54) 액정표시장치와 그 구동 방법**

**(57) 요약**

본 발명은 직류화 잔상과 플리커를 예방하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널; 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 데이터 구동회로; 상기 게이트 펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어함과 아울러, 상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 POL/SOE 로직회로를 구비한다.

**대표도 - 도5**



(72) 발명자

**김동일**

경기 부천시 소사구 송내1동 뉴서울아파트 107동  
803호

**송홍성**

경북 구미시 구평동 474-7 부영아파트 803동 706호

---

## 특허청구의 범위

### 청구항 1

데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널;

극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 데이터 구동회로;

상기 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및

N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어함과 아울러, 상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 POL/SOE 로직회로를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블의 펄스와 상기 게이트펄스는 중첩되는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 1 항에 있어서,

상기 액정셀은,

상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 데이터전압을 충전하고;

상기 N의 배수 번째 프레임기간 동안 공통전압과 차지체어전압 중 어느 하나를 충전한 후에 상기 데이터전압을 충전하며;

상기 공통전압은 상기 액정셀의 공통전극에 공급되는 전압과 실질적으로 등전위 전압이며, 상기 차지체어전압은 이웃한 데이터라인들에 공급되는 정극성 데이터전압과 부극성 데이터전압의 평균전압인 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 1 항에 있어서,

상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 발생하는 상기 소스 출력 인에이블신호의 펄스폭을 '1'이라 할 때, 상기 N의 배수 번째 프레임기간 동안 발생하는 상기 소스 출력 인에이블신호의 펄스폭은 1.36~1.71인 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 1 항에 있어서,

모든 프레임기간 동안 1 프레임기간마다 반전되는 기준 극성제어신호, 상기 모든 프레임기간 동안 펄스폭이 일정한 기준 소스 출력 인에이블신호, 및 상기 게이트펄스의 시작을 지시하는 게이트 스타트 펄스를 프레임기간의 시작시점에 1회 발생하는 타이밍 컨트롤러를 더 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 5 항에 있어서,

상기 POL/SOE 로직회로는,

상기 게이트 스타트 펄스, 상기 기준 극성제어신호, 상기 기준 소스 출력 인에이블신호, 및 클럭신호를 이용하

여 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 동일한 위상을 가지는 상기 극성제어신호와 상기 N의 배수 번째 프레임기간 동안 펄스폭이 넓어지는 상기 소스 출력 인에이블신호를 발생하는 로직부;

상기 기준 극성제어신호와 상기 극성제어신호 중 어느 하나를 선택하는 제1 멀티플렉서; 및

상기 기준 소스 출력 인에이블신호와 상기 소스 출력 인에이블신호 중 어느 하나를 선택하는 제2 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

**청구항 7**

제 6 항에 있어서,

상기 로직부는,

상기 게이트 스타트 펄스를 카운트하여 프레임 카운트 정보를 발생하는 프레임 카운터;

상기 카운터의 출력을 이용하여 상기 N의 배수 번째 프레임기간의 시작에서 반전되는 극성반전신호를 발생하는 극성반전부;

상기 기준 극성제어신호와 상기 극성반전신호를 배타적 논리합 연산하여 상기 극성제어신호를 발생하는 XOR 게이트;

상기 클럭신호를 이용하여 상기 기준 소스 출력 인에이블신호의 라이징에지, 펄스폭 및 폴링에지를 검출하여 타이밍 분석신호를 발생하는 타이밍 분석부;

상기 타이밍 분석신호를 이용하여 상기 기준 소스 출력 인에이블신호의 펄스폭보다 넓은 펄스폭의 소스 출력 인에이블신호를 발생하는 펄스폭 조정부; 및

상기 프레임 카운터의 출력에 응답하여 상기 N의 배수 번째 프레임기간 동안 상기 펄스폭 조정부의 출력을 선택하고 상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 기준 소스 출력 인에이블신호를 선택하여 상기 소스 출력 인에이블신호를 출력하는 제3 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

**청구항 8**

데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널;

입력 영상에서 인터레이스 데이터와 스크롤 데이터 중 어느 하나를 검출하는 영상분석회로;

극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 데이터 구동회로;

상기 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및

상기 영상 분석회로에 의해 검출되는 상기 인터레이스 데이터와 상기 스크롤 데이터 중 어느 하나가 입력될 때 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어함과 아울러, 상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 POL/SOE 로직회로를 구비하는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 8 항에 있어서,

상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블의 펄스와 상기 게이트펄스는 중첩되는 것을 특징으로 하는 액정표시장치.

**청구항 10**

데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 극성제어신호를 1 프레임기간 단위

로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어하는 단계;

상기 N의 배수 번째 프레임기간 동안 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 단계;

상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 단계; 및

상기 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 11**

제 10 항에 있어서,

상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블의 펄스와 상기 게이트펄스를 중첩시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 12**

제 10 항에 있어서,

상기 액정셀은,

상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 데이터전압을 충전하고;

상기 N의 배수 번째 프레임기간 동안 공통전압과 차지쉐어전압 중 어느 하나를 충전한 후에 상기 데이터전압을 충전하며;

상기 공통전압은 상기 액정셀의 공통전극에 공급되는 전압과 실질적으로 등전위 전압이며, 상기 차지쉐어전압은 이웃한 데이터라인들에 공급되는 정극성 데이터전압과 부극성 데이터전압의 평균전압인 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 13**

제 10 항에 있어서,

상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 발생하는 상기 소스 출력 인에이블신호의 펄스폭을 '1'이라 할 때, 상기 N의 배수 번째 프레임기간 동안 발생하는 상기 소스 출력 인에이블신호의 펄스폭은 1.36~1.71인 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 14**

데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

입력 영상에서 인터레이스 데이터와 스크롤 데이터 중 어느 하나를 검출하는 단계;

상기 인터레이스 데이터와 상기 스크롤 데이터 중 어느 하나가 입력될 때 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어하는 단계;

상기 N의 배수 번째 프레임기간 동안 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 단계;

상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 단계; 및

상기 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 15**

제 14 항에 있어서,

상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블의 펄스와 상기 게이트펄스는 중첩되는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**청구항 27**

삭제

**청구항 28**

삭제

**청구항 29**

삭제

**청구항 30**

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <31> 본 발명은 액정표시장치에 관한 것으로, 특히 직류화 잔상과 플리커를 예방하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법에 관한 것이다.
- <32> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 도 1과 같이 액정셀(C1c)마다 형성된 박막트랜지스터(Thin Film Transistor, TFT)를 이용하여 액정셀들에 공급되는 데이터전압을 스위칭하여 데이터를 능동적으로 제어하므로 동화상의 표시 품질을 높일 수 있다. 도 1에 있어서, 도면부호 "Cst"는 액정셀(C1c)에 충전된 데이터전압을 유지하기 위한 스토리지 커패시터(Storage Capacitor, Cst), 'DL'은 데이터전압이 공급되는 데이터라인, 그리고 'GL'은 스캔전압이 공급되는 게이트라인을 각각 의미한다.
- <33> 이와 같은 액정표시장치는 직류 읍셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임기간 단위로 극성이 반전되는 인버전 방식(Inversion)으로 구동되고 있다. 그런데 데이터전압의 두 극성 중에서 어느 한 극성이 장시간 우세적(dominant)으로 공급되면 잔상이 발생한다. 이러한 잔상을 액정셀에 동일 극성의 전압이 반복적으로 충전되므로 "직류화 잔상(DC Image sticking)"이라 한다. 이러한 예 중 하나는 액정표시장치에 인터레이스(Interlace) 방식의 데이터전압들이 공급되는 경우이다. 인터레

이스 방식은 기수 프레임기간에 기수 수평라인의 액정셀들에 표시될 기수라인 데이터전압만을 포함하고, 우수 프레임기간에 우수 수평라인의 액정셀들에 표시될 데이터전압만을 포함한다.

- <34> 도 2는 액정셀(C1c)에 공급되는 인터레이스방식의 데이터전압의 일예를 보여주는 파형도이다. 도 2와 같은 데이터전압이 공급되는 액정셀(C1c)은 기수 수평라인에 배치된 액정셀들 중 어느 하나이다.
- <35> 도 2를 참조하면, 액정셀(C1c)에는 기수 프레임기간 동안 정극성 전압이 공급되고 우수 프레임기간 동안 부극성 전압이 공급된다. 인터레이스 방식에서, 기수 수평라인에 배치된 액정셀(C1c)에 기수 프레임기간 동안에만 높은 정극성 데이터전압이 공급되기 때문에, 4 개의 프레임기간 동안 박스 내의 파형과 같이 정극성 데이터전압이 부극성 데이터전압에 비하여 우세적으로 되어 직류화 잔상이 나타나게 된다. 도 3은 인터레이스 데이터로 인하여 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다. 도 3의 좌측 이미지와 같은 원 화상을 인터레이스방식으로 액정표시패널에 일정시간 동안 공급하면 극성이 프레임기간 단위로 변하는 데이터전압이 기수 프레임과 우수 프레임에서 진폭이 달라지고, 그 결과 좌측 이미지와 같은 원 화상 후에 액정표시패널의 모든 액정셀들(C1c)에 중간계조 예를 들면 127 계조의 데이터전압을 공급하면 우측 이미지와 같이 원 화상의 패턴이 희미하게 보이는 직류화 잔상이 나타난다.
- <36> 직류화 잔상의 다른 예로써, 동일한 화상을 일정한 속도로 이동 또는 스크롤(scroll)시키면 스크롤되는 그림의 크기와 스크롤 속도(이동속도)의 상관 관계에 따라 액정셀(C1c)에 동일 극성의 전압이 반복적으로 축적되어 직류화 잔상이 나타날 수 있다. 이러한 실예는 도 4와 같다. 도 4는 사진 패턴과 문자 패턴을 일정한 속도로 이동시킬 때 나타나는 직류화 잔상의 실험 결과를 보여주는 이미지이다.
- <37> 액정표시장치에서는 직류화 잔상에 의해 동화상 표시품질이 떨어질뿐 아니라 육안으로 휘도차이를 주기적으로 느끼는 플리커(Flicker) 현상에 의해서도 표시품질이 떨어진다. 따라서, 액정표시장치의 표시품질을 높이기 위해서는 직류화 잔상을 해결함과 동시에 플리커 현상을 방지하여야 한다.

**발명이 이루고자 하는 기술적 과제**

- <38> 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 직류화 잔상과 플리커를 예방하여 표시품질을 높이도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

**발명의 구성 및 작용**

- <39> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널; 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 데이터 구동회로; 상기 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어함과 아울러, 상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 POL/SOE 로직회로를 구비한다.

상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블의 펄스와 상기 게이트펄스는 중첩된다.

상기 액정셀은 상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 데이터전압을 충전하고; 상기 N의 배수 번째 프레임기간 동안 공통전압과 차지웨어전압 중 어느 하나를 충전한 후에 상기 데이터전압을 충전한다.

상기 공통전압은 상기 액정셀의 공통전극에 공급되는 전압과 실질적으로 등전위 전압이며, 상기 차지웨어전압은 이웃한 데이터라인들에 공급되는 정극성 데이터전압과 부극성 데이터전압의 평균전압이다.

상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 발생하는 상기 소스 출력 인에이블신호의 펄스폭을 '1'이라 할 때, 상기 N의 배수 번째 프레임기간 동안 발생하는 상기 소스 출력 인에이블신호의 펄스폭은 대략 1.36~1.71이다.

상기 액정표시장치는 모든 프레임기간 동안 1 프레임기간마다 반전되는 기준 극성제어신호, 상기 모든 프레임기간 동안 펄스폭이 일정한 기준 소스 출력 인에이블신호, 및 상기 게이트펄스의 시작을 지시하는 게이트 스타트 펄스를 프레임기간의 시작시점에 1회 발생하는 타이밍 컨트롤러를 더 구비한다.

상기 POL/SOE 로직회로는 상기 게이트 스타트 펄스, 상기 기준 극성제어신호, 상기 기준 소스 출력 인에이블신호, 및 클럭신호를 이용하여 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 동일한 위상을 가지는 상기 극성제어신호와 상기 N의 배수 번째 프레임기간 동안 펄스폭이 넓어지는 상기 소스 출력 인에이블신호를 발생하는 로직부; 상기 기준 극성제어신호와 상기 극성제어신호 중 어느 하나를 선택하는 제1 멀티플렉서; 및 상기 기준 소스 출력 인에이블신호와 상기 소스 출력 인에이블신호 중 어느 하나를 선택하는 제2 멀티플렉서를 구비한다.

상기 로직부는 상기 게이트 스타트 펄스를 카운트하여 프레임 카운트 정보를 발생하는 프레임 카운터; 상기 카운터의 출력을 이용하여 상기 N의 배수 번째 프레임기간의 시작에서 반전되는 극성반전신호를 발생하는 극성반전부; 상기 기준 극성제어신호와 상기 극성반전신호를 배타적 논리합 연산하여 상기 극성제어신호를 발생하는 XOR 게이트; 상기 클럭신호를 이용하여 상기 기준 소스 출력 인에이블신호의 라이징에지, 펄스폭 및 폴링에지를 검출하여 타이밍 분석신호를 발생하는 타이밍 분석부; 상기 타이밍 분석신호를 이용하여 상기 기준 소스 출력 인에이블신호의 펄스폭보다 넓은 펄스폭의 소스 출력 인에이블신호를 발생하는 펄스폭 조정부; 및 상기 프레임 카운터의 출력에 응답하여 상기 N의 배수 번째 프레임기간 동안 상기 펄스폭 조정부의 출력을 선택하고 상기 N의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 기준 소스 출력 인에이블신호를 선택하여 상기 소스 출력 인에이블신호를 출력하는 제3 멀티플렉서를 구비한다.

본 발명의 다른 실시예에 따른 액정표시장치는 데이터전압이 공급되는 다수의 데이터라인과 게이트펄스가 공급되는 다수의 게이트라인이 형성되고 다수의 액정셀들을 가지는 액정표시패널; 입력 영상에서 인터레이스 데이터와 스크롤 데이터 중 어느 하나를 검출하는 영상분석회로; 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 데이터 구동회로; 상기 게이트펄스를 상기 게이트라인들에 공급하는 게이트 구동회로; 및 상기 영상 분석회로에 의해 검출되는 상기 인터레이스 데이터와 상기 스크롤 데이터 중 어느 하나가 입력될 때 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 상기 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어함과 아울러, 상기 N의 배수 번째 프레임기간 동안 상기 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 POL/SOE 로직회로를 구비한다.

본 발명의 실시예에 따른 액정표시장치의 구동방법은 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어하는 단계; 상기 N의 배수 번째 프레임기간 동안 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 단계; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 단계; 및 상기 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함한다.

본 발명의 다른 실시예에 따른 액정표시장치의 구동방법은 입력 영상에서 인터레이스 데이터와 스크롤 데이터 중 어느 하나를 검출하는 단계; 상기 인터레이스 데이터와 상기 스크롤 데이터 중 어느 하나가 입력될 때 N(N은 8 이상의 정수)의 배수 번째 프레임기간 이외의 다른 프레임기간 동안 극성제어신호를 1 프레임기간 단위로 반전시키고 상기 N의 배수 번째 프레임기간과 그 이전 프레임기간 동안 상기 극성제어신호의 위상을 동일하게 제어하는 단계; 상기 N의 배수 번째 프레임기간 동안 소스 출력 인에이블신호의 펄스폭을 다른 프레임기간보다 길게 하는 제어하는 단계; 상기 극성제어신호에 응답하여 데이터전압의 극성을 반전시키고 상기 소스 출력 인에이블신호에 응답하여 상기 데이터라인들로 상기 데이터전압을 출력하는 단계; 및 상기 게이트펄스를 상기 게이트라인들에 공급하는 단계를 포함한다.

이하, 도 5 내지 도 18을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<40> 삭제

<41> 삭제

<42> 삭제

- <43> 삭제
- <44> 삭제
- <45> 삭제
- <46> 삭제
- <47> 삭제
- <48> 삭제
- <49> 삭제
- <50> 삭제
- <51> 삭제
- <52> 삭제
- <53> 삭제
- <54> 삭제
- <55> 삭제

<56> 도 5 및 도 6을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 프레임기간 단위로 액정셀(C1c)에 충전되는 데이터전압의 극성을 반전시키되, N 프레임기간 단위로 그 이전 프레임기간과 동일한 극성의 데이터전압으로 액정셀(C1c)을 충전시킨다.

<57> 'N'은 바람직하게는 8 이상의 정수의 배수이다. 이는 'N'을 조절하여 인터레이스 데이터와 스크롤 데이터 모두에서 직류화잔상을 확인한 실험 결과, N은 8 이상의 프레임기간들을 사이에 두고 주기적으로 나타나는 프레임기간일 때 인터레이스 데이터와 스크롤 데이터 모두에서 직류화잔상이 나타나지 않기 때문이다.

<58> 또한, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 제1 내지 제N-1 프레임기간에서 제1 소스 출력 인에이블신호(Source Output Enable, SOE)를 제1 펄스폭(W1)으로 발생시키고 제N 프레임기간에서 제2 소스 출력 인에이블신호(FGDSOE)를 제1 펄스폭보다 넓은 제2 펄스폭(W2)으로 발생시킨다. 제1 및 제2 소스 출력 인에이블신호(SOE, FGDSOE)는 데이터 구동회로의 출력을 지시하는 타이밍 제어신호이다. 이어서, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 제N+1 내지 제2N-1 프레임기간에서 제1 소스 출력 인에이블신호(SOE)를 제1 펄스폭(W1)으로 발생시키고 제2N 프레임기간에서 제2 소스 출력 인에이블신호(FGDSOE)를 제2 펄스폭(W2)으로 발생시킨다.

- <59> 제1 및 제2 소스 출력 인에이블신호(SOE, FGDSOE)의 하이논리구간 동안, 데이터 구동회로는 정극성 데이터전압과 부극성 데이터전압의 중간 전압인 공통전압(Vcom)이나, 차지쉐어전압(Charge share voltage)을 발생한다. 차지쉐어전압은 소스 출력 인에이블신호(SOE)의 하이논리구간에서 정극성 데이터전압이 공급되는 데이터라인과 그에 인접하게 배치되고 부극성 데이터전압이 공급되는 데이터라인의 단락에 의해 정극성 데이터전압과 부극성 데이터전압의 평균값으로 발생하는 전압이다. 제1 및 제2 소스 출력 인에이블신호(SOE, FGDSOE)의 로우논리구간 동안, 데이터 구동회로는 정극성 데이터전압(+Vdata) 또는 부극성 데이터전압(-Vdata)을 발생한다.
- <60> 제1 내지 제N-1 프레임기간, 제N+1 내지 제2N-1 프레임기간 동안 제1 소스 출력 인에이블 신호(SOE)의 하이논리구간과 게이트펄스(GP)는 중첩되지 않거나 매우 작은 시간 동안 중첩된다. 이 때문에 제1 내지 제N-1 프레임기간, 제N+1 내지 제2N-1 프레임기간 동안 액정셀(C1c)은 게이트펄스(GP)에 의해 TFT가 턴-온되는 기간 동안 정극성 데이터전압(+Vdata), 또는 부극성 데이터전압(-Vdata)을 충전한 후에 TFT가 턴-오프된 다음, 스토리지 커패시터(Cst)에 의해 데이터전압(+Vdata, -Vdata)을 유지한다.
- <61> 제N 및 제2N 프레임기간 동안 제2 소스 출력 인에이블 신호(FGDSOE)의 하이논리구간과 게이트펄스(GP)는 상대적으로 긴 시간 동안 중첩된다. 이 때문에 제N 및 제2N 프레임기간 동안 액정셀(C1c)은 게이트펄스(GP)에 의해 TFT가 턴-온되는 기간 동안 공통전압(Vcom) 또는 차지쉐어전압을 충전한 후에 데이터전압(+Vdata, -Vdata)을 충전한다. 이어서, 액정셀(C1c)은 TFT가 턴-오프된 다음, 스토리지 커패시터(Cst)에 의해 데이터전압(+Vdata, -Vdata)을 유지한다.
- <62> 모든 프레임기간에 동일 계조의 데이터전압(+Vdata, -Vdata)을 액정셀(C1c)에 공급한다고 가정할 때, 제N 및 제2N 프레임기간 동안 액정셀(C1c)이 제2 소스 출력 인에이블신호(FGDSOE)과 게이트펄스(GP)의 중첩에 의해 공통전압(Vcom) 또는 차지쉐어전압을 충전한 데이터전압(+Vdata, -Vdata)을 충전하기 때문에 제N 및 제2N 프레임기간 동안 액정셀의 충전량은 제1 내지 제N-1 프레임기간, 제N+1 내지 제2N-1 프레임기간의 충전량에 비하여 작아진다.
- <63> 제1 소스 출력 인에이블신호(SOE)의 제1 펄스폭(W1)을 1이라 할 때, 제2 소스 출력 인에이블신호(FGDSOE)의 제2 펄스폭(W2)은 대략 1.36~1.71이다. 이는 실험 결과 인터레이스 데이터와 스크롤 데이터 모두에서 직류화잔상과 플리커가 나타나지 않는 제2 펄스폭의 최적값이기 때문이다. 이 실험은 제1 소스 출력 인에이블신호(SOE)의 제1 펄스폭(W1)을 2.24  $\mu$ s로 하고 N 프레임 단위로 이전 프레임과 동일한 극성으로 데이터전압을 제어하여 액정표시패널을 구동하면서 제2 소스 출력 인에이블신호(FGDSOE)의 제2 펄스폭(W2)을 조절하여 인터레이스 데이터와 스크롤 데이터 모두에서 직류화잔상과 플리커를 확인하였던 실험이다. 이 실험에서, 인터레이스 데이터와 스크롤 데이터 모두에서 직류화잔상과 플리커가 나타나지 않는 제2 소스 출력 인에이블신호(FGDSOE)의 제2 펄스폭(W2)은 대략 3.04  $\mu$ s~3.84  $\mu$ s로 확인되었다. 제2 소스 출력 인에이블신호(FGDSOE)의 제2 펄스폭(W2)이 3.04  $\mu$ s보다 좁으면 제N 프레임기간과 제2N 프레임기간에서 액정셀(C1c)의 충전량 감소정도가 작기 때문에 육안으로 화면에서 플리커를 느낄 수 있었고, 제2 소스 출력 인에이블신호(FGDSOE)의 제2 펄스폭(W2)이 3.84  $\mu$ s보다 넓으면 제N 프레임기간과 제2N 프레임기간에서 액정셀(C1c)의 충전량 감소정도가 크기 때문에 육안으로 화면의 휘도 저하와 플리커를 느낄 수 있었다.
- <64> 결국, 본 발명의 제1 실시예에 따른 액정표시장치의 구동방법은 매 프레임기간마다 데이터전압의 극성을 반전시키고, N 프레임기간 단위로 그 이전 프레임기간과 동일한 극성으로 데이터전압을 제어하며, 제N 프레임기간과 제2N 프레임기간에서 소스 출력 인에이블신호(SOE)의 펄스폭을 증가시켜 액정셀(C1c)의 충전량을 낮춘다.
- <65> 도 6에서 "VC1c(SOE)"와 "VC1c(FGDSOE)"는 액정셀(C1c)의 전압이다.
- <66> 도 7 내지 도 9는 스크롤 데이터가 임의의 액정셀(C1c)에 공급될 때 직류화 잔상과 플리커 예방 효과를 설명하기 위한 도면이다.
- <67> 도 7을 참조하면, 기호나 문자를 프레임당 8 픽셀(pixel)의 속도로 이동시키고 극성제어신호(Polarity, POL)를 이용하여 8 프레임기간 단위로 그 이전 프레임과 동일한 극성으로 데이터전압을 제어하면, 임의의 액정셀(C1c)은 빗금친 프레임기간들에서 기호나 문자의 데이터전압을 충전하고 그 전압들이 "++" -> "--" -> "++" -> "--"로 변한다. 따라서, 본 발명은 일정한 속도로 기호나 문자가 이동하는 스크롤 데이터에서 액정셀(C1c)에 충전되는 전압의 극성이 주기적으로 반전됨으로써 동일 극성의 전압이 누적되어 나타나는 직류화 잔상을 예방할 수 있다.
- <68> 액정표시패널 위에 배치된 포토 다이오드(Photo diode)의 출력 파형인 광과형에서 볼 수 있는 바와 같이 8 프레임기간 주기로 연속되는 2 개의 프레임기간 동안 동일한 극성의 데이터전압이 반복되므로 그 중 두 번째 프레임

기간에서 액정셀에 동일 극성의 데이터전압이 누적되어 그 전압이 커지게 된다. 이러한 동일 극성의 누적 전압으로 인하여, 도 7 및 도 8과 같이 8 프레임기간 주기로 연속되는 2 개의 프레임기간 중에서 두 번째 프레임기간에 액정셀(C1c)의 휘도가 급격히 증가하여 플리커로 보일 수 있다. 이러한 플리커 현상을 예방하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 제N 및 제2N 프레임기간에서 제2 소스 출력 인에이블신호(FGDSOE)를 이용하여 액정셀(C1c)의 충전양을 저하시켜 도 9와 같이 휘도의 급격한 변화를 방지한다.

- <69> 도 10은 인터레이스 데이터가 임의의 액정셀(C1c)에 공급될 때 직류화 잔상과 플리커 예방 효과를 설명하기 위한 도면이다.
- <70> 도 10을 참조하면, 임의의 액정셀(C1c)에 인터레이스 데이터가 공급되면 그 액정셀(C1c)에는 제N-1 프레임기간과 제N+1 프레임기간에만 높은 데이터전압이 공급되고, 제N 프레임기간과 제N+2 프레임기간에 상대적으로 낮은 블랙전압 혹은 평균전압이 공급된다. 그 결과, 제N-1 프레임기간에 공급되는 정극성 데이터전압과 제N+1 프레임기간에 공급되는 부극성 데이터전압이 중화되어 액정셀(C1c)에 편향된 극성의 전압이 축적되지 않는다. 따라서, 본 발명의 실시예에 따른 액정표시장치는 인터레이스 데이터가 공급될 때에도 직류화 잔상과 플리커가 나타나지 않는다.
- <71> 도 11 내지 도 15는 본 발명의 제1 실시예에 따른 액정표시장치를 나타낸다.
- <72> 도 11을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 컨트롤러(101), POL/SOE 로직회로(102), 데이터 구동회로(103), 및 게이트 구동회로(104)를 구비한다.
- <73> 액정표시패널(100)은 두 장의 유리기관 사이에 액정분자들이 주입된다. 이 액정표시패널(100)은 m 개의 데이터 라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(C1c)을 포함한다.
- <74> 액정표시패널(100)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, TFT에 접속된 액정셀(C1c)의 화소전극들(1), 및 스토리지 커패시터(Cst) 등이 형성된다. 액정표시패널(100)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 한편, 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- <75> 타이밍 컨트롤러(101)는 수직/수평 동기신호(Vsync, Hsync), 데이터인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(104)와 게이트 구동회로(104) 및 POL/SOE 로직회로(102)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이러한 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE), 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(SOE), 제1 극성제어신호(POL)를 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생된다. 게이트 출력 신호(GOE)는 게이트 구동회로(104)의 출력을 지시한다. 소스 스타트 펄스(SSP)는 데이터 제어신호(DDC)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(103) 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(Source Output Enable : SOE)는 데이터 구동회로(103)의 출력을 지시한다. 제1 극성제어신호(Polarity : POL)는 액정표시패널(100)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시한다. 제1 극성제어신호(POL)는 1 수평기간 주기로 논리가 반전되는 1 도트 인버전의 극성제어신호나 2 수평기간 주기로 논리가 반전되는 2 도트 인버전의 극성제어신호 중 어느 한 형태로 발생된다. 이러한 타이밍 컨트롤러(101)는 120Hz 또는 60Hz 프레임 주파수로 타이밍 제어신호들을 발생하여 120Hz 또는 60Hz 기준으로 POL/SOE 로직회로(102), 데이터 구동회로(103), 게이트 구동회로(104)의 동작 타이밍을 제어한다. 프레임 주파수는 수직 동기신호(Vsync)에 대응하는 주파수로써 초당 화면 수를 지시한다. 120Hz 프레임 주파수는 1초당 120 개의 화면이 액정표시패널(100)에 표시되도록 하며, 60Hz 프레임 주파수는 1초당 60 개의 화면이 액정표시패널(100)에 표시되도록 한다. 플리커는 액정표시장치가 120Hz 프레임 주파수로 구동될 때 60Hz 프레임 주파수에 비하여 거의 느껴지지 않는다.

- <76> POL/SOE 로직회로(102)는 게이트 스타트 펄스(GSP)와 제1 극성제어신호(POL)를 입력받아 잔상과 플리커를 예방하기 위하여 N의 배수 프레임기간 즉, 제N 및 제2N 프레임기간에서 제2 극성제어신호(FGDPOL)를 발생하고, 제1 극성제어신호(POL)와 제2 극성제어신호(FGDPOL, POL) 중 어느 하나를 선택적으로 데이터 구동회로(103)에 공급한다. 제1 극성제어신호(POL)는 도 16과 같이 1 수평기간 또는 2 수평기간 단위로 논리가 반전되고 또한, 1 프레임기간마다 데이터전압의 극성을 반전시키기 위하여 1 프레임기간 단위로 논리가 반전된다. 제2 극성제어신호(FGDPOL)는 도 16과 같이 N의 배수 번째 프레임기간에서 이전 프레임기간과 동일한 극성패턴으로 데이터전압의 극성을 제어하기 위하여 N의 배수 번째 프레임기간에 앞선 프레임기간과 동일한 위상으로 발생되고 1 수평기간 또는 2 수평기간 단위로 논리가 반전된다. 또한, POL/SOE 로직회로(102)는 제1 소스 출력 인에이블신호(SOE)와 제3 클럭신호(CLK3)를 입력받아 잔상과 플리커를 예방하기 위하여 N의 배수 프레임기간에서 펄스폭이 넓게 조정된 제2 소스 출력 인에이블신호(FGDSOE)를 발생하고, 제1 소스 출력 인에이블신호(SOE)와 제2 소스 출력 인에이블신호(FGDSOE) 중 어느 하나를 선택적으로 데이터 구동회로(103)에 공급한다. 제1 소스 출력 인에이블신호(SOE)는 모든 프레임기간에서 제1 펄스폭(W1)으로 발생된다. 제2 소스 출력 인에이블신호(SOE)는 N의 배수 프레임기간에서 제2 펄스폭(W2)으로 발생되고 N의 배수 프레임기간 이외의 다른 프레임기간들에서 제1 펄스폭(W1)으로 발생된다.
- <77> 본 발명의 제1 실시예에 따른 액정표시장치는 타이밍 컨트롤러(101)와 POL/SOE 로직회로(102) 사이에 접속되어 제3 클럭신호(CLK)를 발생하기 위한 멀티플렉서를 더 구비한다. 멀티플렉서는 타이밍 컨트롤러(101)의 내부 발진기로부터 발생하는 제1 클럭신호(CLK1) 또는 외부 발진기로부터 공급되는 제2 클럭신호(CLK2)를 자신의 제어단자에 공급되는 제어신호에 따라 선택하고, 선택된 클럭신호(CLK1 또는 CLK2)를 제3 클럭신호(CLK3)로써 POL/SOE 로직회로(102)에 공급한다. 이러한 멀티플렉서의 제어단자는 옵션핀에 접속된다. 옵션핀은 멀티플렉서의 제어단자에 접속되고, 제조업체에 의해 기저전압원(GND) 또는 전원전압(Vcc)에 선택적으로 접속될 수 있다. 예컨대, 옵션핀이 기저전압원(GND)에 접속되면 멀티플렉서는 자신의 제어단자에 "0"의 선택 제어신호(SEL)가 공급되어 제1 클럭신호(CLK1)를 제3 클럭신호(CLK3)로써 출력하고, 옵션핀이 전원전압(Vcc)에 접속되면 멀티플렉서는 자신의 제어단자에 '1'의 선택 제어신호(SEL)가 공급되어 제2 클럭신호(CLK2)를 제3 클럭신호(CLK3)로써 출력한다.
- <78> 데이터 구동회로(103)는 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(103)는 디지털 비디오 데이터를 극성제어신호(POL/FGDPOL)에 따라 아날로그 정극성/부극성 감마 보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.
- <79> 게이트 구동회로(104)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(104)는 대략 1 수평기간의 펄스폭을 가지는 게이트펄스들을 순차적으로 출력한다.
- <80> POL/SOE 로직회로(102)는 타이밍 컨트롤러(101) 내에 내장될 수 있다.
- <81> 본 발명의 제1 실시예에 따른 액정표시장치는 타이밍 컨트롤러(101)에 디지털 비디오 데이터(RGB)와 타이밍신호들(Vsync, Hsync, DE, CLK)을 공급하는 시스템(105)을 더 구비한다.
- <82> 시스템(105)은 방송신호, 외부기기 인터페이스회로, 그래픽처리회로, 라인 메모리(106) 등을 포함하여 방송신호나 외부기기로부터 입력되는 영상소스로부터 비디오 데이터를 추출하고 그 비디오 데이터를 디지털로 변환하여 타이밍 컨트롤러(101)에 공급한다. 시스템(106)에서 수신되는 인터레이스 방송신호는 라인메모리에 저장된 후 출력된다. 인터레이스 방송신호의 비디오 데이터는 기수 프레임기간에 기수라인에만 존재하고 우수 프레임기간에 우수라인에만 존재한다. 따라서, 시스템(105)은 인터레이스 방송신호를 수신하면 라인 메모리(106)에 저장된 유효 데이터들의 평균값 또는 블랙 데이터값으로 기수 프레임기간의 우수라인 데이터, 그리고 우수 프레임의 기수라인 데이터를 발생한다. 이러한 시스템(105)은 디지털 비디오 데이터와 함께 타이밍신호들(Vsync, Hsync, DE, CLK)을 타이밍 컨트롤러(101)에 공급한다. 또한, 시스템(105)은 타이밍 컨트롤러(101), POL/SOE 로직회로(102), 데이터 구동회로(103), 게이트 구동회로(104), 액정표시패널의 구동전압을 발생하는 직류-직류 변환기(DC-DC convertor), 백라이트 유닛의 광원 점등을 위한 인버터 등의 회로에 전원을 공급한다.
- <83> 도 12 및 도 13은 데이터 구동회로(103)를 상세히 나타내는 회로도이다.
- <84> 도 12 및 도 13을 참조하면, 데이터 구동회로(103)는 각각 k(k는 m보다 작은 정수) 개의 데이터라인들(D1 내지

Dk)을 구동하는 다수의 소스 집적회로(Integrated Circuit, IC)를 포함한다. 소스 집적회로 각각은 쉬프트 레지스터(111), 데이터 레지스터(112), 제1 래치(113), 제2 래치(114), 디지털/아날로그 변환기(이하, "DAC"라 한다)(115), 차지셰어회로(Charge Share Circuit)(116) 및 출력회로(117)를 포함한다.

<85> 쉬프트레지스터(111)는 타이밍 컨트롤러(101)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(111)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단 집적회로의 쉬프트 레지스터(111)에 캐리신호(CAR)를 전달하게 된다. 데이터 레지스터(112)는 타이밍 컨트롤러(101)에 의해 분리된 기수 화소의 디지털 비디오 데이터(RGBodd)와 우수 화소의 디지털 비디오 데이터(RGBeven)를 일시 저장하고 저장된 데이터들(RGBodd, RGBeven)을 제1 래치(113)에 공급한다. 제1 래치(113)는 쉬프트 레지스터(111)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(112)로부터의 디지털 비디오 데이터들(RGBeven, RGBodd)을 샘플링하고, 그 데이터들(RGBeven, RGBodd)을 래치한 다음, 그 데이터들을 동시에 출력한다. 제2 래치(114)는 제1 래치(113)로부터 입력되는 데이터들을 동시에 래치한 다음, 소스 출력 인에이블신호(SOE, FGDSOE)의 로우논리기간 동안 다른 집적회로들의 제2 래치(114)와 동시에 디지털 비디오 데이터들을 출력한다. DAC(115)는 도 13과 같이 정극성 감마기준전압(GH)이 공급되는 P-디코더(PDEC)(121), 부극성 감마기준전압(GL)이 공급되는 N-디코더(NDEC)(122), 극성제어신호들(FGDPOL/POL)에 응답하여 P-디코더(121)의 출력과 N-디코더(122)의 출력을 선택하는 멀티플렉서(123)를 포함한다. P-디코더(121)는 제2 래치(114)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압을 출력하고, N-디코더(122)는 제2 래치(114)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압을 출력한다. 멀티플렉서(123)는 극성제어신호(FGDPOL/POL)에 응답하여 정극성의 감마보상전압과 부극성의 감마보상전압을 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압으로 출력한다. 차지셰어회로(116)는 소스 출력 인에이블신호(SOE, FGDSOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지셰어전압으로 출력하거나, 소스 출력 인에이블신호(SOE, FGDSOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 정극성 데이터전압과 부극성 데이터전압의 급격한 변화를 줄인다. 출력회로(117)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

<86> 도 14 및 도 15는 POL/SOE 로직회로(102)를 상세히 나타내는 회로도들이다.

<87> 도 14를 참조하면, POL/SOE 로직회로(102)는 로직부(131), 제1 및 제2 멀티플렉서(132, 133)를 구비한다.

<88> 로직부(131)는 타이밍 컨트롤러(101)로부터 게이트 스타트 펄스(GSP), 제1 극성제어신호(POL), 제1 소스 출력 인에이블신호(SOE) 및 클럭신호(CLK3)를 입력받아 N의 배수 번째 프레임기간에 제2 극성제어신호(FGDPOL)를 발생하고, N의 배수 번째 프레임기간에 제2 소스 출력 인에이블신호(FGDSOE)를 발생한다.

<89> 제1 멀티플렉서(132)는 자신의 제어단자에 인가되는 제어신호의 논리값에 따라 제1 극성제어신호(POL)와 제2 극성제어신호(FGDPOL) 중 어느 하나를 선택한다.

<90> 제2 멀티플렉서(133)는 제어단자에 인가되는 제어신호의 논리값에 따라 제1 소스 출력 인에이블신호(SOE)와 제2 소스 출력 인에이블신호(FGDSOE) 중 어느 하나를 선택한다.

<91> 제1 및 제2 멀티플렉서(132, 133)의 제어단자는 옵션핀에 접속된다. 옵션핀은 제1 및 제2 멀티플렉서(132, 133)의 제어단자들에 접속되고, 제조업체에 의해 기저전압원(GND) 또는 전원전압(Vcc)에 선택적으로 접속될 수 있다. 예컨대, 옵션핀이 기저전압원(GND)에 접속되면 제1 멀티플렉서(132)는 자신의 제어단자에 "0"의 선택 제어신호(SEL2)가 공급되어 제2 극성제어신호(FGDPOL)를 출력하고, 제2 멀티플렉서(133)는 자신의 제어단자에 "0"의 선택 제어신호(SEL2)가 공급되어 제2 소스 출력 인에이블신호(FGDSOE)를 출력한다. 옵션핀이 전원전압(Vcc)에 접속되면 제1 멀티플렉서(132)는 자신의 제어단자에 "1"의 선택 제어신호(SEL2)가 공급되어 제1 극성제어신호(POL)를 출력하고, 제2 멀티플렉서(133)는 자신의 제어단자에 "1"의 선택 제어신호(SEL2)가 공급되어 제1 소스 출력 인에이블신호(SOE)를 출력한다.

<92> 도 15 및 도 16을 참조하면, 로직부(131)는 프레임 카운터(141), POL 반전부(142), 배타적 논리합 게이트(이하, "XOR"라 함)(143), SOE 타이밍 분석부(144), SOE 조정부(145), 및 제3 멀티플렉서(146)를 구비한다.

<93> 프레임 카운터(141)는 1 프레임기간 동안 1회 발생되고 1 프레임기간의 시작과 동시에 발생하는 게이트 스타트 펄스(GSP)에 응답하여 액정표시패널(100)에 표시될 화상의 프레임 수를 지시하는 프레임 카운트 정보(Fcnt)를 출력한다. 또한, 프레임 카운터(141)는 N의 배수 번째 프레임기간을 지시하는 N 프레임 정보를 발생한다.

<94> POL 반전부(142)는 프레임 카운터(141)로부터의 프레임 카운트 정보(Fcnt)를 입력받아 그 프레임 카운트 정보

(Fcnt)를 N으로 나머지 연산하여, 그 연산결과 나머지가 '0'이 되는 시점에 논리를 반전시킨 출력신호를 발생한다. 이 출력신호는 POL 반전신호로써(POLinv)로써 도 16과 같이 N-1 개의 프레임기간 동안 하이논리(또는 로우논리)를 유지하고 N의 배수 번째 프레임기간의 시작시점에 로우논리(또는 하이논리)로 반전된다. 따라서, POL 반전부(142)로부터 출력되는 POL 반전신호(POLinv)는 N의 배수 번째 프레임기간마다 그 시작시점을 지시한다.

- <95> XOR(143)는 제1 극성제어신호(POL)와 POL 반전신호(POLinv)를 배타적 논리합 연산하여 도 16과 같이 N-1의 배수 프레임기간과 N 프레임기간에서 극성패턴이 동일하고 그 이외의 나머지 프레임기간에서 프레임기간 단위로 극성패턴이 반전되는 제2 극성제어신호(FGDPOL)를 발생한다.
- <96> SOE 타이밍 분석부(144)는 클럭신호(CLK3) 단위로 제1 소스 출력 인에이블신호(SOE)를 분석하여 제1 소스 출력 인에이블신호(SOE)의 라이징에지(rising edge), 펄스폭, 폴링에지(falling edge)를 검출한다.
- <97> SOE 조정부(145)는 SOE 타이밍 분석부(144)로부터의 SOE 정보(Check\_SOE)를 이용하여 N의 배수 번째 프레임기간에 제2 펄스폭(W2)으로 제2 소스 출력 인에이블신호(FGDSOE)를 발생한다.
- <98> 제3 멀티플렉서(146)는 프레임 카운터(141)로부터의 N 프레임정보에 따라 N의 배수 번째 프레임기간에 SOE 조정부(145)의 출력을 선택하고 N의 배수 번째 프레임기간 이외의 다른 프레임기간에 제1 소스 출력 인에이블신호(SOE)를 선택하여 제2 소스 출력 인에이블신호(FGESOE)를 발생한다.
- <99> 도 17은 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법을 설명하기 위한 흐름도이다.
- <100> 도 17을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치의 구동방법은 입력 데이터를 분석하여, 그 입력 데이터가 인터레이스 데이터 또는 스크롤 데이터와 같이 직류화 잔상이 나타날 수 있는 데이터인가를 판단한다.(S1, S2)
- <101> S2 단계에서, 현재 입력되는 데이터가 직류화 잔상이 나타날 수 있는 데이터로 판단되면 본 발명의 제2 실시예는 현재 프레임이 N의 배수 번째 프레임기간인가를 판단하고, N의 배수 번째 프레임기간이면 제2 극성제어신호(FGDPOL)와 제2 소스 출력 인에이블신호(FGDSOE)를 이용하여 액정표시패널에 표시될 데이터전압의 극성을 제어한다.(S3, S4)
- <102> S2 단계에서, 현재 입력되는 데이터가 직류화 잔상이 나타날 수 있는 데이터가 아니면 제1 극성제어신호(POL)와 제1 소스 출력 인에이블신호(SOE)를 이용하여 액정표시패널에 표시될 데이터전압의 극성을 제어한다.(S5)
- <103> 도 18은 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸다.
- <104> 도 18을 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 시스템(105), 액정표시패널(100), 영상 분석회로(161), 타이밍 콘트롤러(101), POL/SOE 로직회로(162), 데이터 구동회로(103), 및 게이트 구동회로(104)를 구비한다. 이 실시예에서 시스템(105), 액정표시패널(100), 타이밍 콘트롤러(101), 데이터 구동회로(103) 및 게이트 구동회로(104)는 전술한 제1 실시예와 실질적으로 동일하므로 동일한 도면부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.
- <105> 영상 분석회로(161)는 현재 입력되는 영상의 디지털 비디오 데이터들에 대하여 직류화 잔상이 발생 가능한 데이터인가를 판단한다. 영상 분석회로(161)는 1 프레임 영상에서 이웃하는 라인들 간의 데이터를 비교하여 그 라인들 간의 데이터가 소정의 임계치 이상으로 크면 현재 입력되는 데이터를 인터레이스 데이터로 판단한다. 또한, 영상 분석회로(161)는 프레임단위로 각 픽셀들의 데이터를 비교하여 표시영상에서 움직이는 화상과 그 화상의 이동속도를 검출하여, 미리 설정된 속도로 움직임 화상이 이동한다면 그 움직임 화상이 포함된 프레임 데이터를 스크롤 데이터로 판단한다. 이러한 영상 분석의 결과로, 영상 분석회로(161)는 인터레이스 데이터, 스크롤 데이터를 지시하는 선택신호(SEL3)를 발생하고 그 선택신호(SEL3)를 이용하여 POL/SOE 로직회로(162)를 제어한다.
- <106> POL/SOE 로직회로(162)는 영상 분석회로(161)로부터의 선택신호(SEL3)의 제1 논리값에 응답하여 직류화 잔상이 나타날 수 있는 데이터들이 입력될 때 N의 배수 프레임기간에 제2 극성제어신호(FGDPOL)과 제2 소스 출력인에이블신호(FGESOE)를 발생한다. 그리고 POL/SOE 로직회로(162)는 영상 분석회로(161)로부터의 선택신호(SEL3)의 제2 논리값에 응답하여 직류화 잔상이 나타날 수 있는 데이터들이 입력되지 않을 때 제1 극성제어신호(POL)과 제1 소스 출력인에이블신호(SOE)를 발생한다.
- <107> 타이밍 콘트롤러(101), 영상 분석회로(161), 및 POL/SOE 로직회로(162)는 원칩으로 집적될 수 있다.



<29> 142 : POL 반전부

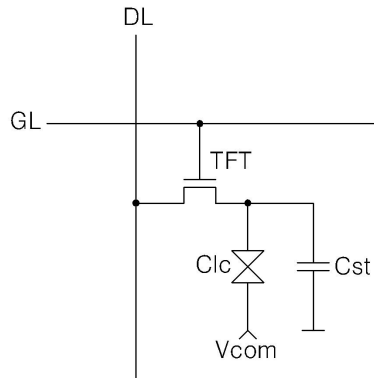
143 : 배타적 논리합 게이트

<30> 144 : SOE 타이밍 분석부

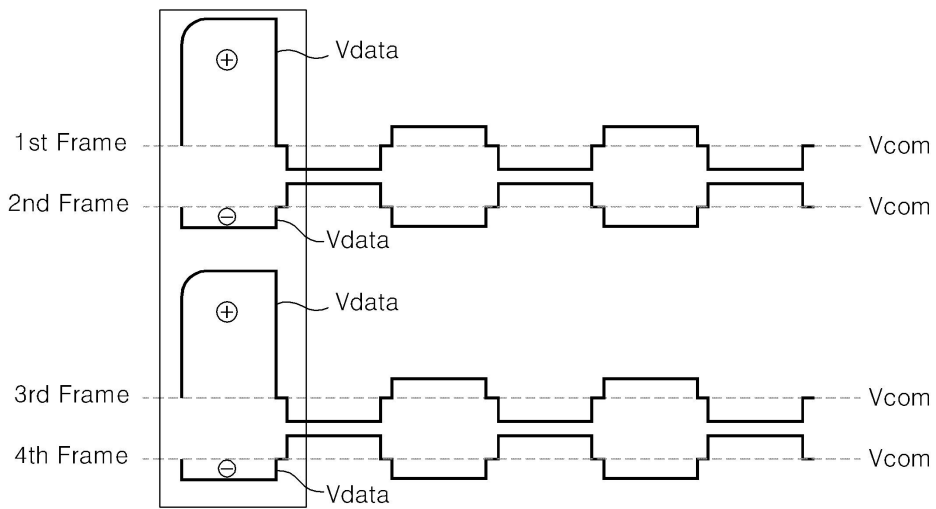
145 : SOE 조정부

도면

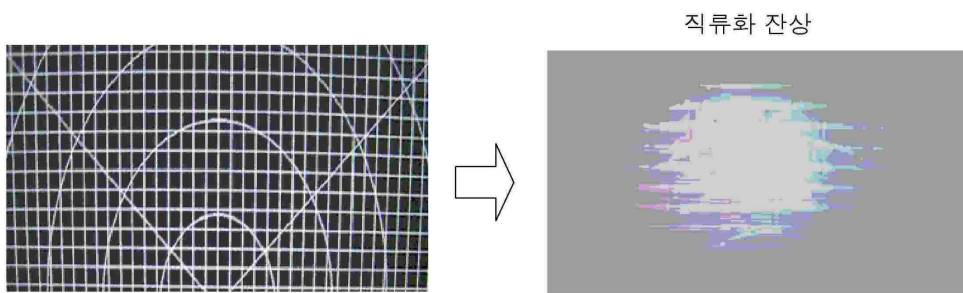
도면1



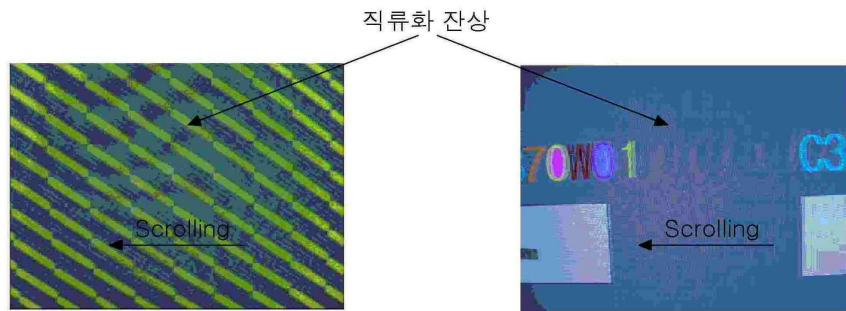
도면2



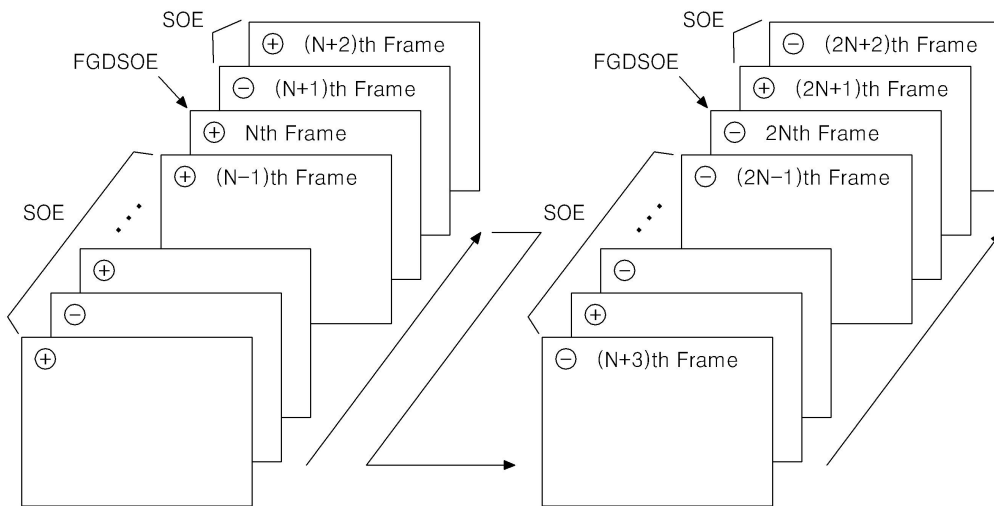
도면3



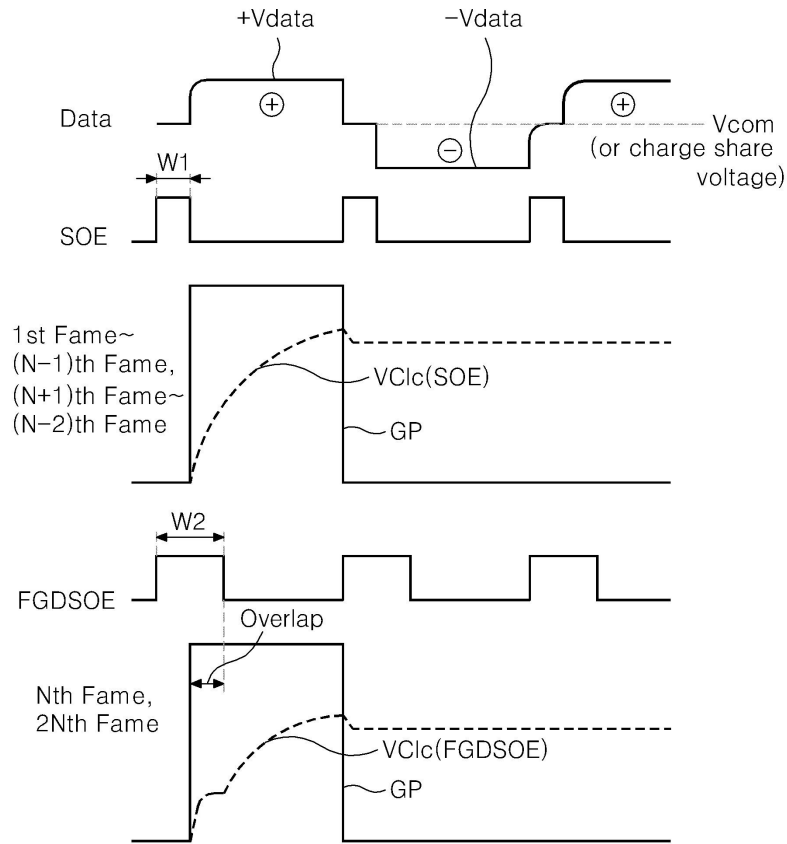
도면4



도면5



도면6

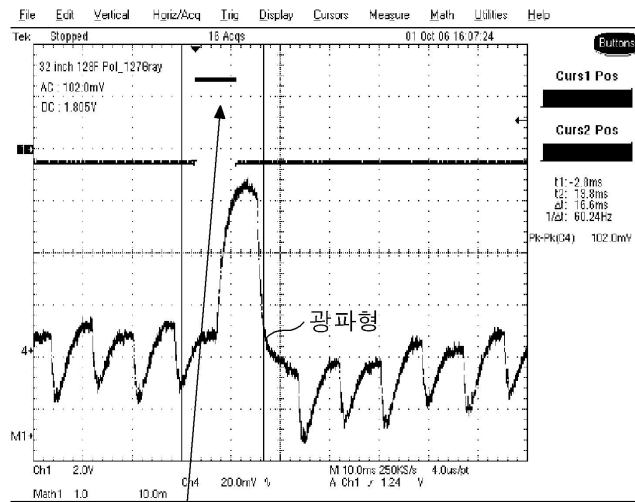


도면7

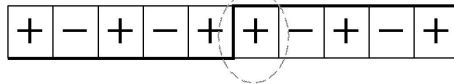
Frame	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
POL	+	-	+	-	+	-	+	+	-	+	-	+	-	+	-	-	+	-	+	-	+	-	+	+	-	+	-	+	-	+

Frame	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
POL	-	-	-	+	-	+	-	-	+	+	-	+	-	+	-	+	-	-

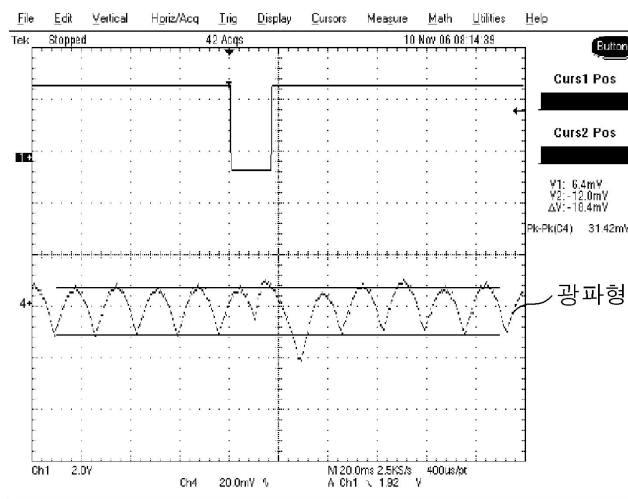
도면8



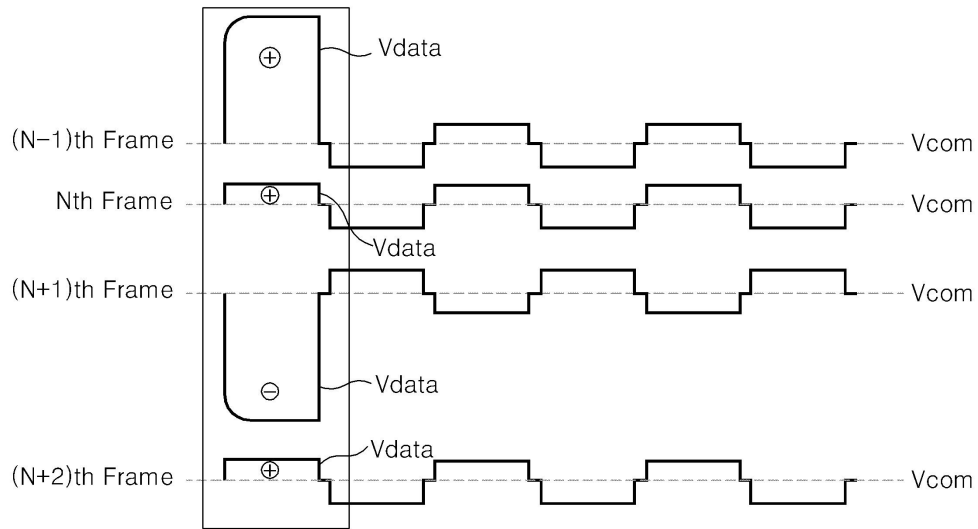
Frame



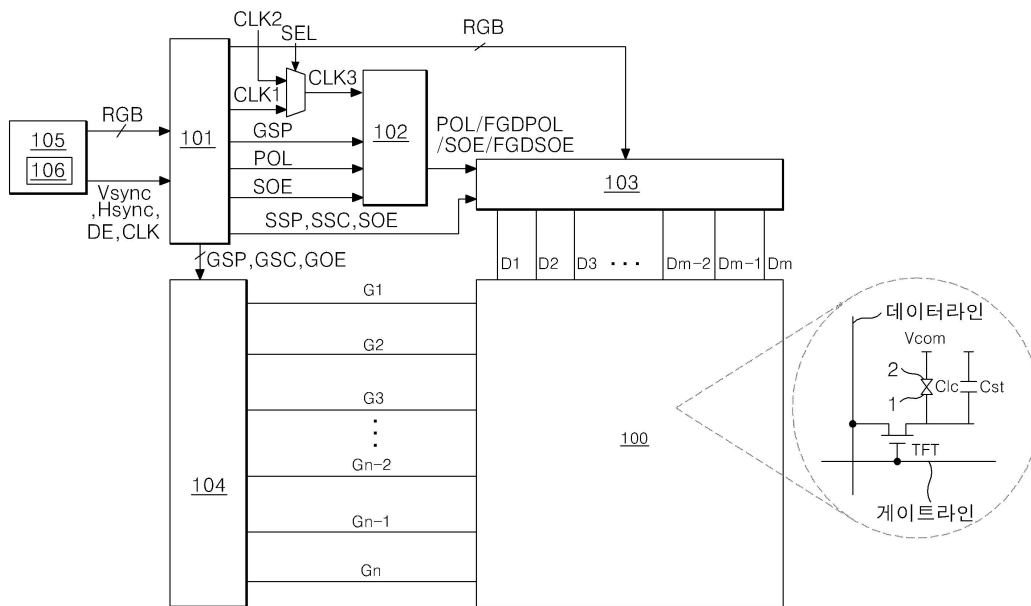
도면9



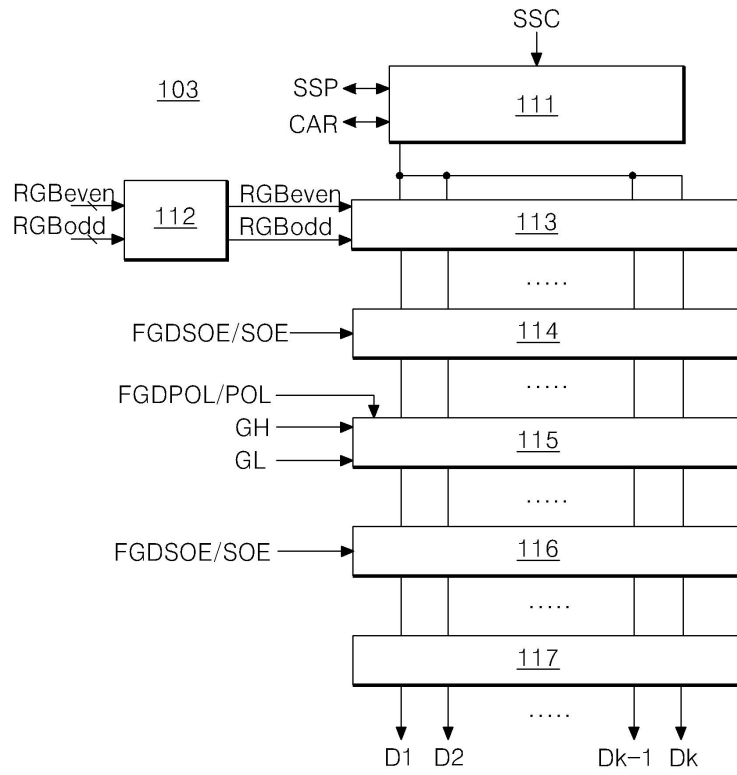
도면10



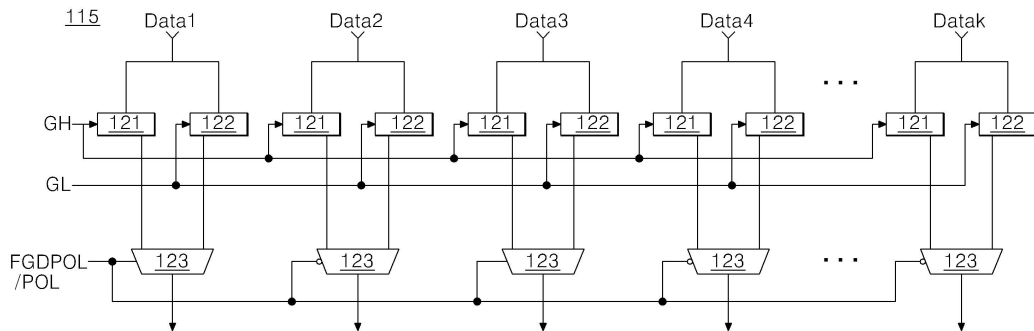
도면11



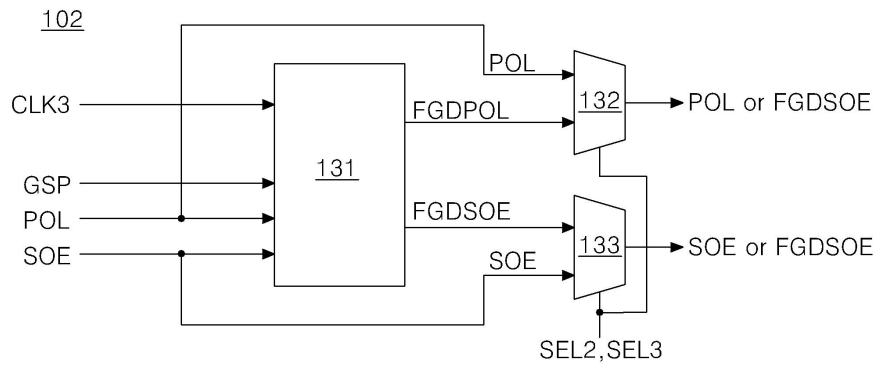
도면12



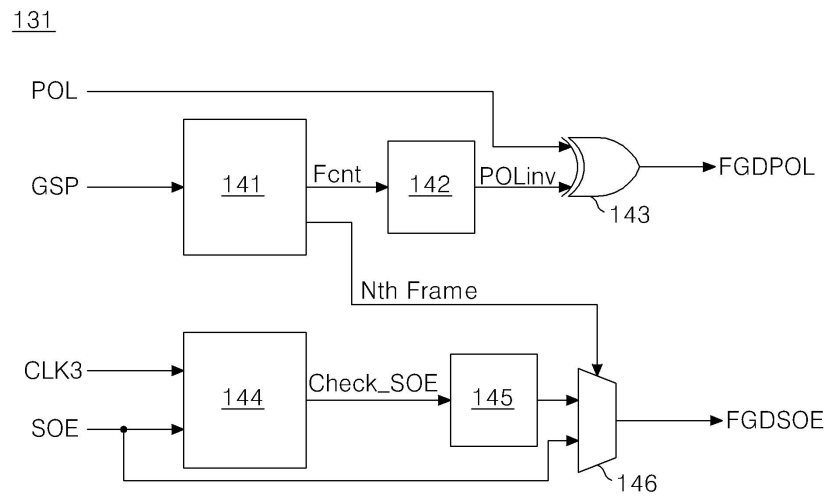
도면13



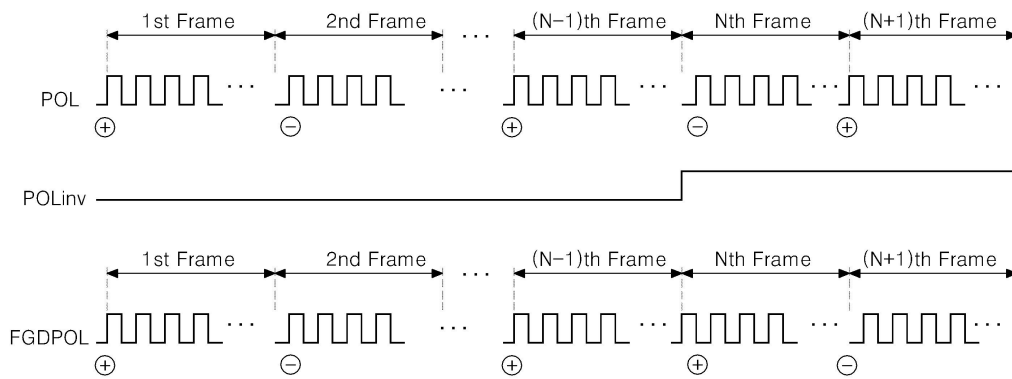
도면14



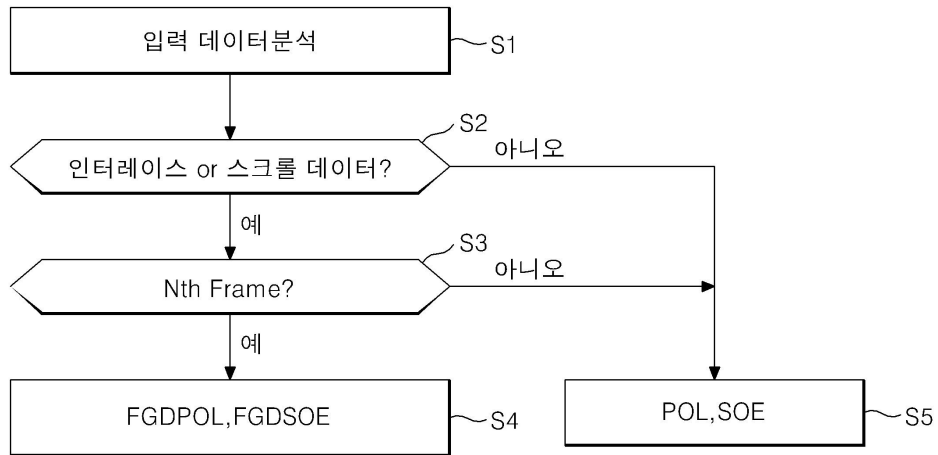
도면15



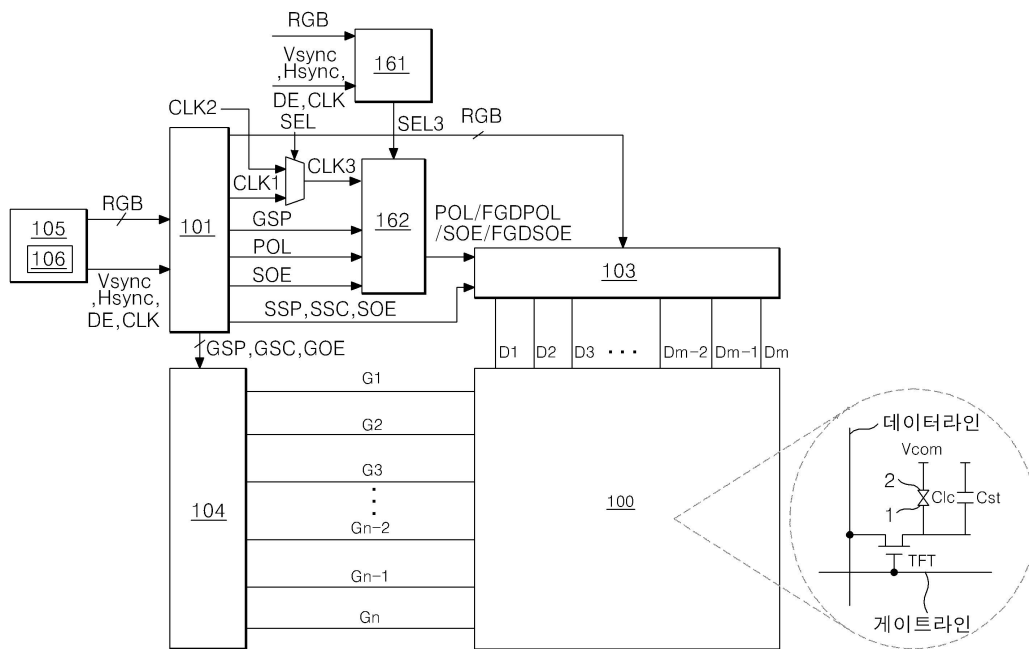
도면16



도면17



도면18



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR100870500B1</a>	公开(公告)日	2008-11-26
申请号	KR1020070004255	申请日	2007-01-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 CHOI BYUNG JIN 최병진 KIM DONG IL 김동일 SONG HONG SUNG 송홍성		
发明人	민웅기 최병진 김동일 송홍성		
IPC分类号	G09G3/20 G09G G02F G09G3/36 G02F1/133		
其他公开文献	KR1020080067095A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及液晶显示器及其驱动方法，其提高了显示质量，防止了直流残像和闪烁。该液晶显示器包括LCD面板，其中形成其中提供数据电压的多条数据线和提供栅极脉冲的多条栅极线，并具有多个液晶单元；数据驱动电路响应极性控制信号反转数据电压的极性，并响应源输出使能信号输出数据电压到数据线；栅极驱动电路向栅极线提供栅极脉冲；并且长的POL / SOE逻辑电路控制比其他帧持续时间的源输出使能信号的脉冲长度为N的排出数字帧持续时间极性控制信号被反转为另一帧持续时间除了N的排水数帧持续时间（N是大于8的固定数），以1帧的持续时间为单位。

