



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년02월18일  
 (11) 등록번호 10-0804038  
 (24) 등록일자 2008년02월11일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2002-0018717  
 (22) 출원일자 2002년04월04일  
 심사청구일자 2007년04월04일  
 (65) 공개번호 10-2003-0079569  
 (43) 공개일자 2003년10월10일

(56) 선행기술조사문헌  
 JP06167952 A  
 (뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이백원

서울특별시금천구시흥4동806-15(11/4)

김동규

경기도용인시수지읍풍덕천리1167번지523동1305호

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

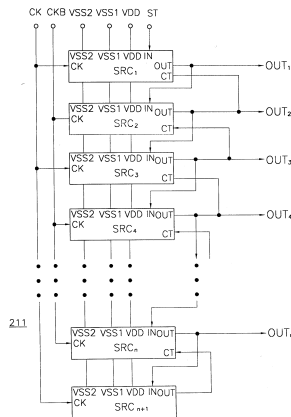
심사관 : 김세영

**(54) 쉬프트 레지스터 및 이를 갖는 액정표시장치**

**(57) 요약**

표시특성을 향상시킬 수 있는 쉬프트 레지스터 및 이를 갖는 액정표시장치가 개시된다. 쉬프트 레지스터는 종속적으로 연결되고, 출력단자에 게이트 라인이 연결된 복수의 스테이지를 구비한다. 각 스테이지는 풀업부, 풀다운부, 풀업 구동부 및 풀다운 구동부로 이루어진다. 여기서, 각 부를 구성하고 있는 트랜지스터들의 폭/길이의 값을 크게하고, 특히, 게이트 라인에 직접적인 영향을 미치는 풀업부 및 풀다운부를 구성하는 트랜지스터의 폭/길이의 값을 더욱 크게 증가시킨다. 또한, 풀업 구동부는 프레임 기간에는 접지레벨이 인가되고, 프레임 기간과 프레임 기관 사이에 존재하는 블랭킹 기간에는 접지레벨보다 낮은 전압레벨이 인가된다. 따라서, 풀업 구동부는 프레임 기간에는 다음 스테이지의 선단에 응답하여 풀업부를 턴-오프시키고, 블랭킹 기간에는 풀업부에 잔류하는 기생 커패시터를 방전시켜 해당 게이트 라인을 완전하게 턴-오프시킨다. 이로써, 액정표시장치의 표시특성을 향상시킬 수 있다.

**대표도 - 도3**



(56) 선행기술조사문헌

JP06337655 A

JP08179364 A

JP10153761 A

JP2000221926 A

---

## 특허청구의 범위

### 청구항 1

복수의 스테이지들이 종속적으로 연결되고, 첫 번째 스테이지의 입력단자에는 개시신호가 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭의 반전된 위상을 갖는 제2 클럭이 제공되며,

상기 각 스테이지는

출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운 수단;

상기 풀업수단의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀업수단을 턴온시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴오프시키며, 하나의 화면을 구현하는 프레임 기간들 사이에 존재하는 블랭킹 기간에서 상기 풀업수단에 잔류하는 기생 커패시터를 방전시켜 상기 풀업수단을 완전하게 턴오프시키기 위한 풀업구동수단; 및

상기 풀다운 수단의 입력노드에 연결되고, 상기 풀업수단의 입력 노드와 연결되어 상기 풀다운 수단을 턴오프시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀다운 수단을 턴온시키는 풀다운 구동수단을 구비하는 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 2

제1항에 있어서, 상기 풀업구동수단은

상기 풀업수단의 입력노드와 상기 출력단자에 연결되어 상기 풀업 수단을 턴온시키기 위한 커패시터;

제1 전극이 제3 전원전압에 연결되고, 제2 전극이 상기 풀업수단의 입력노드에 연결되며, 상기 입력신호에 의해 구동되어 상기 커패시터를 충전시키기 위한 제1 트랜지스터;

상기 풀업수단의 입력노드에 제1 전극이 연결되고, 제1 전원전압에 제2 전극이 연결되며, 다음 스테이지의 출력신호에 의해 구동되어 상기 풀업수단을 턴오프시키기 위한 제2 트랜지스터; 및

제1 전극이 상기 풀업수단의 입력노드에 연결되고, 제2 전극이 제2 전원전압에 연결되며, 상기 풀다운 수단의 입력노드의 전위에 따라 구동되어 상기 프레임 기간에는 상기 커패시터를 방전시키고, 상기 블랭킹 기간에는 상기 풀업 수단의 기생 커패시터를 방전시키기 위한 제3 트랜지스터를 구비한 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 3

제2항에 있어서, 상기 제2 전원전압은 상기 프레임 기간에서 상기 제1 전원전압과 동일한 전압을 갖고, 상기 블랭킹 기간에서 상기 제1 전원전압보다 낮은 전압을 갖는 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 4

제3항에 있어서, 상기 제2 전원전압은 상기 블랭킹 기간에서 상기 제1 전원전압의 문턱전압의 절대치보다 낮은 전압을 갖는 것을 특징으로 하는 쉬프트 레지스터.

### 청구항 5

제1항에 있어서, 상기 풀다운 구동수단은,

제1 전극이 제3 전원전압에 결합되고, 제2 전극이 상기 풀다운 수단의 입력노드에 연결되며, 상기 제3 전원전압에 의해 구동되어 상기 풀다운 수단을 턴온시키기 위한 상기 제4 트랜지스터; 및

제1 전극이 상기 풀다운 수단의 입력노드에 결합되고, 제2 전극이 상기 제1 전원전압과 연결되어, 상기 풀업수단의 입력노드의 전위에 따라 구동되어 상기 풀다운 수단을 턴오프시키기 위한 제5 트랜지스터를 구비한 것을

특징으로 하는 쉬프트 레지스터.

**청구항 6**

제1항에 있어서, 상기 쉬프트 레지스터에 연결된 외부연결단자는 제1 클럭 입력단자, 제2 클럭 입력단자, 개시 신호 입력단자, 제1 전원전압 입력단자, 제2 전원전압 입력단자 및 제3 전원전압 입력단자의 6단자로 구성된 것을 특징으로 하는 쉬프트 레지스터.

**청구항 7**

복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지의 입력단자에는 개시신호가 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭의 반전된 위상을 갖는 제2 클럭이 제공되며,

상기 각 스테이지는

제1 전극에는 대응되는 클럭이 연결되고, 제2 전극에는 출력단자가 연결되며, 제1 노드의 전위에 의해 구동되어, 상기 클럭을 상기 출력단자에 제공하기 위한 제1 트랜지스터;

제1 전극에 출력단자가 연결되고, 제2 전극에 제1 전원전압이 연결되며, 제2 노드의 전위에 의해 구동되어 상기 출력단자로부터 출력되는 출력신호를 상기 제1 전원전압 레벨로 다운시키기 위한 제2 트랜지스터;

상기 제1 노드와 상기 출력단자와의 사이에 연결되어 입력신호에 의해 상기 제1 트랜지스터를 턴-온시키기 위한 커패시터;

제1 전극이 제2 전원전압에 연결되고, 제2 전극이 상기 제1 노드에 연결되며, 상기 입력신호에 의해 구동되어 상기 커패시터를 충전시키기 위한 제3 트랜지스터;

제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 상기 제1 전원전압에 연결되며, 상기 다음 스테이지의 출력신호에 의해 구동되어 상기 제1 트랜지스터를 턴-오프시키기 위한 제4 트랜지스터;

제1 전극이 상기 제1 노드에 연결되고, 제2 전극이 제3 전원전압에 연결되며, 화면을 구현하는 프레임 기간에는 상기 제2 노드의 전위에 의해 구동되어 상기 커패시터를 방전시키고, 상기 프레임 기간들 사이의 블랭킹 기간에는 상기 제1 트랜지스터의 기생 커패시터를 방전시켜 상기 제1 트랜지스터를 턴오프시키기 위한 제5 트랜지스터;

제1 전극이 상기 제2 전원전압에 연결되고, 제2 전극이 상기 제2 노드에 연결되며, 상기 제2 전원전압에 의해 구동되어 상기 제2 트랜지스터를 턴-온시키기 위한 제6 트랜지스터; 및

제1 전극이 상기 제2 노드에 연결되고, 제2 전극이 상기 제1 전원전압과 연결되며, 상기 제1 노드의 전위에 의해 구동되어 상기 제2 트랜지스터를 턴-오프시키기 위한 제7 트랜지스터를 구비하고,

상기 제7 트랜지스터의 폭과 길이의 비는 상기 제1 트랜지스터의 폭과 길이의 비의 1/40배보다 작은 것을 특징으로 하는 쉬프트 레지스터.

**청구항 8**

제7항에 있어서, 상기 제7 트랜지스터는 길이가 5 $\mu$ m일 때, 폭이 300 ~ 75 $\mu$ m의 범위 내의 값을 갖는 것을 특징으로 하는 쉬프트 레지스터.

**청구항 9**

제7항에 있어서, 상기 제2 트랜지스터의 폭과 길이의 비는 상기 제1 트랜지스터의 폭과 길이의 비보다 작은 것을 특징으로 하는 쉬프트 레지스터.

**청구항 10**

투명기관 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀 어레이 회로는 대응하는 데이터

및 게이트 라인 쌍에 연결된 액정표시장치에 있어서,

상기 게이트 구동회로는 복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지의 입력단자에는 개시신호가 결합되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성되고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭과 위상이 반전된 제 2 클럭이 제공되며,

상기 각 스테이지는,

이전 스테이지의 출력단자에 연결된 입력단자;

대응하는 게이트 라인에 연결된 출력단자;

다음 스테이지의 출력단자에 연결된 제어단자;

대응하는 클럭이 입력되는 클럭단자;

상기 클럭단자와 상기 출력단자와의 사이에 연결되고, 턴온시에 상기 클럭의 듀티 기간동안 상기 대응하는 게이트 라인을 풀업시키기 위한 풀업수단;

상기 출력단자와 제1 전원전압과의 사이에 연결되고, 턴온시에 상기 대응하는 게이트 라인을 상기 제1 전원전압으로 풀다운시키기 위한 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 상기 입력단자로 공급되는 입력신호의 선단에 응답하여 상기 풀업수단을 턴온시키고, 상기 제어단자로 공급되는 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴오프시키며, 하나의 화면을 구현하는 프레임 기간들 사이에 존재하는 블랭킹 기간에서 상기 풀업수단을 방전시켜 상기 풀업수단에 잔류하고 있는 기생 커패시터를 방전시켜 상기 풀업수단을 완전하게 턴오프시키기 위한 풀업구동수단; 및

상기 풀다운 수단의 입력노드에 연결되고, 상기 풀업수단의 입력 노드와 연결되어 상기 입력신호의 선단에 응답하여 상기 풀다운 수단을 턴오프시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀다운 수단을 턴온시키기 위한 풀다운 구동수단을 포함하는 것을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 쉬프트 레지스터 및 이를 갖는 액정표시장치에 관한 것으로, 더욱 상세하게는 표시특성을 향상시킬 수 있는 쉬프트 레지스터 및 이를 갖는 액정표시장치에 관한 것이다.
- <11> 최근 들어 정보처리장치는 다양한 형태, 다양한 기능, 더욱 빨라진 정보처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리장치에서 처리된 정보를 육안으로 확인하기 위해서 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.
- <12> 최근에 액정표시장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도, 저전력 및 친환경적인 이점을 가지며 풀 컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.
- <13> 액정표시장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용한 디스플레이이다.
- <14> 액정표시장치는 크게 TN(Twisted Nematic) 방식과 STN(Super-Twisted Nematic) 방식으로 나뉘고, 구동방식의 차이로 스위칭 소자 및 TN 액정을 이용한 액티브 매트릭스(Active matrix) 표시방식과 STN 액정을 이용한 패시브 매트릭스(passive matrix) 표시방식이 있다.
- <15> 이 두 방식의 큰 차이점은 액티브 매트릭스 표시방식은 TFT-LCD에 사용되며, 이것은 TFT를 스위치로 이용하여 LCD를 구동하는 방식이며, 패시브 매트릭스 표시방식은 트랜지스터를 사용하지 않기 때문에 이와 관련한 복잡한

회로를 필요로 하지 않는다.

- <16> TFT-LCD는 a-Si TFT LCD와, poly-Si TFT LCD로 구분된다. poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 a-Si TFT와 비교하여 TFT 제조 공정이 복잡한 단점이 있다. a-Si TFT LCD는 대면적에 용이하고 수율이 높아서 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.
- <17> 도 1은 종래의 a-si TFT LCD를 나타낸 평면도이다.
- <18> 도 1을 참조하면, a-Si TFT LCD는 연성 인쇄회로기판(32) 상에 COF(CHIP ON FILM)방식으로 데이터 구동칩(34)을 형성하고, 연성 인쇄회로기판(32)을 통하여 데이터 인쇄회로기판(36)과 픽셀 어레이의 데이터 라인 단자부를 연결한다. 또한, 연성 인쇄회로기판(38) 상에 COF 방식으로 게이트 구동칩(40)을 형성하고, 연성 인쇄회로기판(40)을 통하여 게이트 인쇄회로기판(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.
- <19> 또한, 최근에는 게이트 전원 공급부를 데이터 인쇄회로기판에 실장하는 통합 인쇄회로기판 기술을 채용하여 게이트 인쇄회로기판을 제거하는 기술이 소개되고 있다. 본 출원인이 선출원한 한국특허 공개번호 2000-66493호에 서는 게이트 인쇄회로기판을 제거한 통합 인쇄회로기판을 채용한 LCD 모듈을 개시한다.
- <20> 그러나, 통합 인쇄회로기판을 채용하더라도 게이트 구동회로가 형성된 연성 인쇄회로기판은 그대로 사용한다. 따라서, 복수의 연성 인쇄회로기판들을 유리기판에 조립하는 공정을 수행하기 때문에 a-Si TFT LCD는 poly-Si TFT LCD에 비하여 OLB(OUTER LEAD BONING) 공정이 복잡하여 제조원가 비싸지게 된다.
- <21> 그러므로, 최근에는 a-Si TFT LCD에서도 poly-Si TFT LCD와 같이 유리기판 상에 데이터 구동회로 및 게이트 구동회로를 픽셀 어레이와 동시에 형성함으로써 조립공정의 수를 감소하고자 하는 기술 개발에 힘쓰고 있다.
- <22> 그러나, a-si TFT LCD가 화면이 대형화되거나 또는 높은 해상도를 갖는 방향으로 개발됨에 따라 상기 유리기판에 집적된 종래의 게이트 구동회로로 상기 화면을 구동하는 데에는 다음과 같은 문제점이 발생한다.
- <23> 먼저, 화면이 대형화되거나, 해상도가 높아지면, 그만큼 상기 a-si TFT LCD에 형성된 게이트 라인 및 화소들의 수도 증가한다. 그러나, 상기 게이트 라인의 수가 증가되더라도, 하나의 화면을 구현하는 프레임 기간은 고정되어 있다. 따라서, 정해진 기간 안에 모든 게이트 라인에 하이 전압레벨 구간을 갖는 게이트 구동신호를 인가하기 위해서는, 하이 전압레벨 구간의 폭이 좁은 게이트 구동신호를 상기 게이트 라인에 인가해야한다.
- <24> 그럼에도 불구하고, 상기 게이트 라인 및 액정 커패시터의 수가 증가함에 따라, 상기 게이트 구동회로부터 멀어질수록 RC 딜레이는 커지게 된다. 이러한 이유 때문에 상기 액정표시장치의 표시특성이 저하되는 문제가 발생된다.
- <25> 따라서, 상기 게이트 구동신호를 최소한의 딜레이로 게이트 라인에 전달할 수 있는 구조가 필요하다.

**발명이 이루고자 하는 기술적 과제**

- <26> 따라서, 본 발명의 목적은 대형 또는 고해상도를 갖는 액정표시장치의 표시특성을 향상시킬 수 있는 쉬프트 레지스터를 제공하는 것이다.
- <27> 본 발명의 다른 목적은 표시특성을 향상시킬 수 있는 쉬프트 레지스터를 갖는 대형 또는 고해상도의 액정표시장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <28> 상술한 목적을 달성하기 위한 본 발명에 따른 쉬프트 레지스터는, 복수의 스테이지들이 종속적으로 연결되고, 첫 번째 스테이지의 입력단자에는 개시신호가 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력한다.
- <29> 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭의 반전된 위상을 갖는 제2 클럭이 제공된다.
- <30> 이때, 상기 각 스테이지는
- <31> 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부, 상기 출력단자에 제1 전원전압을 제공하는 풀다운부, 상기 풀업부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀업부를 턴온시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴오프시키며, 하나의 화면을 구현하는 프레임 기간들 사이에 존재하는 블랭킹 기간에서 상기 풀업부에 잔류하는 기생 커패시터를 방전시켜 상기 풀업부를 완전

하게 턴오프시키기 위한 풀업 구동부 및 상기 풀다운부의 입력노드에 연결되고, 상기 풀업부의 입력 노드와 연결되어 상기 풀다운부를 턴오프시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀다운부를 턴온시키는 풀다운 구동부를 구비한다.

- <32> 상술한 목적을 달성하기 위한 본 발명에 따른 쉬프트 레지스터는, 복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지의 입력단자에는 개시신호가 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력한다.
- <33> 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭의 반전된 위상을 갖는 제2 클럭이 제공된다.
- <34> 이때, 상기 각 스테이지는,
- <35> 제1 단에는 대응되는 클럭이 연결되고, 제2 단에는 출력단자가 연결되며, 제1 노드의 전위에 의해 구동되어, 상기 클럭을 상기 출력단자에 제공하기 위한 제1 트랜지스터, 제1 단에 출력단자가 연결되고, 제2 단에 제1 전원전압이 연결되며, 제2 노드의 전위에 의해 구동되어 상기 출력단자로부터 출력되는 출력신호를 상기 제1 전원전압 레벨로 다운시키기 위한 제2 트랜지스터, 상기 제1 노드와 상기 출력단자와의 사이에 연결되어 입력신호에 의해 상기 제1 트랜지스터를 턴-온시키기 위한 커패시터, 제1 단이 제2 전원전압에 연결되고, 제2 단이 상기 제1 노드에 연결되며, 상기 입력신호에 의해 구동되어 상기 커패시터를 충전시키기 위한 제3 트랜지스터, 제1 단이 상기 제1 노드에 연결되고, 제2 단이 상기 제1 전원전압에 연결되며, 상기 다음 스테이지의 출력신호에 의해 구동되어 상기 제1 트랜지스터를 턴-오프시키기 위한 제4 트랜지스터, 제1 단이 상기 제1 노드에 연결되고, 제2 단이 제3 전원전압에 연결되며, 화면을 구현하는 프레임 기간에는 상기 제2 노드의 전위에 의해 구동되어 상기 커패시터를 방전시키고, 상기 프레임 기간들 사이의 블랭킹 기간에는 상기 제1 트랜지스터의 기생 커패시터를 방전시켜 상기 제1 트랜지스터를 턴오프시키기 위한 제5 트랜지스터, 제1 단이 상기 제2 전원전압에 연결되고, 제2 단이 상기 제2 노드에 연결되며, 상기 제2 전원전압에 의해 구동되어 상기 제2 트랜지스터를 턴온시키기 위한 제6 트랜지스터 및 제1 단이 상기 제2 노드에 연결되고, 제2 단이 상기 제1 전원전압과 연결되며, 상기 제1 노드의 전위에 의해 구동되어 상기 제2 트랜지스터를 턴오프시키기 위한 제7 트랜지스터를 구비한다.
- <36> 여기서, 상기 제7 트랜지스터의 폭과 길이의 비는 상기 제1 트랜지스터의 폭과 길이의 비의 1/40배보다 작다.
- <37> 상술한 다른 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀 어레이 회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된다.
- <38> 상기 게이트 구동회로는 복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지의 입력단자에는 개시신호가 결합되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성되고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭과 위상이 반전된 제 2 클럭이 제공된다.
- <39> 상기 쉬프트 레지스터의 상기 각 스테이지는,
- <40> 이전 스테이지의 출력단자에 연결된 입력단자, 대응하는 게이트 라인에 연결된 출력단자, 다음 스테이지의 출력단자에 연결된 제어단자, 대응하는 클럭이 입력되는 클럭단자, 상기 클럭단자와 상기 출력단자와의 사이에 연결되고, 턴온시에 상기 클럭의 듀티 기간동안 상기 대응하는 게이트 라인을 풀업시키기 위한 풀업부, 상기 출력단자와 제1 전원전압과의 사이에 연결되고, 턴온시에 상기 대응하는 게이트 라인을 상기 제1 전원전압으로 풀다운시키기 위한 풀다운부, 상기 풀업부의 입력노드에 연결되고, 상기 입력단자로 공급되는 입력신호의 선단에 응답하여 상기 풀업부를 턴온시키고, 상기 제어단자로 공급되는 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴오프시키며, 하나의 화면을 구현하는 프레임 기간들 사이에 존재하는 블랭킹 기간에서 상기 풀업부를 방전시켜 상기 풀업부에 잔류하고 있는 기생 커패시터를 방전시켜 상기 풀업부를 완전하게 턴오프시키기 위한 풀업 구동부 및 상기 풀다운부의 입력노드에 연결되고, 상기 풀업부의 입력 노드와 연결되어 상기 입력신호의 선단에 응답하여 상기 풀다운부를 턴오프시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀다운부를 턴온시키기 위한 풀다운 구동부를 포함한다.
- <41> 본 발명에 따르면, 상기 쉬프트 레지스터의 각 스테이지의 풀업부 및 풀다운부에 이용되는 트랜지스터들의 폭/길이의 값을 크게 증가시켜, 상기 액정표시장치의 화면이 대형화되거나 또는 높은 해상도를 갖을 때, 발생하는 RC 딜레이를 최소화한다. 이때, 상기 풀업 구동부는 상기 프레임 기간동안에는 상기 제1 전원전압과 동일한 전압레벨을 갖고, 상기 프레임 기간 사이의 블랭킹 기간동안에는 상기 제1 전원전압보다 낮은 전압레벨을 갖는 제

2 전원전압과 결합되어 있다.

- <42> 따라서, 상기 풀업 구동부는 상기 프레임 기간동안에는 다음 스테이지의 선단에 응답하여 상기 풀업부를 턴오프시키고, 상기 블랭킹 기간동안에는 상기 풀업부에 잔류하는 기생 커패시터를 방전시켜 상기 풀업부를 완전하게 턴오프시킨다.
- <43> 이로써, 화면이 대형화되고, 고해상도를 갖는 액정표시장치의 표시 특성을 향상시킬 수 있다.
- <44> 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 보다 상세하게 설명하고자 한다. 단, 본 발명의 실시예로 제시된 액정표시장치는 대형 또는 고해상도를 구현할 수 있는 액정표시장치임을 밝혀둔다.
- <45> 도 2는 본 발명의 일 실시예에 따른 액정표시장치를 구체적으로 나타낸 분해 사시도이다.
- <46> 도 2를 참조하면, 상기 액정표시장치는 TFT 기관(300), 컬러필터기관(미도시) 및 상기 TFT 기관(300)과 컬러필터기관과의 사이에 주입된 액정(미도시)으로 이루어진 액정표시패널(미도시)을 구비한다. 상기 액정표시패널은 영상을 표시하기 위한 화면을 구현한다.
- <47> 구체적으로, 도 2에 도시된 바와 같이 상기 TFT 기관(300)은 TFT(110) 및 상기 TFT(110)와 연결된 액정 커패시터(120)로 이루어진 다수의 화소가 매트릭스 형태로 형성된 표시부(100)와 상기 표시부(100)의 주변에서 상기 표시부(100)를 구동하기 위한 구동부(200)로 구분된다. 또한, 상기 표시부(100)에는 로우방향으로 연장된 다수의 게이트 라인(G1~Gn)이 형성되고, 칼럼방향으로 연장된 다수의 데이터 라인(D1~Dm)이 형성되어 있다.
- <48> 이때, 상기 TFT(110)의 게이트 전극(111)은 로우방향으로 상기 게이트 라인(G1~Gn)에 공통적으로 연결되고, 소오스 전극(112)은 칼럼방향으로 상기 데이터 라인(D1~Dm)에 공통적으로 연결된다. 상기 TFT(110)의 드레인 전극(113)은 상기 액정 커패시터(120)와 연결된다.
- <49> 한편, 상기 표시부(100)의 주위에는 게이트 구동회로(210) 및 소오스 구동회로(220)로 이루어진 구동부(200)가 형성되어 있다. 구체적으로, 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(G1~Gn)의 일단과 연결되어 상기 다수의 게이트 라인(G1~Gn)에 순차적으로 게이트 구동신호를 인가한다. 또한, 상기 소오스 구동회로(220)는 상기 다수의 데이터 라인(D1~Dm)의 일단과 연결되어 상기 다수의 데이터 라인(D1~Dm)에 순차적으로 데이터 구동신호를 인가한다.
- <50> 도 3은 도 2에 도시된 게이트 구동회로를 구성하는 쉬프트 레지스터를 나타낸 블록도이다. 도 4는 도 3에 도시된 쉬프트 레지스터의 각 스테이지의 내부 회로를 나타낸 회로도이다. 여기서, 상기 쉬프트 레지스터(211)는 상기 n 개의 게이트 라인(G1~Gn)을 구동하기 위해 n 개의 출력단자(OUT1~OUTn)를 갖는다. 이때, 상기 n은 자연수이며, 그 중에서도 짝수이다.
- <51> 도 3을 참조하면, 상기 게이트 구동회로는 복수의 스테이지(SRC1~SRCn)가 종속 연결된 하나의 쉬프트 레지스터(211)로 이루어진다. 여기서, 각 스테이지(SRC1~SRCn+1)는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 구동전압단자(VSS1), 제2 구동전압단자(VSS2) 및 제3 구동전압단자(VDD)를 갖는다. 각 스테이지는 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결됨과 동시에 이전 스테이지의 제어단자에 연결됨으로써 종속적으로 연결된다.
- <52> 또한, 상기 쉬프트 레지스터(211)는 다수의 게이트 라인(G1~Gn)에 대응하는 n개의 스테이지들(SRC1~SRCn) 이외에 n번째 스테이지(SRCn)의 다음 단계 연결된 하나의 더미 스테이지(SRCn+1)를 더 포함한다.
- <53> 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 개시신호(ST)가 입력된다. 각 스테이지의 출력신호(OUT1~OUTn)는 대응되는 각 게이트 라인(G1~Gn)에 연결된다. 홀수번째 스테이지(예를 들어, SRC1, SRC3)들에는 제1 클럭(CK)이 제공되고, 짝수번째 스테이지(예를 들어, SRC2, SRC4, SRCn)들에는 제2 클럭(CKB)이 제공된다. 이때, 제1 클럭(CK)과 제2 클럭(CKB)은 서로 반대되는 위상을 갖는다.
- <54> 각 스테이지(예를 들어, SRC1, SRC2, SRC3)의 제어단자(CT)에는 다음 스테이지(예를 들어, SRC2, SRC3, SRC4)의 출력신호(OUT2, OUT3, OUT4)가 제어신호로 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 이전 스테이지의 출력신호를 로우 레벨로 다운시키기 위해 사용된다.
- <55> 따라서, 각 스테이지(SRC1~SRCn)의 출력신호들이 순차적으로 액티브 구간(하이상태)을 가짐으로써, 각 출력신호의 액티브 구간에서 대응되는 각 게이트 라인(G1~Gn)이 순차적으로 선택된다.
- <56> 이하, 상기 쉬프트 레지스터(211)를 구성하는 각 스테이지(SRC1~SRCn+1)의 구조에 대해서 설명한다. 단, 상기

각 스테이지(SRC1~SRCn+1)의 구조는 거의 동일함으로, i 번째 스테이지(SRCi)를 예로써 설명함으로써 모든 스테이지(SRC1~SRCn+1)의 설명을 대신한다. 여기서, i는 1부터 n까지에 있는 어느 하나의 자연수이다.

- <57> 도 4를 참조하면, 상기 쉬프트 레지스터(211)의 i 번째 스테이지(SRCi)는 풀업부(211a), 풀다운부(211b), 풀업 구동부(211c) 및 풀다운 구동부(211d)로 이루어진다.
- <58> 상기 풀업부(211a)는 드레인이 클럭 입력단자(CK)에 연결되고, 소오스가 출력단자에 연결되어, 제1 노드(N1)의 전위에 따라 구동되는 제1 NMOS 트랜지스터(NT1)로 이루어진다. 상기 풀다운부(211b)는 드레인이 상기 출력단자(OUTi)에 연결되고, 소오스가 제1 구동전압(VSS1)에 연결되어, 제2 노드(N2)의 전위에 따라 구동되는 제2 NMOS 트랜지스터(NT2)로 구성된다.
- <59> 상기 풀업 구동부(211c)는 제1 커패시터(C1), 제3 내지 제5 NMOS 트랜지스터(NT3~NT5)로 이루어진다. 상기 제1 커패시터(C1)는 상기 제1 노드(N1)와 상기 출력단자(OUT)와의 사이에 연결된다.
- <60> 상기 제3 NMOS 트랜지스터(NT3)는 드레인이 제3 구동전압(VDD)에 연결되고, 소오스가 상기 제1 노드(N1)에 연결되어, 입력단자(IN)로부터 입력되는 입력신호에 의해 구동된다. 상기 제4 NMOS 트랜지스터(NT4)는 드레인이 상기 제1 노드(N1)에 연결되고, 소오스가 제1 구동전압(VSS1)에 연결되어 제어단자(CT)로부터 입력되는 제어신호에 의해 구동된다. 상기 제5 NMOS 트랜지스터(NT5)는 드레인이 상기 제1 노드(N1)에 연결되고, 소오스가 제2 구동전압(VSS2)에 연결되어, 상기 제2 노드(N2)의 전위에 따라 구동된다.
- <61> 상기 제1 구동전압(VSS1)은 항상 접지레벨로 고정되어 있다. 한편, 상기 제2 구동전압(VSS2)은 프레임(frame) 기간은 동안에서는 상기 제1 구동전압(VSS1)과 동일한 전압레벨을 갖고, 상기 프레임 기간들 사이에 존재하는 블랭킹(blanking) 기간에서는 상기 제1 구동전압(VSS1)보다 낮은 전압레벨을 갖는다. 여기서, 상기 프레임 기간은 상기 화면을 구현하기 위해서 상기 게이트 구동회로로부터 상기 게이트 라인에 게이트 구동전압이 인가되는 기간이고, 상기 블랭킹 기간은 상기 게이트 구동회로로부터 상기 게이트 라인에 게이트 구동전압이 인가되지 않는 기간이다.
- <62> 구체적으로, 상기 제5 NMOS 트랜지스터(NT5)의 드레인 단자에는 제1 전원전압(VSS1) 및 제2 전원전압(VSS2)이 각각 인가되는 스위칭부(미도시)가 상기 프레임 기간에는 상기 스위칭부로부터 제1 전원전압(VSS1)을 인가받고, 상기 블랭킹 기간에는 상기 제2 전원전압(VSS2)을 인가받는다.
- <63> 여기서, 상기 제2 구동전압(VSS2)은 상기 블랭킹 기간에서 상기 제1 구동전압(VSS1)보다 상기 제5 NMOS 트랜지스터(NT5)의 문턱전압의 절대치만큼 낮은 전압레벨을 갖는 것이 바람직하다.
- <64> 상기 풀다운 구동부(211d)는 제6 및 제7 NMOS 트랜지스터들(NT6, NT7)로 구성된다. 상기 제6 NMOS 트랜지스터(NT6)는 드레인이 상기 제3 구동전압(VDD)에 연결되고, 소오스가 상기 제2 노드(N2)에 연결되어 상기 제3 구동전압(VDD)에 의해 구동된다. 상기 제7 NMOS 트랜지스터(NT7)는 드레인이 상기 제2 노드(N2)에 연결되고, 소오스가 상기 제1 구동전압(VSS1)에 연결되어 상기 제1 노드(N1)의 전위에 따라 구동된다.
- <65> 상기 풀업 구동부(211c)의 상기 커패시터(C)가 하이 전압레벨 구간을 갖고 발생된 이전 스테이지의 출력신호에 의해 구동되는 상기 제3 NMOS 트랜지스터(NT3)를 통하여 충전된다. 상기 커패시터(C)의 충전전압이 상기 제1 NMOS 트랜지스터(NT1)의 게이트와 소오스 사이의 문턱전압 이상으로 충전되면, 상기 제1 NMOS 트랜지스터(NT1)가 턴-온되어, 상기 제1 클럭(CK)의 하이 전압레벨 구간이 상기 출력단자(OUTi)에 나타난다.
- <66> 이와 동시에 턴-온 상태에 있는 상기 제3 NMOS 트랜지스터(NT3)를 통해 제공되는 상기 제3 구동전압(VDD)에 의해 상기 제7 NMOS 트랜지스터(NT7)가 턴-온되고, 상기 제 5 및 제2 NMOS 트랜지스터(NT5, NT2)가 턴-오프 상태를 유지한다. 따라서, 상기 제1 클럭(CK)이 상기 제1 NMOS 트랜지스터(NT1)를 통해 상기 출력단자(OUTi)로 출력된다.
- <67> 상기 출력단자(OUTi)에 상기 제1 클럭(CK)의 하이 전압레벨 구간이 나타나기 시작하면, 이 출력전압이 상기 커패시터(C)에 부트스트랩(BOOTSTRAP)되어 상기 제1 NMOS 트랜지스터(NT1)의 게이트 전압이 턴-온 전압(VDD) 이상으로 상승하게 된다. 따라서, 상기 제1 NMOS 트랜지스터(NT1)가 완전(FULL)한 도통 상태를 유지한다.
- <68> 여기서, 상기 제1 NMOS 트랜지스터(NT1)는 상기 제1 클럭(CK)을 상기 출력단자(OUTi)에 출력시키는 역할을 한다. 상기 출력단자(OUTi)에 상기 제1 클럭(CK)의 하이 전압레벨을 단시간에 출력시키기 위해서는 상기 제1 NMOS 트랜지스터(NT1)의 사이즈를 크게 형성하는 것이 바람직하다.
- <69> 이후, 하이 전압레벨 구간을 갖고 발생된 다음 스테이지의 출력신호가 제어신호로써 상기 제어단자(CT)를 통해

입력되면, 상기 제4 NMOS 트랜지스터(NT4)가 턴-온되어, 상기 제1 및 제7 NMOS 트랜지스터(NT1, NT7)를 턴-오프시킨다. 동시에 상기 제6 NMOS 트랜지스터(NT6)를 통해 상기 제2 노드(N2)의 전위가 상승함으로써, 상기 제5 NMOS 트랜지스터(NT5)가 턴-온된다. 이후, 상기 커패시터(C)에 충전된 전하는 상기 제5 NMOS 트랜지스터(NT5)를 통해 상기 제2 구동전압(VSS2)으로 방전된다. 이 기간은 상기 각 스테이지로부터 게이트 구동전압이 출력되는 프레임 기간동안이므로, 상기 제2 구동전압(VSS2)은 접지레벨을 유지하고 있다.

<70> 또한, 상기 제2 노드(N2)의 전위가 상승됨에 따라 상기 제2 NMOS 트랜지스터(NT2)가 턴-온되고, 상기 출력단자(OUTi)의 전압은 상기 제2 NMOS 트랜지스터(NT2)를 통해 상기 제1 구동전압(VSS1)으로 방전된다. 따라서, 상기 출력단자(OUTi)에는 상기 제1 구동전압(VSS1)이 출력신호로써 출력된다.

<71> 여기서, 상기 제2 NMOS 트랜지스터(NT2)는 상기 출력단자(OUTi)로부터 출력되는 출력신호의 하이 전압레벨을 접지레벨로 전환시킨다. 이때, 상기 출력신호를 하이 전압레벨에서 접지레벨로 빠르게 전환시키기 위해서는 상기 제2 NMOS 트랜지스터(NT2)의 사이즈를 크게하는 것이 바람직하다.

<72> 이와 같이, 상기 쉬프트 레지스터(211)의 각 스테이지(SRC1~SRCn)가 순차적으로 구동되어 상기 다수의 게이트 라인(G1~Gn)에 순차적으로 게이트 구동전압을 인가하여 한 프레임 기간동안 하나의 화면을 구현한다. 그러나, 한 프레임 기간 동안에 상기 각 스테이지(SRC1~SRCn)의 제1 노드(N1)에는 상기 제1 NMOS 트랜지스터(NT1)에 잔류에 있는 기생 커패시터(Cgs)에 의해 기생 전류가 흐른다. 이러한 기생 전류는 상기 각 스테이지(SRC1~SRCn)의 출력단자와 연결된 상기 제1 NMOS 트랜지스터(NT1)에 영향을 주어 상기 각 출력단자로부터 소정의 신호가 한 프레임 기간 동안 계속 출력된다. 따라서, 화면이 일그러지는 현상을 발생된다.

<73> 이러한 현상을 해결하기 위해, 상기 한 프레임 기간이 끝나고, 상기 블랭킹 기간에 상기 제5 NMOS 트랜지스터(NT5)의 소오스 단자와 결합된 제2 구동전압단자(VSS2)에 상기 제1 구동전압(VSS1)보다 낮은 전압레벨을 인가한다. 따라서, 상기 제5 NMOS 트랜지스터(NT5)를 통해 상기 제1 NMOS 트랜지스터(NT1)의 기생 커패시터(Cgs)를 방전시킨다. 이로써, 상기 제1 NMOS 트랜지스터(NT1)을 완전하게 턴-오프시킨다.

<74> 상기 제1 NMOS 트랜지스터(NT1)의 기생 커패시터(Cgs)는 상기 제1 NMOS 트랜지스터(NT1)의 사이즈가 증가되면 될수록 상기 출력신호에 더 큰 영향을 끼친다. 따라서, 상기 제5 NMOS 트랜지스터(NT5)에 상기 제2 전원전압(VSS2)을 인가하는 구조는 상기 대형 또는 고해상도를 갖는 액정표시패널을 구동하는 쉬프트 레지스터에 적용되는 것이 더욱 바람직하다.

<75> 상기 쉬프트 레지스터(211)에 사용되는 각 트랜지스터(NT1~NT7)의 사이즈에 대해서는 후술하기로 한다.

<76> 도 5는 도 3에 도시된 쉬프트 레지스터의 각 스테이지의 출력 파형도이고, 도 6은 각 스테이지의 출력 파형에 따른 제2 구동전압(VSS2)의 전압레벨을 나타낸 파형도이다.

<77> 단, 도 5 및 도 6에 있어서,  $V_{H}$ 는 하이 전압레벨을 나타내고,  $V_L$ 은 접지레벨을 나타내며,  $V_L'$ 는 상기 접지레벨보다 낮은 로우 전압레벨을 나타낸다.

<78> 도 5를 참조하면, 제1 및 제2 클럭(CK, CKB)과 개시신호(ST)가 상기 쉬프트 레지스터(211)에 공급되면, 첫 번째 스테이지(SRC1)에서는 상기 개시신호(ST)의 선단에 응답하여 상기 제1 클럭(CK)의 하이 전압레벨( $V_H$ ) 구간이 제1 출력신호(OUT1)로 발생된다. 이후, 두 번째 스테이지(SRC2)에서는 상기 첫 번째 스테이지(SRC1)의 제1 출력신호(OUT1)에 응답하여, 상기 제2 클럭(CKB)의 하이 전압레벨( $V_H$ ) 구간이 제2 출력신호(OUT2)로 발생된다. 또한, 세 번째 스테이지(SRC3)에서는 상기 두 번째 스테이지(SRC2)의 제2 출력신호(OUT2)에 응답하여, 상기 제1 클럭(CK)의 하이 전압레벨( $V_H$ ) 구간이 제3 출력신호(OUT3)로 발생된다. 이와 같이, 각 스테이지의 출력단자(OUT)에는 제1 내지 제n 출력신호(OUT1~OUTn)가 순차적으로 하이 전압레벨( $V_H$ ) 구간을 갖고 발생된다.

<79> 도 6을 참조하면, 제1 프레임 기간(1st frame)동안 상기 첫 번째 스테이지(SRC1)부터 상기 n 번째 스테이지(SRCn)까지 제1 내지 제n 출력신호(OUT1~OUTn)가 순차적으로 하이 전압레벨( $V_H$ ) 구간을 갖고 발생된다. 상기 제1 프레임 기간(1st frame)동안 상기 제1 구동전압(VSS1)은 접지레벨( $V_L$ )을 유지한다. 또한, 상기 제3 구동전압(VDD)은 항상 하이 전압레벨( $V_H$ )을 항상 유지하고 있다.

<80> 한편, 상기 제2 구동전압(VSS2)은 상기 제1 프레임 기간(1st frame)에는 상기 제1 전원전압(VSS1)과 동일한 접지레벨( $V_L$ )을 유지하고 있다가, 상기 제1 프레임 기간(1st frame)과 제2 프레임 기간(2nd frame)과의 사이에 존

재하는 블랭킹 기간(blanking)에는 상기 제1 구동전압(VSS1)보다 낮은 로우 전압레벨(V<sub>L</sub>)로 다운된다.

<81> 액정표시패널의 화면이 점차 대형화되고, 또한 고해상도를 갖는 화면으로 발전됨에 따라 상기 각 스테이지(SRC1~SRCn)로부터 출력되는 출력신호(OUT1~OUTn)의 하이 전압레벨(V<sub>H</sub>) 구간의 폭이 좁아지고, 상기 게이트 라인(G1~Gn)의 RC 딜레이가 커진다. 이로써, 상기 각 스테이지(SRC1~SRCn)는 상기 게이트 라인(G1~Gn)에 최소한의 RC 딜레이로 상기 출력신호를 인가하기 위해서 종래에 비하여 사이즈가 증가된 트랜지스터들로 구성된다.

<82> 다시 도 4를 참조하면, 상기 제1 내지 제7 NMOS 트랜지스터들(NT1~NT7) 중에서, 상기 제1 NMOS 트랜지스터(NT1)는 상기 게이트 라인(G<sub>i</sub>)에 제1 또는 제2 클럭(CK, CKB)을 인가하고, 상기 제2 NMOS 트랜지스터(NT2)는 상기 게이트 라인(G<sub>i</sub>)에 제1 구동전압(VSS1)을 인가하기 때문에 상기 i 번째 스테이지(SRC<sub>i</sub>)를 구성하는 여타의 트랜지스터들 즉, 제3 내지 제7 NMOS 트랜지스터들(NT3~NT7)보다 사이즈가 더욱 증가된다.

<83> 그러나, 상기 쉬프트 레지스터(211)는 상기 액정표시패널 상에 집적되기 때문에 상기 스테이지(SRC<sub>i</sub>)의 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 사이즈를 무작정 크게 하는 것은 바람직하지 않다.

<84> 이하, <실험예 1>를 참조하여 상기 각 스테이지(SRC1~SRCn)를 구성하는 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 사이즈를 어떻게 설정할 것인지 구체적으로 설명하기로 한다.

<85> <실험예 1>

**표 1**

<86>

	V <sub>H</sub>	V <sub>L</sub>	V <sub>L</sub> '
VSS1	-	0	-
VSS2	-	0	-3
VDD	27.5	-	-
ST	27.5	0	-
CK	27.5	0	-
CKB	27.5	0	-

**표 2**

<87>

TFT	TFT3	TFT4	TFT5	TFT6	TFT7
W/L	200u/5u	200u/5u	100u/u	20u/8u	200u/5u

<88> <표 1>은 각 스테이지에 결합된 6 단자들의 전압레벨을 각각 나타낸 것이고, <표2>는 제3 내지 제7 NMOS 트랜지스터(NT3~NT7)의 사이즈를 나타낸 것이다. 또한, 상기 <실험예 1>에서는 150XGA의 해상도를 갖고, 6440Ω의 저항과 233pF의 정전용량을 갖는 게이트 라인이 형성되며, 한 프레임 기간이 1/60μs인 액정표시패널을 사용하여 실험하였다. 이때, 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 제1 및 제2 길이(L1, L2)를 각각 5μm로 고정시키고, 제1 및 제2 폭(W1, W2)을 변경해가면서 클럭신호(CK)의 하이 전압레벨 구간에 대응하여 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)를 통해 출력되는 게이트 출력신호가 10%에서 90%까지 충전되는데 걸리는 충전시간(Tr)을 측정해 보았다.

**표 3**

<89>

W1, W2(μm)	Tr(μs)
3000	8.16
4000	6.23
5000	5.16
6000	4.49
7000	4.02
8000	3.69
9000	3.44
10000	3.26

- <90> <표 3>은 상기 <실험예 1>의 결과를 나타낸 것이다.
- <91> 도 7은 <표 3>에서 제시된 제1 및 제2 NMOS 트랜지스터의 폭에 따라 게이트 출력신호의 충전전압과 충전시간과의 관계를 나타낸 그래프이고, 도 8은 도 9에 도시된 그래프의 결과를 이용하여 충전시간과 폭과의 관계를 나타낸 그래프이다. 단, 도 7에서 X축은 충전시간(Tr)을 나타내고, Y축은 충전전압(V)을 나타내고, 도 8에서 X축은 폭(W)을 나타내고, Y축은 충전시간(Tr)을 나타낸다.
- <92> 도 7 및 <표 3>을 참조하면, 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 폭(W1, W2)이 각각 '3000 $\mu$ m'에서 '10000 $\mu$ m'까지 '1000 $\mu$ m' 단위로 증가시키면서 실험한 결과, 클럭신호(CK)의 하이 전압레벨 구간에 대응하여 게이트 출력신호가 10%에서 90%까지 충전되는데 걸리는 충전시간(Tr)은 점차 감소한다.
- <93> 이 결과를 바탕으로 구현한 도 8에 도시된 그래프를 참조하면, 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 제1 및 제2 폭(W1, W2)이 증가함에 따라 상기 충전시간(Tr)이 점차 감소하다가, 어느 정도 이상에서는 수렴하고 있다.
- <94> 따라서, 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 제1 및 제2 폭(W1, W2)을 증가시키는데 있어서, 상기 충전시간(Tr)과 폭(W)과의 관계를 고려하여 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 제1 및 제2 폭(W1, W2)을 소정의 값 이하로 제한하는 것이 바람직하다. 또한, 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 사이즈가 커지면, 상기 액정표시패널 상에 집적되는 상기 쉬프트 레지스터(211)가 차지하는 면적이 커지고, 그로 인해 상기 액정표시패널의 사이즈가 증가하게 된다. 따라서, 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 사이즈는 어느 정도까지 제한하는 것이 바람직하다.
- <95> 여기서, 가장 적당한 제1 NMOS 트랜지스터(NT1)의 폭/길이(W1/L1)는 9100u/5u이고, 상기 제2 NMOS 트랜지스터(NT2)의 폭/길이(W2/L2)는 4900u/5u이다. 이때, 상기 제1 NMOS 트랜지스터(NT1)에 비하여 상기 제2 NMOS 트랜지스터(NT2)의 폭/길이의 비가 작게 형성된다. 이는 상기 제1 NMOS 트랜지스터(NT1)이 상기 제2 NMOS 트랜지스터(NT2)에 비하여 상기 게이트 출력신호(OUT)에 더 큰 영향을 끼치기 때문이다.
- <96> 한편, 도 6에 도시된 제3 내지 제7 NMOS 트랜지스터들(NT3~NT7)은 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)를 제어하는 역할을 수행함으로써, 상기 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 사이즈가 증가됨에 따라 상기 제3 내지 제7 NMOS 트랜지스터들(NT3~NT7)의 사이즈도 증가된다.
- <97> 여기서, 제4 NMOS 트랜지스터(NT4)는 다음 스테이지의 출력신호를 제어신호로써 인가받아 상기 제1 및 제7 NMOS 트랜지스터(NT1, NT7)를 턴-오프시키는 역할을 한다. 그러나, 상기 제4 NMOS 트랜지스터(NT4)의 사이즈를 다른 트랜지스터들처럼 증가시키면, 상기 제4 NMOS 트랜지스터(NT4)의 기생 커패시터(Cgs)도 역시 증가된다. 상기 기생 커패시터(Cgs)는 제1 노드(N1)의 전위에 영향을 주어 상기 게이트 출력신호(OUT)가 출력될 때, 상기 제어신호(CT)와의 간섭을 발생시킨다.
- <98> 이하, <실험예 2>를 통하여 상기 게이트 출력신호(OUT)와 상기 제어신호와의 간섭을 줄일 수 있는 상기 제4 NMOS 트랜지스터(NT4)의 사이즈가 어느 정도인지 살펴보기로 한다.
- <99> <실험예 2>

**표 4**

<100>	TFT	TFT1	TFT2	TFT3	TFT5	TFT6	TFT7
	W/L	9100u/5u	4900u/5u	300u/5u	150u/5u	30u/8u	300u/5u

- <101> <표 4>는 상기 제4 NMOS 트랜지스터(NT4)를 제외한 나머지 트랜지스터(NT1, NT2, NT3, NT5, NT6, NT7)의 사이즈를 나타낸 것이다.
- <102> 도 9는 <표 4>에서 제시된 조건에서 상기 제4 NMOS 트랜지스터의 사이즈에 따른 게이트 출력신호와 제어신호와의 간섭을 나타낸 그래프이다. 단, 상기 그래프에서 X축은 시간이고, Y축은 전압이다. 여기서, 상기 제4 NMOS 트랜지스터(NT4)의 길이(L4)는 5 $\mu$ m로 고정시키고, 폭(W4)을 '300 $\mu$ m', '200 $\mu$ m', '150 $\mu$ m', '100 $\mu$ m', '75 $\mu$ m', '50 $\mu$ m'로 변경해가면서 실험하였다.
- <103> 도 9를 참조하면, 상기 제4 NMOS 트랜지스터(NT4)의 폭(W4)이 작아질수록 상기 게이트 출력신호(OUT)의 하강에

지에서 상기 제어신호(CT)와의 간섭이 줄어든다. 뿐만 아니라, 상기 제4 NMOS 트랜지스터(NT4)의 폭(W4)이 점차 좁아짐에 따라, 상기 게이트 출력신호(OUT)의 딜레이에는 큰 변화가 없는 것으로 나타난다. 따라서, 상기 제4 NMOS 트랜지스터(NT4)의 폭(W4)은 작게 형성하는 것이 바람직하다.

<104> 그러나, 상기 제4 NMOS 트랜지스터(NT4)의 폭(W4)이 '50 $\mu$ m'일 때, 상기 게이트 출력신호(OUT)는 상기 다음 스테이지의 출력신호에 영향을 미치므로, 상기 제4 NMOS 트랜지스터(NT4)는 '50 $\mu$ m'보다 큰 폭을 유지하는 것이 바람직하다. 따라서, 상기 제4 NMOS 트랜지스터(NT4)의 폭(W4)은 300 $\mu$ m ~ 75 $\mu$ m내의 값을 갖는다. 이때, 상기 제4 NMOS 트랜지스터(NT4)의 폭(W4)/길이(L4)는 상기 제1 NMOS 트랜지스터(NT1)의 폭(W1)/길이(L1)보다 약 40배 이상 작은 것이 더욱 바람직하다.

<105> 상기 <실험예 1> 및 <실험예 2>를 참조하여, 본 발명의 일 실시예로 도 6에 도시된 각 트랜지스터의 사이즈를 <표 5>에 제시하였다.

**표 5**

TFT	TFT1	TFT2	TFT3	TFT4	TFT5	TFT6	TFT7
W/L	9100u/5u	4900u/5u	300u/5u	75u/5u	150u/5u	30u/8u	300u/5u

<107> 이로써, 대형이거나 또는 고해상도의 액정표시장치에 적용되는 쉬프트 레지스터에 사용되는 각 트랜지스터들의 사이즈를 크게 하고, 그 중에서도 각 스테이지의 출력신호의 전압레벨을 결정하는 제1 및 제2 NMOS 트랜지스터(NT1, NT2)의 사이즈를 더욱 증가시킨다. 이때, 상기 제4 NMOS 트랜지스터(NT4)의 사이즈는 감소시킨다.

**발명의 효과**

<108> 본 발명에 따르면, 쉬프트 레지스터의 각 스테이지의 풀업부 및 풀다운부에 각각 이용되는 제1 및 제2 트랜지스터들의 폭/길이의 값을 증가시킴으로써, 액정표시장치의 화면이 대형화되거나 또는 높은 해상도를 갖을 때, 발생하는 RC 딜레이를 최소화한다. 이때, 풀업 구동부는 프레임 기간동안에는 제1 전원전압과 동일한 전압레벨을 갖고, 상기 프레임 기간 사이의 블랭킹 기간동안에는 상기 제1 전원전압보다 낮은 전압레벨을 갖는 제2 전원전압과 결합되어 있다.

<109> 따라서, 상기 풀업 구동부는 상기 프레임 기간동안에는 다음 스테이지의 선단에 응답하여 상기 풀업부를 턴오프시키고, 상기 블랭킹 기간동안에는 상기 풀업부에 잔류하는 기생 커패시터를 방전시킴으로써 상기 풀업부를 완전하게 방전시킨다.

<110> 이로써, 화면이 대형화되고, 고해상도를 갖는 액정표시장치의 표시 특성을 향상시킬 수 있다.

<111> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

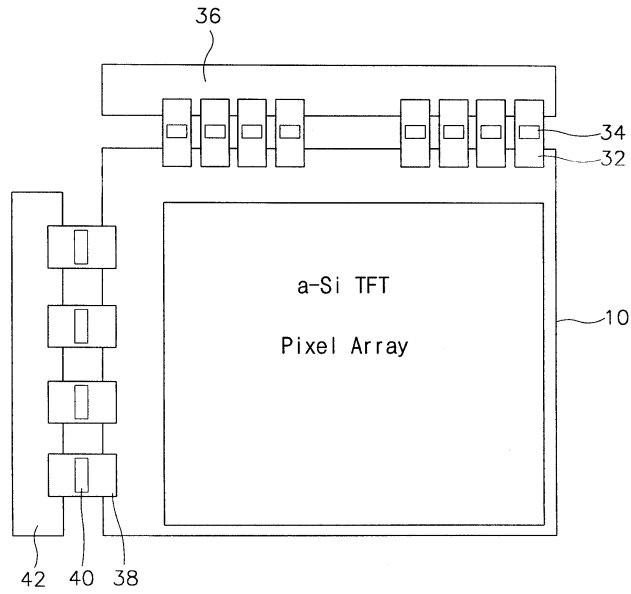
**도면의 간단한 설명**

- <1> 도 1은 종래의 액정표시장치를 나타낸 평면도이다.
- <2> 도 2는 본 발명의 바람직한 일 실시예에 따른 액정표시장치를 구체적으로 나타낸 평면도이다.
- <3> 도 3은 도 2에 도시된 게이트 구동회로를 구성하는 쉬프트 레지스터를 나타낸 블럭도이다.
- <4> 도 4는 도 3에 도시된 쉬프트 레지스터의 각 스테이지의 내부 회로를 나타낸 회로도이다.
- <5> 도 5는 도 3에 도시된 쉬프트 레지스터의 각 스테이지의 출력 파형도이다.
- <6> 도 6은 각 스테이지의 출력 파형에 따른 제2 구동전압(VSS2)의 전압레벨을 나타낸 파형도이다.
- <7> 도 7은 <표 3>에서 제시된 제1 및 제2 NMOS 트랜지스터의 폭에 따른 게이트 출력신호와 충전시간과의 관계를 나타낸 그래프이다.
- <8> 도 8은 도 7에 도시된 그래프의 결과를 이용하여 충전시간과 폭과의 관계를 나타낸 그래프이다.
- <9> 도 9는 <표 4>에서 제시된 조건에서 상기 제4 NMOS 트랜지스터의 폭에 따른 게이트 출력신호와 제어신호와의 간

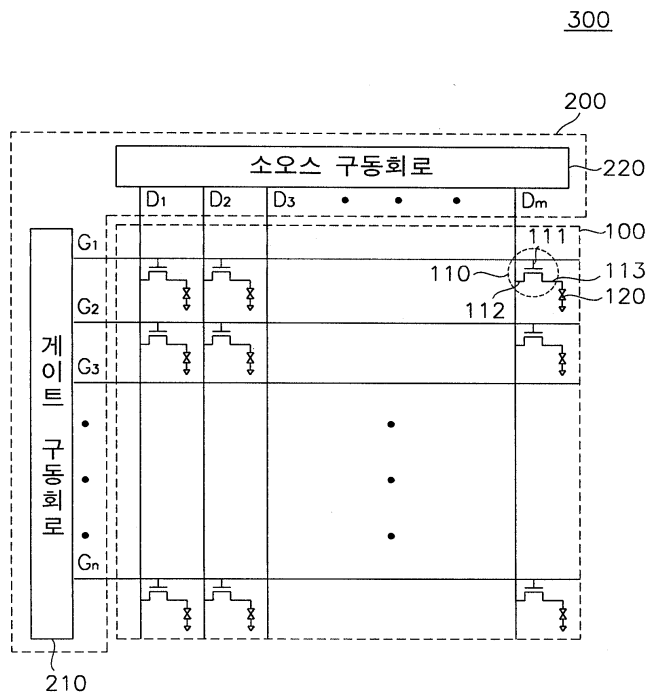
섭을 나타낸 그래프이다.

도면

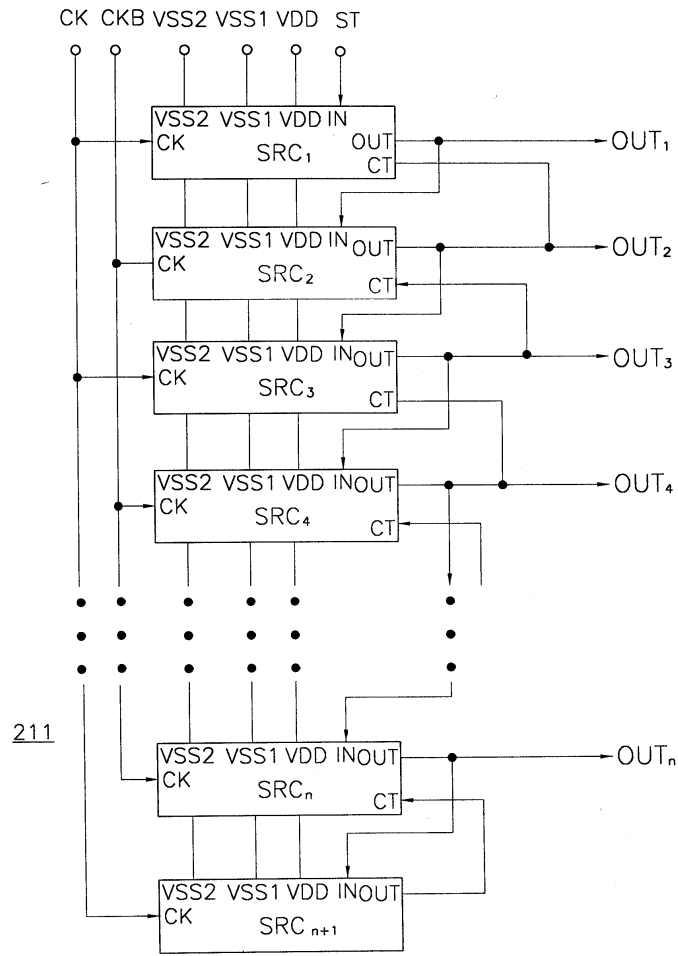
도면1



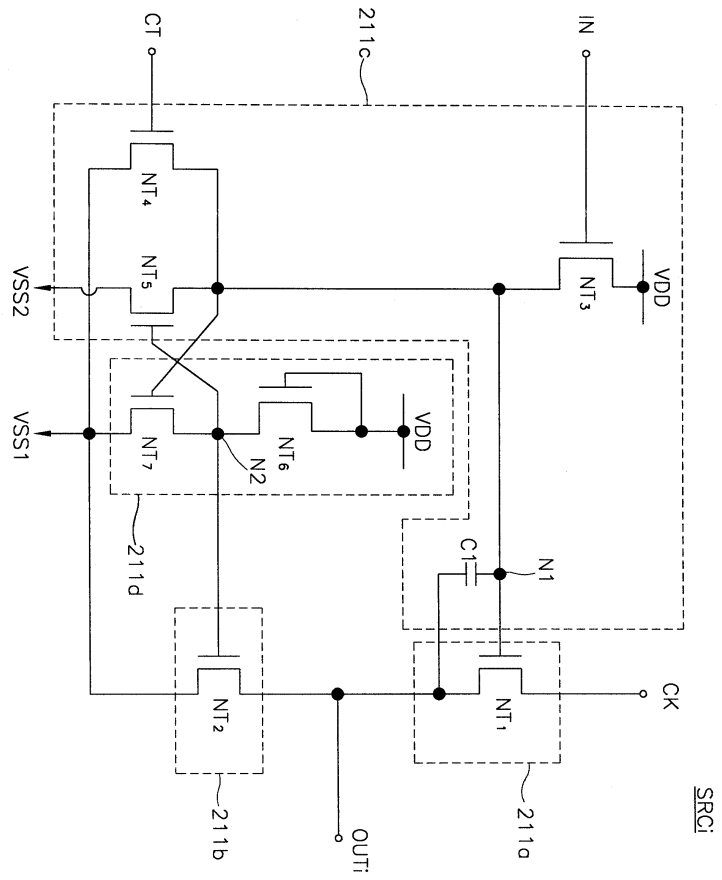
도면2



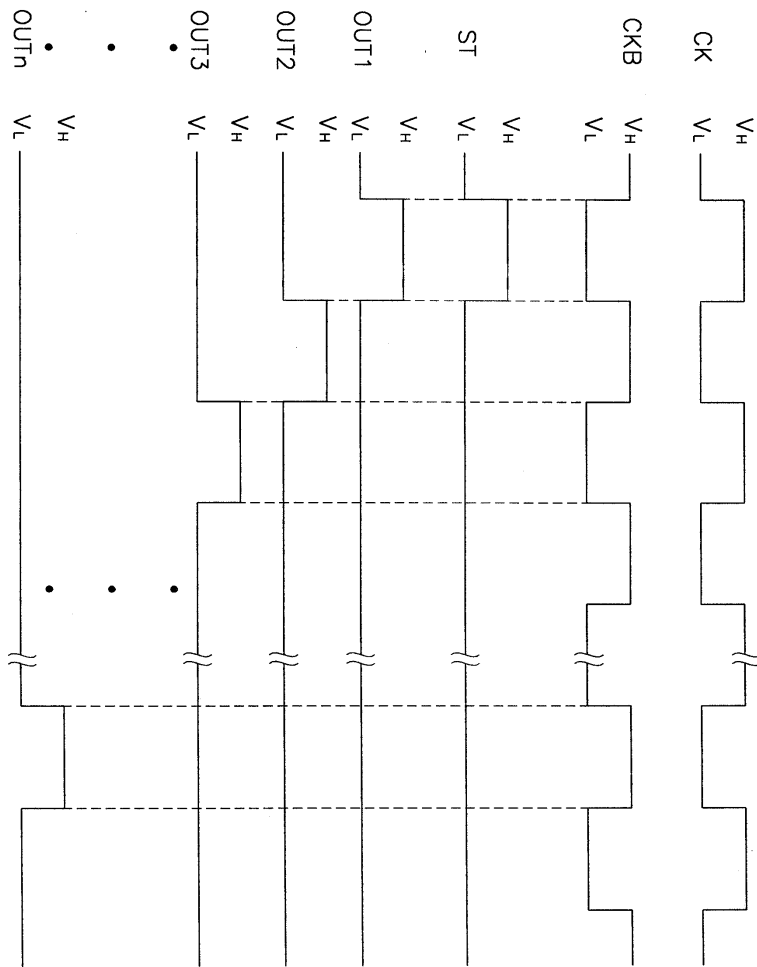
도면3



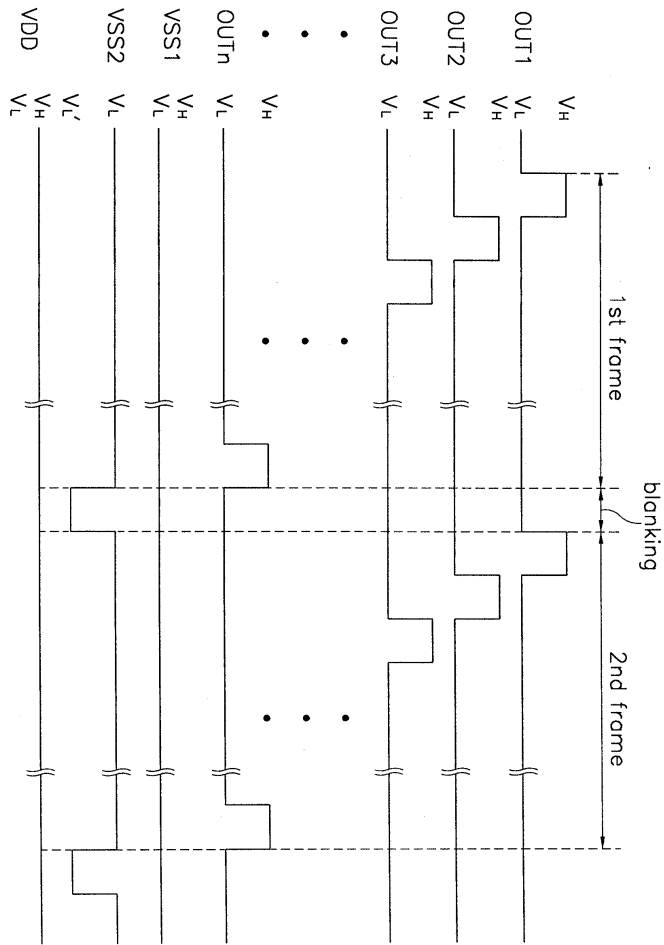
도면4



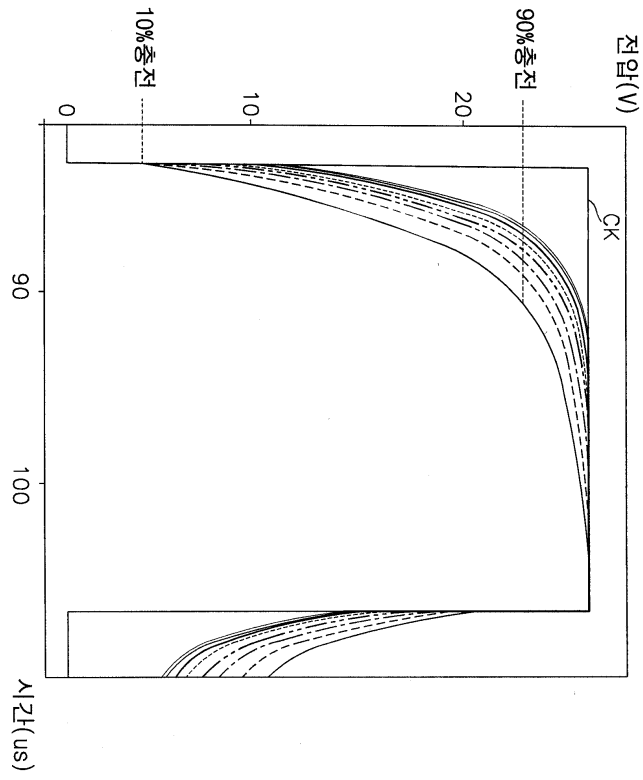
도면5



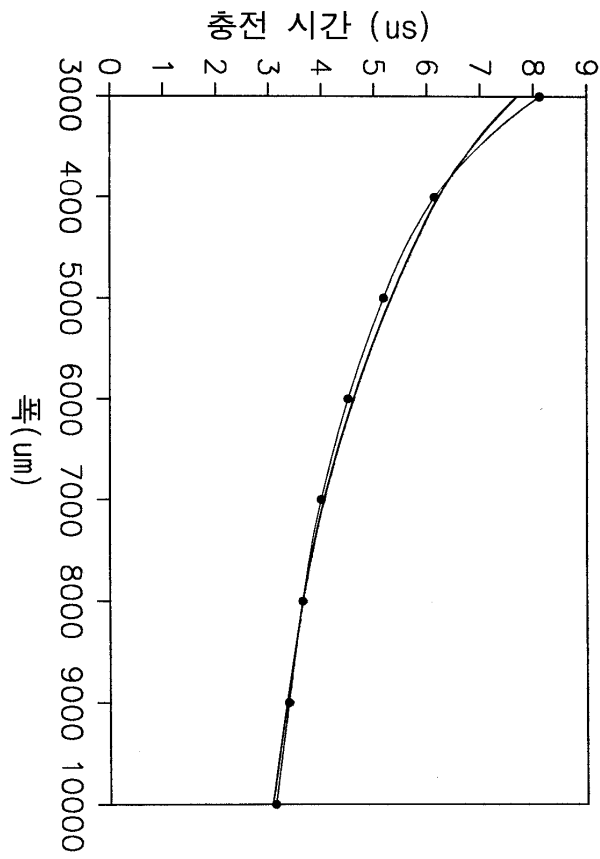
도면6



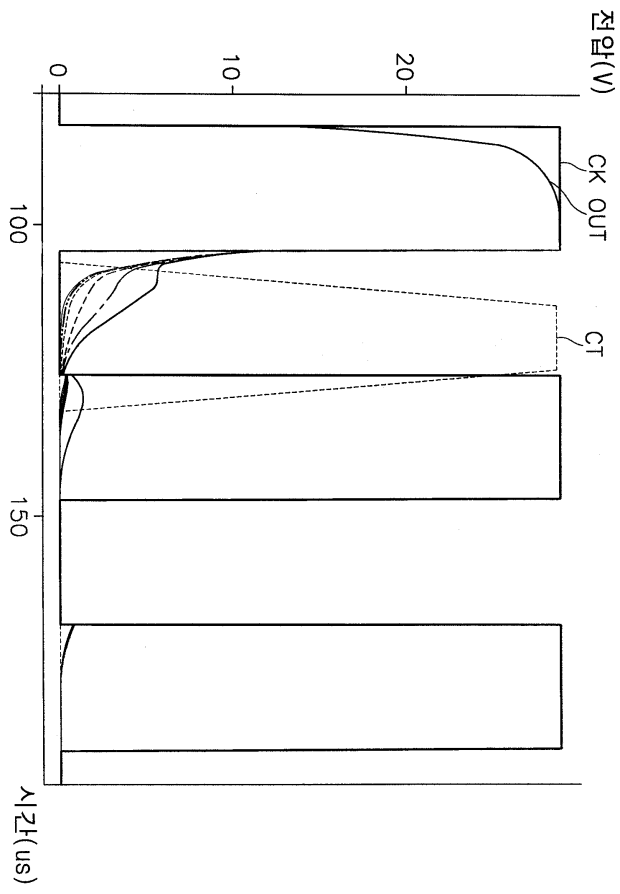
도면7



도면8



도면9



专利名称(译)	移位寄存器和具有它的液晶显示器件		
公开(公告)号	<a href="#">KR100804038B1</a>	公开(公告)日	2008-02-18
申请号	KR1020020018717	申请日	2002-04-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BACKWON 이백원 KIM DONGGYU 김동규		
发明人	이백원 김동규		
IPC分类号	G09G3/36		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020030079569A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种改善指示特性的移位寄存器和具有该移位寄存器的液晶显示器。移位寄存器包括其下级的输出端子中的栅极线，该栅极线是连接的多个级。每个级包括上拉部分，下拉部分和上拉驱动部分，以及下拉驱动部分。这里，它使包括每个部分的晶体管的宽度/长度的值变大。特别是组织直接上拉部分的晶体管的宽度/长度值影响和下拉部分，栅极线更加增加。此外，在帧持续时间与上拉驱动部分的地电平之间的消隐时段中，在帧持续时间和帧基板中施加低功率电平而不是地电平。因此，在上拉驱动部分是帧持续时间，上拉部分响应于下一级的前端而转向关闭。保留在上拉部分中的寄生电容器在消隐时段中被放电，并且它完善相应的栅极线被关断。因此，可以改善液晶显示器的指示特性。

