



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2007년10월17일
 (11) 등록번호 10-0768117
 (24) 등록일자 2007년10월11일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2001-0033230
 (22) 출원일자 2001년06월13일
 심사청구일자 2006년05월19일
 (65) 공개번호 10-2002-0005419
 공개일자 2002년01월17일

(30) 우선권주장

2000-177928 2000년06월14일 일본(JP)

(56) 선행기술조사문현
 US 5790092A
 EP 0466378A

전체 청구항 수 : 총 10 항

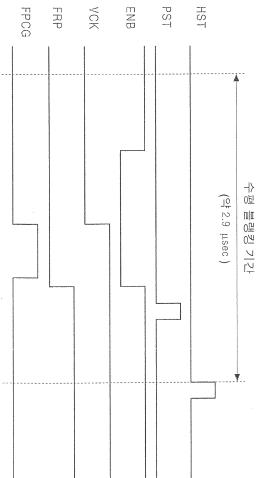
심사관 : 박위규

(54) 표시 장치 및 그 구동 방법

(57) 요약

프리차지 블랙 신호의 써넣기 때에 신호 라인으로부터 Cs 라인이나 게이트 라인으로의 커플링이 발생하면, 이로 인해 블랙 윈도나 블랙 라인 등의 표시 때에 경계부의 수평 트레일(横尾)이 발생한다. 도트 라인 반전 - 점순차(点順次) 2스텝 프리차지 구동 액정 표시장치에서 수평 주사시, 역극성 영상 신호를 신호 라인으로 공급하기에 앞서, 수평 블랭킹 기간 내에서 일괄 프리차지 펄스(FPCG)를 발생시키고, 이 일괄 프리차지 펄스에 근거하여 전단(前段)과 화소 전위(電位)의 동극성 프리차지 그레이(precharge gray) 신호를 일괄로 써넣고, 그 후, 각각의 역극성 영상 신호와 동극성 프리차지 블랙 신호 및 프리차지 그레이 신호를 2스텝으로 써넣도록 한다.

대표도 - 도6



특허청구의 범위

청구항 1

화소가 행열형으로 배치되며, 각 화소열마다 신호 라인이 배선됨과 동시에, 인접 화소열 사이에 훌수행 이격된 2행을 단위로 하여 게이트 라인이 배선되어 이루어지는 화소부;

상기 화소부의 각 화소를 행방향으로 주사하면서, 상기 게이트 라인에 대해 주사 펄스를 인가하는 제1 구동 수단;

상기 제1 구동 수단으로부터 상기 주사 펄스가 인가된 상기 게이트 라인에 접속되어 인접 화소에 대해, 상기 신호 라인을 통해 역극성 영상 신호들을 순차 공급하는 제2 구동 수단; 및

상기 제2 구동 수단에 의한 상기 신호 라인으로의 상기 역극성 영상 신호들의 공급에 앞서, 수평 블랭킹 (blanking) 기간 내에서 일정 레벨의 프리차지 (precharge) 신호를 일괄 공급하고, 이어서 상기 역극성 영상 신호들 중 어느 한 신호와 동극성인 블랙 레벨의 프리차지 신호, 및 나머지 다른 영상 신호와 동극성인 소정 색상 레벨의 프리차지 신호를 차례로 공급하는 제3 구동 수단

을 포함하는 표시 장치.

청구항 2

제1항에 있어서,

상기 제3 구동 수단은 상기 화소부의 화소 트랜지스터가 오프 상태에 있을 때, 상기 일정 레벨의 프리차지 신호를 일괄 공급하는 표시 장치.

청구항 3

제1항에 있어서,

상기 일정 레벨의 프리차지 신호가 직전의 신호 라인 전위와 동극성이며, 또한 상기 소정 색상 레벨의 프리차지 신호인 표시 장치.

청구항 4

제3항에 있어서,

상기 소정 색상 레벨이 그레이(grey) 레벨인 표시 장치.

청구항 5

제1항에 있어서,

상기 화소는 표시 엘레멘트이며, 상기 표시 엘레멘트가 액정셀인 표시 장치.

청구항 6

영상 신호를 써넣은 후의 화소 배열에서, 화소의 극성은 인접하는 좌우의 화소에서 동극성으로 되며, 또한 상하의 화소에서 역극성이 되도록, 인접하는 화소열 사이에서 훌수행 이격된 2행의 화소에 서로 역극성 영상 신호들을 써넣는 표시 장치의 구동 방법에 있어서,

수평 주사시, 상기 역극성 영상 신호들의 신호 라인으로의 공급에 앞서, 먼저 수평 블랭킹 기간 내에서 일정 레벨의 프리차지 신호를 일괄 공급하는 단계; 및

그 후, 상기 역극성 영상 신호들 중 어느 한 신호와 동극성 블랙 레벨의 프리차지 신호 및 나머지 다른 영상 신호와 동극성인 소정 색상 레벨의 프리차지 신호를 차례로 공급하는 단계

를 포함하는 표시 장치의 구동 방법.

청구항 7

제6항에 있어서,

상기 화소부의 화소 트랜지스터가 오프(off) 상태일 때, 상기 일정 레벨의 프리차지 신호를 일괄 공급하는 표시 장치의 구동 방법.

청구항 8

제6항에 있어서,

상기 일정 레벨의 프리차지 신호가 직전의 신호 라인 전위와 동극성이며, 또한 상기 소정 색상 레벨의 프리차지 신호인 표시 장치의 구동 방법.

청구항 9

제8항에 있어서,

상기 소정 색상 레벨이 그레이 레벨인 표시 장치의 구동 방법.

청구항 10

제6항에 있어서,

상기 화소는 표시 엘레멘트이며, 상기 표시 엘레멘트가 액정셀인 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 표시 장치 및 그 구동 방법에 관해, 특히 소위 도트 라인 반전 - 점순차(点順次) 프리차지 구동과 액티브 매트릭스형 표시 장치 및 그 구동 방법에 관한 것이다.
- <15> 화소가 행렬형으로 배치되어 이루어지는 표시 장치, 예를 들면 액티브 매트릭스형 액정 표시 장치(LCD; liquid crystal display)에서, 그 구동 방식으로는 각 화소를 1라인(1행)마다 화소 단위로 순차 구동하는 점순차 구동 방식이 알려져 있다. 또한 이 점순차 구동 방식에는 1H 반전 구동 방식이나 도트 구동 방식이 있다.
- <16> 1H 반전 구동 방식에서는 영상 신호의 써넣기 때에, 각 화소에 소정의 직류 전압을 코먼 전압(Vcom)으로서 공급하는 라인(이하, Cs 라인이라 함)의 좌우 화소 사이에 저항이 존재하고, 또한 Cs 라인과 신호 라인 사이에 기생 용량(parasitic capacitance)이 존재하기 때문에, 이로 인해 Cs 라인이나 게이트 라인에 영상 신호가 날라 들어 와, Cs 라인의 전위가 영상 신호와 동극성 방향으로 요동(oscillate)하기 때문에, 횡방향의 크로스토크가 현저 해진다거나 세이딩 불량을 일으켜 화질이 크게 손상된다.
- <17> 또한, 화소가 화소 정보를 1 필드 기간 유지하는 동안에, 신호 라인의 전위가 1H(H는 수평 주사 기간)마다 요동 한다. 여기서, 1H 반전 구동 방식의 경우, 인접 좌우 화소에 써넣어진 영상 신호의 극성이 동일하기 때문에, 신호 라인의 전위의 요동이 커지며, 이 전위의 요동이 화소 트랜지스터의 소스/드레인 커플링에 의해 화소로 날라 들어오기 때문에, 종방향의 크로스토크가 현저해져 화질 불량의 요인이 된다.
- <18> 한편, 도트 반전 구동 방식에서는 인접 화소에 영상 신호가 동시에 역극성으로 써넣어짐으로써, Cs 라인이나 신호 라인의 전위의 요동이 인접 화소 사이에 취소되기 때문에 1H 반전 구동 방식에서의 화질 불량의 문제는 해소 될 수 있다. 그러나 인접 화소의 전계의 영향을 받기 때문에, 화소 개구부의 에지에 도메인(광학적 드롭 영역)이 발생한다. 그 결과, 화소의 개구율이 저하하여 투과율을 떨어뜨리기 때문에 콘트라스트가 저하한다.

발명이 이루고자 하는 기술적 과제

- <19> 이에 대해 영상 신호를 써넣은 후의 화소 배열에서, 화소의 극성이 인접 좌우 화소에서 동극성이 되며, 또한 상하 화소에서 역극성이 되도록 화소열 사이에 홀수행 떨어진 2행, 예를 들면 상하 2행의 화소에 서로 역극성 영상 신호를 동시에 써넣는 구동 방식이 제안되어 있다. 이하 이 구동 방식을 도트 라인 반전 구동 방식이라 부른

다.

- <20> 이 도트 라인 반전 구동 방식에서는 도트 반전 구동 방식의 경우와 마찬가지로 인접 신호 라인에는 서로 역극성 영상 신호가 주어짐과 동시에, 영상 신호를 써넣은 후의 화소 배열에서, 화소의 극성이 1H 반전 구동 방식의 경우와 마찬가지로, 인접 좌우 화소가 동극성으로 되기 때문에, 화소의 개구율을 저하시키지 않고도 횡방향의 크로스토크나 세이딩 등의 화질 불량을 개선하게 된다.
- <21> 점순차 구동시에 각 화소에 써넣기 영상 신호를 1H마다 반전시키는 경우, 화소부의 각 열마다 배선된 신호 라인에 대한 영상 신호의 써넣기에 의한 충·방전 전류가 크면, 수직 프린지(vertical fringe)로서 표시 화면 위에 나타난다. 이 영상 신호의 써넣기에 의한 충·방전 전류를 가능한 한 억제하기 위해 영상 신호의 써넣기에 앞서, 미리 프리차지 신호를 써넣는 프리차지 구동 방식이 채용되어 있다.
- <22> 여기서, 수직 프린지로서 가장 나타나기 쉬운 것이 그레이 페벨이다, 따라서 프리차지 신호 페벨로서는, 일반적으로 수직 프린지가 가장 나타나기 쉬운 그레이 페벨이 설정된다. 그러나 프리차지 신호 페벨을 그레이 페벨로 설정하면 원도 패턴 등의 표시 때, 화소 트랜지스터의 소스 드레인 사이의 광리크(optical leakage) 양이 영상의 장소에 따라 달라짐으로 인해 종방향의 크로스토크가 발생하여 화질을 손상하는 수가 있다.
- <23> 이 종방향의 크로스토크가 발생하지 않도록 하기 위해서는, 프리차지 신호 페벨을 블랙 페벨로 설정하면 좋고, 이것에 의해 화소 트랜지스터의 소스 드레인 사이의 리크 전류를 화면 전체에 걸쳐 균일화할 수 있다. 그런데, 프리차지 신호 페벨을 블랙 페벨로 설정하면 전술한 수직 프린지가 나타나기 쉽다. 즉, 종방향의 크로스토크와 수직 프린지와는 트레이드 오프(trade off) 관계에 있다.
- <24> 따라서 블랙 페벨과 그레이 페벨을 2스텝으로 프리차지하는 점순차 2스텝 프리차지 방식이 제안되어 있다. 이 점순차 2스텝 프리차지 방식의 액티브 매트릭스형 액정 표시 장치에서의 프리차지 구동 회로의 구성예가 도 8에 도시되어 있다.
- <25> 도 8에서, 프리차지 구동 회로(100)는, 시프트 리지스터(101) 및 프리차지 스위치 회로(102)를 가지는 회로 구성으로 되어 있다. 시프트 리지스터(101)는 프리차지 스타트 펠스(PST)가 입력되면, 서로 역상(逆相)의 수평 클록(HCK, HCKX)과 동기하여 프리차지 리지스터 펠스(PST)를 차례로 시프트(전송)하고, 각 시프트 단(段, S/R)으로부터 프리차지 제어 펠스(PCC1, PCC2, ...)를 순차 출력한다.
- <26> 이들 프리차지 제어 펠스(PCC1, PCC2, ...)는, 프리차지 스위치 회로(102)로 공급된다. 이 프리차지 스위치 회로(102)에는 다시, 프리차지 신호 라인(103o)을 통해 홀수열용의 프리차지 블랙 신호(PsigBo)가, 프리차지 신호 라인(103e)을 통해 짝수열용의 프리차지 블랙 신호(PsigBe)가, 프리차지 신호 라인(104o)을 통해 홀수열용의 프리차지 그레이 신호(PsigGo)가, 프리차지 신호 라인(104e)을 통해 짝수열용의 프리차지 그레이 신호((PsigGe)가, ... 각각 공급된다.
- <27> 프리차지 스위치 회로(102)에서, 화소부의 신호 라인(105-1)과 프리차지 신호 라인(103o) 사이에는 프리차지 스위치(106-1b)가, 신호 라인(105-1)과 프리차지 신호 라인(104o) 사이에는 프리차지 스위치(106-1g)가, 신호 라인(105-2)과 프리차지 신호 라인(103e) 사이에는 프리차지 스위치(106-2b)가, 신호 라인(105-2)과 프리차지 신호 라인(104e) 사이에는 프리차지 스위치(106-2g)가 각각 접속되어 있다.
- <28> 이들 프리차지 스위치의 드라이브 신호로서, 시프트 리지스터(101)의 각 시스프 단으로부터 출력되는 프리차지 제어 펠스(PCC1, PCC2, ...)가 사용된다.
- <29> 구체적으로는, 프리차지 스위치(106-1b)의 스위치 드라이브 펠스(PSD1b)로서 1단째의 프리차지 제어 펠스(PCC1)가, 프리차지 스위치(106-1g)의 스위치 드라이브 펠스(PSD1g)로서 3단째의 프리차지 제어 펠스(PCC3)가, 프리차지 스위치(106-2b)의 스위치 드라이브 펠스(PSD2b)로서 2단째의 프리차지 제어 펠스(PCC2)가, 프리차지 스위치(106-2g)의 스위치 드라이브 펠스(PSD2g)로서 4단째의 프리차지 제어 펠스(PCC4)가, ... 각각 인가된다.
- <30> 도 9에 프리차지 스타트 펠스(PST), 수평 클록(HCK), 블랙계의 스위치 드라이브 펠스(PSD1b, PSD2b,...) 및 그레이계의 스위치 드라이브 펠스(PSD1g, PSD2g,...)의 타이밍 차트를 도시한다.
- <31> 그런데, 도트 라인 반전 - 점순차 프리차지 구동의 액티브 매트릭스형 액정 표시 장치에서, 블랙 원도나 흑선 등의 표시의 경우에는, 도 10에 도시된 바와 같이, 그 경계부(농도 차이가 큰 부분)에서 수평(횡방향) 스캔 방향을 따라 흑선이 표시되는 소위 트레일(trail, 이하 수평 트레일이라 함)을 발생한다. 이 같은 수평 트레일이 발생하면 화질이 손상된다. 이하에 수평 트레일의 발생 원인에 대해 설명한다.

- <32> 도트 라인 반전 구동에서는 전술한 바와 같이, 입력되는 영상 신호의 극성이 홀수열과 짝수열의 화소마다 공통으로 인가되는 코면 전압(Vcom)을 기준으로 정부(正負)로 반전하며, 그것이 다시 1H마다 반전한다. 이 때의 화소 단위의 극성이 도 11에 도시되어 있다. 도 11에는 코면 전압(Vcom)을 기준으로 이 전압보다 높은 화소 단위를 H로, 낮은 화소 단위를 L로 각각 표시되어 있다.
- <33> 따라서 블랙 윈도나 흑선 등의 표시가 가능하고, 그 경계부에 대해서는 도 12에 도시한 바와 같이 화소 단위의 입력으로 된다. 도 12에서 G는 그레이 레벨을, B는 블랙 레벨을 각각 표시하고 있다.
- <34> 도 13에는 점순차 2스텝 프리차지 구동을 고려한 경우의 신호 라인의 전위 변화를 도시한다. 여기서, 일예로 프리차지 그레이 신호의 H 레벨을 10V, L 레벨을 5V, 프리차지 블랙 신호의 H 레벨을 13V, L 레벨을 2V로 각각 설정하고 있다. 또한 일반적인 화소 신호로는 그레이 신호의 H 레벨이 9V, L 레벨이 6V, 블랙 신호의 H 레벨이 13V, L 레벨이 2V로 되어 있다.
- <35> 도 13에서 알 수 있듯이, 신호 라인의 전위는 홀수열에서는 N 단째 화소 전위의 그레이 L →프리차지 블랙 H →프리차지 그레이 H →N+1 단째 화소 전위의 블랙 H으로 변화한다. 한편, 짝수열에서는 N 단째 화소 전위의 블랙 H →프리차지 블랙 L →프리차지 그레이 L →N+1 단째 화소 전위의 블랙 L로 변화한다.
- <36> 이 때, N 단째 화소 전위로부터 프리차지 블랙 신호 레벨의 전위 변화는, 홀수열에서 +7, 짝수열에서 -11로 되기 때문에 서로 상쇄될 수 없다. 이 홀수열 측과 짝수열 측의 전위차가 원인이 되어 후술하는 수평 트레일이 발생한다. 일반적으로 신호 라인의 전위 변화는 화소 트랜지스터의 게이트 전극이, 행 단위로 접속되는 게이트 라인이나 화소에 코면 전압(Vcom)을 공급하는 Cs 라인에 기생 용량을 통해 커플링된다.
- <37> 즉, 도 12에 도시된 바의 화소 전위에 의한 블랙 윈도나 흑선 등의 표시 때, 이 커플링이 홀수열과 짝수열 사이에서 상쇄되지 않으며, 이로 인해 게이트 라인, Cs 라인 모두 요동이 발생한다. 이 요동이 윈도 밴드와 동일하게 다른 화소에 영상 신호를 써넣을 때에 들어가버리기 때문에 윈도의 수평 트레일이 발생한다.
- <38> 본 발명은 전술한 과제를 감안한 것이며, 그 목적은 도트 라인 - 점순차 프리차지 구동에 있어서, 블랙 윈도나 흑선 등의 표시 때, 경계부의 수평 트레일이 생기지 않도록 한 표시 장치 및 그 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

- <39> 본 발명에 의한 표시 장치는 화소가 행렬형으로 배치되고, 각 화소별로 신호 라인이 배선됨과 동시에, 인접 화소열 사이에 홀수행 이격된 2행을 단위로 게이트 라인이 배선되어 이루어지는 화소부와, 이 화소부의 각 화소를 행방향으로 주사를 계속하면서 상기 주사 라인에 대해 주사 펄스를 인가되는 제1 구동 수단과, 이 제1 구동 수단으로부터 주사 펄스가 인가된 게이트 라인에 접속되어 인접 화소에 대해 신호 라인을 통해 역극성 영상 신호를 순차 공급하는 제2 구동 수단과, 이 제2 구동 수단에 의한 신호 라인으로 역극성 영상 신호를 공급하기에 앞서, 먼저 수평 블랭킹 기간 내에서 일정 레벨의 프리차지 신호를 일괄 공급하고, 이어서 각각의 역극성 영상 신호와 동극성 블랙 레벨의 프리차지 신호 및 소정 색상 레벨의 프리차지 신호를 차례로 공급하는 제3 구동 수단을 구비한 구성으로 되어 있다.
- <40> 상기 구성의 표시 장치에 있어서, 제1 구동 수단에 의한 수직 주사에 의해 선택된 화소에 대해, 제2의 구동 수단에 의해 수평 주사를 할 때, 역극성 영상 신호를 신호 레벨로 공급하기에 앞서, 수평 블랭킹 기간 내에서 일정 레벨의 프리차지 신호를 일괄 공급하고, 이어서 각각의 역극성 영상 신호와 동극성 블랙 레벨의 프리차지 신호 및 소정 색상 레벨의 프리차지 신호를 차례로 공급한다. 그 후, 제2 구동 수단에 의한 역극성 영상 신호의 신호 라인으로의 공급 동작으로 이행한다.
- <41> ◆실시 형태
- <42> 이하 본 발명의 실시 형태에 대하여 도면을 참조하여 상세히 설명한다.
- <43> 도 1은 본 발명에 따른 도트 라인 반전 구동 - 점순차 2스텝 프리차지 구동 방식의 액티브 매트릭스형 액정 표시 장치의 구성예를 도시하는 회로도이다. 여기서는 도면의 간략화를 위해, 6행 4열의 경우를 예로 채택하고 있다. 1행째와 6행째에 대해서는 화소를 1열씩 걸러 배치하고, 또한 영상 신호를 써넣지 않고 특정의 색상 신호, 예를 들면 흑신호를 써넣는 더미 화소(dummy pixel) 배열로 되어 있다.
- <44> 도 1에서, 6행 ×4열분의 화소(11)가 행열형으로 배치되어 있다. 단, 1행째에 대해서는 홀수열의 화소만이, 6행 째에 대해서는 짝수열의 화소만이 더미 화소로서 각각 배치되어 있다. 각각의 화소(11)는 화소 트랜지스터인 박막 트랜지스터(TFT)와, 이 박막 트랜지스터(TFT)의 드레인 전극에 화소 전극이 접속된 액정셀(LC)과, 박막 트랜

지스터(TFT)의 드레인 전극에 일방의 전극이 접속된 홀딩(holding) 용량(Cs)으로 구성되어 있다.

<45> 이를 화소(11)의 각각에 대해, 신호 라인(12-1 내지 12-4)이 각 열마다 그 화소 배열 방향에 따라 배선되어 있다. 한편, 게이트 라인(13-1 내지 13-5)은 각 행마다 그 화소 배열 방향에 따라서가 아니라 홀수행 이격된 2 라인, 예를 들면 상하 2 라인(상하 2행)을 단위로 하여 그 2행의 화소 사이에 지그재그(蛇行)로 배선되어 있다.

<46> 구체적으로는, 게이트 라인(13-1)은 1행 1열째, 2행 2열째, 1행 3열째, 2행 4열째의 각 화소에 대해 배선되어 있다. 게이트 라인(13-2)은 2행 1열째, 3행 2열째, 2행 3열째, 3행 4열째의 각 화소에 대해 배선되어 있다. 게이트 라인(13-3, 13-4, 13-5)에 대해서도 마찬가지로 상하 2 라인의 화소 사이에 지그재그로 배선되어 있다.

<47> 화소(11)의 각각에서, 박막 트랜지스터(TFT)의 소스 전극(또는 드레인 전극)은, 대응하는 신호 라인(12-1 내지 12-4)에 각각 접속되어 있다. 또한 액정셀(LC)의 대향 전극 및 홀딩 용량(Cs)의 나머지 한 쪽의 전극은 각 화소 사이에 공통으로 Cs 라인(14)에 접속되어 있다. 이 Cs 라인(14)에는 소정의 직류 전압이 코먼 전압(Vcom)으로 인가되어 있다.

<48> 또한, 게이트 라인(13-1 내지 13-5)에서의 접속 관계는 다음과 같이 되어 있다. 즉, 홀수열(1열, 3열)에 대해서는 각 행(1행째 내지 5행째)마다 대응하는 행의 게이트 라인(13-1 내지 13-5)에 각 화소의 박막 트랜지스터(TFT)의 게이트 전극이 접속되며, 짹수열(2열째, 4열째)에 대해서는 각 행(2행째 내지 6행째)마다 1행 위의 행의 게이트 라인(13-1 내지 13-5)에 각 화소의 박막 트랜지스터(TFT)의 게이트 전극이 접속되어 있다.

<49> 이렇게 하여, 화소(11)가 행렬형으로 배치되며 이를 화소(11)에 대해 신호 라인(12-1 내지 12-4)이 각 열마다 배선되고, 또한 게이트 라인(13-1 내지 13-5)이 인접 화소열 사이에 홀수행 이격된 2행, 예를 들면 상하 2행을 단위로 하여 이들 2행의 화소 사이에서 지그재그로 배선되는 화소부(15)가 구성되어 있다. 이 화소부(15)에서, 게이트 라인(13-1 내지 13-5)의 각 일단은 화소부(15)의, 예를 들면 좌측으로 배치된 수직 구동 회로(16)의 각 행의 출력단에 접속되어 있다.

<50> 수직 구동 회로(16)는 1 펠드 기간마다 수직 방향(행방향)으로 주사하여 게이트 라인(13-1 내지 13-5)의 상하 2 행 사이에서 교대로 접속된 각 화소(11)를 순차 선택하는 처리를 한다. 즉, 수직 구동 회로(16)에서 게이트 라인(13-1)에 대해 주사 펠스(Vg1)가 인가될 때는 1행 1열째, 2행 2열째, 1행 3열째, 2행 4열째의 각 화소가 선택된다.

<51> 게이트 라인(13-2)에 대해 주사 펠스(Vg2)가 인가될 때는 2행 1열째, 3행 2열째, 2행 3열째, 3행 4열째의 각 화소가 선택된다. 이하 마찬가지로 게이트 라인(13-3, 13-4, 13-5)에 대해 주사 펠스(Vg3, Vg4, Vg5)가 차례로 인가될 때도, 상하 2행 사이의 수평 방향(열방향)에서 화소의 선택이 교대로 이루어진다. 수직 구동 회로(16)의 구체적인 구성에 대해서는 후에 상세히 설명한다.

<52> 화소부(15)의, 예를 들면 상측에는 수평 구동 회로(17)가 배치되어 있다. 이 수평 구동 회로(17)는, 예를 들면 2계통으로 입력되는 영상 신호(video 1, 2)를 1H마다 순차 샘플링하여, 수직 구동 회로(16)에 의해 선택된 각 화소부(15)의, 예를 들면 상측에는 수평 구동 회로(17)가 배치되어 있다. 화소(11)에 대해 써넣기 처리를 한다. 2계통 영상 신호(video 1, 2)로서는, 1H마다 극성이 반전되며, 또한 어떤 기준 전위(코먼 전압 Vcom)에 대해서로 역극성 영상 신호가 입력된다. 여기서는 코먼 전압(Vcom)에 대해 영상 신호의 전위가 높은 경우를 정극성(H, 正極性), 낮은 경우를 부극성(L, 負極性)로 한다.

<53> 영상 신호(video 1)를 입력하는 비디오 라인(18-1)과 화소부(15)의, 예를 들면 홀수열의 각각의 신호 라인(12-1, 12-3) 사이에는, 샘플링 스위치(SW1, SW3)가 각각 접속되어 있다. 또한 영상 신호(video 2)를 입력하는 비디오 라인(18-2)과 화소부(15)의 짹수열의 신호 라인(12-2, 12-4) 사이에는 샘플링 스위치(SW2, SW4)가 각각 접속되어 있다.

<54> 그리고, 샘플링 스위치(SW1 내지 SW4)는, 2개씩 쌍(SW1과 SW2, SW3와 SW4)으로 되어 있으며, 수평 구동 회로(17)에서 차례로 출력되는 샘플링 펠스(Vh1, Vh2)에 응답하여 순차 온(on) 동작을 함으로써, 서로 역극성 2계통의 영상 신호(video 1, 2)를 2열(2화소) 단위로 신호 라인(12-1 내지 12-4)을 통해 써넣도록 되어 있다.

<55> 화소부(15)의, 예를 들면 하측에는 프리차지 구동 회로(19)가 배치되어 있다. 이 프리차지 구동 회로(19)는 영상 신호(video 1, 2)의 써넣기에 의한 충·방전 전류를 가능한 한 억제하기 위해, 영상 신호(video 1, 2)의 써넣기에 앞서, 블랙 레벨의 프리차지 신호 및 소정 색상 레벨, 예를 들면 그레이 레벨의 프리차지 신호를 점순차 2스텝으로 미리 써넣기 처리를 한다. 이 프리차지 구동 회로(19)의 구체적인 구성 및 동작에 대해서는 후에 상세히 설명한다.

- <56> 이어서, 상기 구성의 도트 라인 반전 구동 - 점순차 2스텝 프리차지 구동 방식의 액티브 매트릭스형 액정 구동 장치에서, 그 기본적인 동작에 대하여 도 2의 타이밍 차트를 참조하여 설명한다. 또한 6행 × 4열의 화소 배열에서 각 화소의 어드레스를 도 3에 도시한 바와 같이 붙여두기로 한다. 여기서 d는 더미 화소를 표시한다.
- <57> 먼저, 초초의 1라인째에서, 수직 구동 회로(16)에서 주사 펄스(Vg1)가 출력되면, 이 주사 펄스(Vg1)가 게이트 라인(13-1)을 통해 화소(d-1, 1-2, d-3, 1-4)의 각 박막 트랜지스터(TFT)의 게이트 전극에 인가되기 때문에, 이들 화소(d-1, 1-2, d-3, 1-4)가 온 상태로 된다.
- <58> 여기서 서로 역극성 영상 신호(video 1, 2)가 비디오 라인(18-1, 18-2)을 통해 입력되는 한편, 수평 구동 회로(17)에 차례로 샘플링 펄스(Vh1, Vh2)가 출력됨으로써, 샘플링 스위치(SW1과 SW2, SW3와 SW4)의 쌍이 순차 온 상태로 된다.
- <59> 서로 역극성 영상 신호(video 1, 2)가 먼저, 샘플링 스위치(SW1, SW2)를 통해 신호 라인(12-1, 12-2)에 인가된다. 이에 따라 화소(d-1)에는 부극성(도 3에서 L로 표시)의 영상 신호(video 1)가, 화소(1-2)에는 정극성(도 3에서 H로 표시)의 영상 신호(video 2)가 각각 써넣어진다. 단, 이 때의 영상 신호(video 1)로서 흑신호를 입력하며 더미 화소(d-1)에는 흑신호를 써넣는다.
- <60> 이어서, 샘플링 스위치(SW3, SW4)를 통해 신호 라인(12-3, 12-4)에 영상 신호(video 1, 2)가 인가된다. 이에 따라, 화소(d-3)에는 부극성의 영상 신호(video 1)가, 화소(1-4)에는 정극성의 영상 신호(video 2)가 각각 써넣어진다. 이 때에도, 영상 신호(video 1)로서 흑신호가 입력됨으로써 더미 화소(d-3)에는 흑신호가 써넣어진다.
- <61> 이어서, 2라인째에서 수직 구동 회로(16)로부터 주사 펄스(Vg2)가 출력되면, 이 주사 펄스(Vg2)가 게이트 라인(13-2)을 통해 화소(1-1, 2-2, 1-3, 2-4)의 각 박막 트랜지스터(TFT)의 게이트 전극에 인가되며, 이들 화소(1-1, 2-2, 1-3, 2-4)가 온 상태로 된다. 2라인째에서는 영상 신호(video 1, 2)의 기준 전위에 대한 극성이 반전한다.
- <62> 즉, 1라인째에서는 영상 신호(video 1)가 부극성, 영상 신호(video 2)가 정극성이었지만, 2라인째에서는 영상 신호(video 1)가 정극성, 영상 신호(video 2)가 부극성으로 된다. 그리고, 수평 구동 회로(17)에서 다시 차례로 샘플링 펄스(Vh1, Vh2)가 출력됨으로써 샘플링 스위치(SW1과 SW2, SW3와 SW4)가 쌍으로 순차 온 상태로 된다.
- <63> 서로 역극성 영상 신호(video 1, 2)가, 먼저 샘플링 스위치(SW1, SW2)를 통해 신호 라인(12-1, 12-2)에 인가된다. 이로 인해 화소(1-1)에는 정극성의 영상 신호(video 1)가, 화소(2-2)에는 부극성의 영상 신호(video 2)가 각각 써넣어진다. 이어서, 샘플링 스위치(SW3, SW4)를 통해 신호 라인(12-3, 12-4)에 영상 신호(video 1, 2)가 인가된다. 이에 따라 화소(1-3)에는 정극성의 영상 신호(video 1)가, 화소(2-4)에는 부극성의 영상 신호(video 2)가 각각 써넣어진다.
- <64> 이후, 서로 역극성 영상 신호(video 1, 2)가 1H마다 기준 전위에 대한 극성이 반전하여 입력되는 한편, 전술한 동작이 반복됨으로써, 수직 구동 회로(16)에 의한 행 방향(수직 방향)의 주사, 및 수평 구동 회로(17)에 의한 열 방향(수평 방향)의 주사가 행해진다. 또한, 게이트 라인(13-5)에 대한 주사의 경우에는 영상 신호(video 2)로서 흑신호를 입력하며, 더미 화소(d-2, d-4)에 대해 흑신호를 써넣는다.
- <65> 전술한 바와 같이, 예를 들면 2계통의 영상 신호(video 1, 2)를 어떤 기준 전위에 대해 역극성으로 입력하는 한편, 이 역극성 영상 신호(video 1, 2)를, 인접 화소열 사이에서 훌수행 이격된 2행(본 예에서는 상하 2행)의 화소에 써넣음과 동시에, 도 3에 도시된 바와 같이, 써넣은 후의 화소 배열에서 화소의 극성은 인접하는 좌우의 화소에서는 동극성으로 하고, 상하의 화소에서는 역극성으로 하는 도트 라인 반전 구동을 행함으로써, 이하에 설명하는 작용 효과가 얻어진다.
- <66> 즉, 도 2의 타이밍 차트에서 알 수 있듯이, 샘플링 펄스(Vh1, Vh2)가 차례로 출력되며, 샘플링 스위치(SW1과 SW2, SW3와 SW4)가 쌍으로 순차 온 상태로 되면, 신호 라인(12-1과 12-2, 12-3과 12-4)에는 어떤 기준 전위에 대해 서로 역극성 영상 신호(video 1, 2)가 인가되기 때문에, 횡방향의 크로스토크나 세이딩, 또한 종방향의 크로스토크 등의 화질 불량을 개선할 수 있다.
- <67> 즉, Cs 라인(14)의 화소 사이에 저항 성분이 존재함으로 인해, 영상 신호(video 1, 2)가 신호 라인(12-1 내지 12-4)과 Cs 라인(14) 사이에 존재하는 기생 용량이나 화소(11)의 홀딩 용량(Cs) 등을 통해 Cs 라인(14)으로 날라 들어가는 것을, 인접 신호 라인에 서로 역극성 영상 신호(video 1, 2)를 인가함으로써 방지할 수 있기 때문에, Cs 라인(14)의 전위의 요동은 생기지 않으며, 따라서 횡방향의 크로스토크 발생을 억제한다거나 세이딩 불량을 해소할 수 있다.

- <68> 또한, 박막 트랜지스터(TFT)의 소스/드레인 전극과 각각의 신호 라인(12-1 내지 12-4) 사이에 존재하는 기생 용량에 기인하여, 신호 라인(12-1 내지 12-4)에서 1H마다의 전위의 요동이 박막 트랜지스터(TFT)의 소스/드레인 커플링에 의해 화소로 날라 들어가는 것을, 인접 신호 라인에 서로 역극성 영상 신호(video 1, 2)를 인가함으로써, 방지할 수 있기 때문에, 종방향 크로스토크의 발생을 억제할 수 있다. 이에 따라 영상 신호(video 1, 2)를 충분한 레벨로 써넣을 수 있어 콘트라스트의 향상이 가능해진다.
- <69> 또한, 서로 역극성 영상 신호(video 1, 2)의 화소에 대한 써넣기를, 드트 반전 구동 방식의 경우처럼 수평 1라인에서 행할 것이 아니라, 다른 2라인(본 예에서는 상하 2라인) 사이에서 1화소씩 걸러(1열씩 건너 뛴) 행함으로써, 영상 신호 써넣기 후의 화소 배열에서, 도 3에서 알 수 있듯이, 각 화소의 극성은 인접하는 좌우 화소에서 동극성으로 되기 때문에, 도트 반전 구동 방식의 경우, 문제가 되는 도메인은 발생하지 않는다. 따라서 화소의 개규율을 저하시킬 필요가 없기 때문에, 콘트라스트가 저하하는 일도 없다.
- <70> 또한, 여기서는 영상 신호로서 2계통의 영상 신호(video 1, 2)를 입력하였지만, 영상 신호의 입력수는 2계통에 한정되지는 않으며, 2m(m는 정수) 계통이면 좋다. 또한 역극성 영상 신호(video 1, 2)를 상하 2행의 화소에 동시에 써넣는 구성으로 했지만, 반드시 상하 2행일 필요는 없으며, 영상 신호를 써넣은 후의 화소 배열에서, 화소의 극성이 인접 좌우 화소에서 동극성이 되고, 또한 상하의 화소에서 역극성으로 되도록 다른 수평 라인의 화소에 동시에 써넣는 구성으로 하면 좋다.
- <71> 또한, 상기 예에서는 아나로그 영상 신호를 입력으로 하고, 이것을 샘플링하여 점순차로 각 화소를 구동하는 아나로그 인터페이스 구동 회로를 탑재한 액정 표시 장치에 적용한 경우에 대하여 설명하였지만, 디지털 영상 신호를 입력으로 하고, 이것을 래치(latch)한 후, 아나로그 영상 신호로 변환하고 이 아나로그 영상 신호를 샘플링하여 점순차로 각 회소를 구동하는 디지털 인터페이스 구동 회로를 탑재한 액정 표시 장치에도 동일하게 적용 가능하다.
- <72> 이상에서 설명한 도트 라인 반전 구동 - 점순차 2스텝 프리차지 구동 방식의 액티브 매트릭스형 액정 표시 장치에 있어서, 본 발명에서는 프리차지 구동 회로(19)의 구체적인 구성 및 그 구동 방법을 특징으로 하고 있다.
- <73> 도 4는 프리차지 구동 회로(19)의 구체적 구성의 일예를 도시하는 블록도이다. 도 4에서 본 예에 따른 프리차지 구동 회로(19)는 시프트 리지스터(21), 논리 게이트 회로(22) 및 프리차지 스위치 회로(23)를 가지는 회로 구성으로 되어 있다.
- <74> 시프트 리지스터(21)에는 프리차지의 개시를 지령하는 프리차지 스타트 펄스(PST)와, 수평 구동 회로(17)에서의 수평 주사의 기준이 되는 서로 역상의 수평 클록(HCK, HCKX)이 입력된다. 시프트 리지스터(21)는 프리차지 스타트 펄스(PST)가 입력되면, 수평 클록(HCK, HCKX)과 동기하여 프리차지 스타트 펄스(PST)를 차례로 시프트하고, 각 시프트 단(S/R)으로부터 프리차지 제어 펄스(PCC1, PCC2, ...)로서 순차 출력한다.
- <75> 이를 프리차지 제어 펄스(PCC1, PCC2, ...)는 논리 게이트 회로(22)로 공급된다. 논리 게이트 회로(22)에는 다시, 일괄 프리차지 펄스(FPCG)가 인버터(24)에서 반전되어 입력된다. 이 일괄 프리차지 펄스(FPCG)에 대해서는 후에 설명한다. 논리 게이트 회로(22)는, 화소부(15)의 신호 라인(12-1, 12-2, ...)에 대응하여 만들어진 NAND 게이트(221-1, 221-2, ...) 및 인버터(222-1, 222-2, 222-3, ...)를 가지는 구성으로 되어 있다.
- <76> 이 논리 게이트 회로(22)에 대하여, NAND 게이트(221-1, 221-2, ...)에는, 각각 제1 입력으로서 인버터(24)에서 반전된 일괄 프리차지 펄스(FPCG)가 인가되며, 각각 제2 입력으로서 시프트 리지스터(21)의 3단째 이후의 각 시프트 단(S/Rs)으로부터 순차 출력되는 프리차지 제어 펄스(PCC3, PCC4, ...)가 인가된다.
- <77> 일반적으로, 일괄 프리차지 펄스(FPCG)가 L 레벨의 상태에 있으며, 따라서 NAND 게이트(221-1, 221-2, ...)의 각각의 제1 입력이 H 레벨의 상태에 있으며, 또한 각각의 제2 입력도 H 레벨 상태에 있다. 시프트 리지스터(21)의 3단째 이후의 각 시프트 단으로부터 프리차지 제어 펄스(PCC3, PCC4, ...)가 순차 출력되며, NAND 게이트(221-1, 221-2, ...)의 각 제2 입력에 L 레벨의 펄스가 인가됨으로써, NAND 게이트(221-1, 221-2, ...)로부터 순차 H 레벨의 펄스가 출력된다.
- <78> 프리차지 스위치 회로(23)에는 프리차지 신호 라인(25o)을 통해 홀수열용의 프리차지 블랙 신호(PsigBo)가, 프리차지 신호 라인(25e)을 통해 짹수열용의 프리차지 블랙 신호(PsigBe)가, 프리차지 신호 라인(26o)을 통해 홀수열용의 프리차지 그레이 신호(PsigGo)가, 프리차지 신호 라인(26e)을 통해 짹수열용의 프리차지 그레이 신호(PsigGe)가 각각 공급된다.
- <79> 이 프리차지 스위치 회로(23)에서, 화소부(15)의 신호 라인(12-1)과 프리차지 신호 라인(25o) 사이에는 프리차

지 스위치 회로(27-1b)가, 신호 라인(12-1)과 프리차지 신호 라인(26o) 사이에는 프리차지 스위치 회로(27-1g)가, 신호 라인(12-2)과 프리차지 신호 라인(25e) 사이에는 프리차지 스위치 회로(27-2b)가, 신호 라인(12-2)과 프리차지 신호 라인(26e) 사이에는 프리차지 스위치 회로(27-2g)가 각각 접속되어 있다.

- <80> 이들 프리차지 스위치의 드라이브 신호로서 시프트 리지스터(21)의 각 시프트 단으로부터 출력되는 프리차지 제어 펄스(PCC1, PCC2, PCC3, ...) 및 논리 게이트 회로(22)에서의 NAND 게이트(221-1, 221-2, 221-3, ...)의 각 출력 펄스가 사용되고 있다.
- <81> 구체적으로는, 프리차지 스위치(27-1b)의 스위치 드라이브 펄스(PSD1b)로서 1단계의 프리차지 제어 펄스(PCC1)가, 프리차지 스위치(27-1g)의 스위치 드라이브 펄스(PSD1g)로서 NAND 게이트(221-1)의 출력 펄스가, 프리차지 스위치(27-2b)의 스위치 드라이브 펄스(PSD2b)로서 2단계의 프리차지 제어 펄스(PCC2)가, 프리차지 스위치(27-2g)의 스위치 드라이브 펄스(PSD2g)로서 NAND 게이트(221-2)의 출력 펄스가 각각 인가된다.
- <82> 도 5에 이네이블 펄스(ENB, enable pulse), 일괄 프리차지 펄스(FPCG), 프리차지 스타트 펄스(PST), 수평 클록(HCK), 블랙계의 스위치 드라이브 펄스(PSD1b, PSD2b, ...) 및 그레이계의 스위치 드라이브 펄스(PSD1g, PSD2g, ...)의 타이밍 차트가 도시되어 있다.
- <83> 여기서 이네이블 펄스(ENB)는 1H의 주기로 발생되는 펄스이며, 수직 구동 회로(16)에서의 수직 주사시에, 그 H 레벨의 주기로 각 행마다 1행분의 화소에 대한 영상 신호(video 1, 2)의 써넣기 동작을 허용함과 동시에, 그 L 레벨의 주기가 다음 행으로 이행하는 주기이며, 이 주기에서는 화소 트랜지스터(막막 트랜지스터 (TFT))를 오프(off) 상태로 함으로써, 화소(11)에 대한 영상 신호(video 1, 2)의 써넣기를 금지한다.
- <84> 따라서 도 6의 타이밍 차트에서 알 수 있듯이, 이네이블 펄스(ENB)의 L 레벨 기간은 수평 블랭킹 기간 내의 근소한 기간에서 발생한다. 도 6의 타이밍 차트에서, HST는 수평 주사의 개시를 지령하는 수평 스타트 펄스, VCK는 수직 주사의 기준이 되는 수직 클록, FRP는 영상 신호(video 1, 2)의 극성이 반전하는 타이밍 펄스이다.
- <85> 이 타이밍 관계에서, 일괄 프리차지 펄스(FPCG)는 수평 블랭킹 기간 내, 바람직하게는 이네이블 펄스(ENB)의 L 레벨 기간의 일부에서, 예를 들면 수직 클록(VCK)과 동기하여 H 레벨로 된다. 이 일괄 프리차지 펄스(FPCG)를 포함하는 각종의 타이밍 신호는 도시되지 않은 타이밍 생성 회로에서 생성된다.
- <86> 상기 구성의 프리차지 구동 회로(19)는 수평 구동 회로(17)에 의한 수평 주사시에, 서로 역극성 영상 신호(video 1, 2)가 신호 라인(12-1, 12-2, ...)에 써넣어지기에 앞서, 후술하는 일괄 프리차지를 행함과 동시에, 영상 신호(video 1)와 동극성으로 입력되는 프리차지 블랙 신호(PsigBo) 및 프리차지 그레이 신호(PsigGo)와, 영상 신호(video 2)와 동극성으로 입력되는 프리차지 블랙 신호(PsigBe) 및 프리차지 그레이 신호(PsigGe)를 신호 라인(12-1, 12-2, ...)에 써넣는 2스텝 프리차지를 행한다.
- <87> 여기서, 프리차지 구동 회로(19)에서의 프리차지 동작에 대하여, 도 5의 타이밍 차트를 이용하여 설명한다.
- <88> 먼저, 일괄 프리차지 동작에 대하여 설명한다. 수평 블랭킹 기간 내, 예를 들면 이네이블 신호(ENB)의 L 레벨 기간 내에서의 일괄 프리차지 펄스(FPCG)가 입력되면, 이 일괄 프리차지 펄스(FPCG)가 논리 게이트 회로(22)의 NAND 게이트(221-1, 221-2, ...)를 통하여 그레이계의 스위치 드라이브 펄스(PSD1g, PSD2g, ...)로서 프리차지 스위치(27-1g, 27-2g, ...)에 동시에 인가된다.
- <89> 따라서 프리차지 스위치(27-1g, 27-2g, ...)가 일제히 온 상태로 되어, 전단(前段) 화소 단위와 동극성 프리차지 그레이 신호를 전체 신호 라인(12-1, 12-2, ...)에 써넣는다. 이 때, 프리차지 그레이 신호(PsigGo, PsigGe)가 화소에 써넣어지지 않도록 하기 위해, 도 6의 타이밍 차트에서 알 수 있듯이, 일괄 프리차지 펄스(FPCG)를 이네이블 신호(ENB)의 트레일링 에지(trailing edge) 타이밍 이후에 발생시켜, 전단 화소 전위와 동극성 프리차지 그레이 신호를 써넣기 위해서, 타이밍 펄스(FRP)의 리딩 에지(leading edge) 타이밍 이전에 소멸시킬 필요가 있다.
- <90> 이 일괄 프리차지에 따른 프리차지 동작시의 신호 라인의 전위 변화를 도 7에 도시한다. 여기서, 일예로서 점순차 프리차지 그레이 신호의 H 레벨을 10v, L 레벨을 5v, 점순차 프리차지 블랙 신호의 H 레벨을 13v, L 레벨을 2v로, 또한 일괄 프리차지 그레이 신호의 H 레벨을 10v, L 레벨을 5v로 각각 설정하고 있다. 또한 일반적인 화소 신호로는, 그레이 신호의 H 레벨이 9v, L 레벨이 6v, 블랙 신호의 H 레벨이 13v, L 레벨이 2v로 되어 있다.
- <91> 이 신호 라인의 전위 변화에서 알 수 있듯이, 각 화소에 대해 영상 신호가 써넣어지지 않는 수평 블랭킹 기간에서, 일괄 프리차지에 의해 각각의 신호 라인(12-1, 12-2, ...)에 대해, 일정 레벨(본 예에서는, H 레벨이 10v, L 레벨이 5v)의 프리차지 그레이 신호를 써넣음으로써 코면 전압(Vcom)에 대한 신호 라인(12-1, 12-2, ...)의

전위 진폭을, 홀수열과 짹수열에서 동일하게 할 수 있다.

<92> 따라서, 그 후, 점순차 프리차지 블랙 신호를 써넣을 때의 신호 라인(12-1, 12-2, ...)의 전위 변화가, 홀수열에서 +8V, 짹수열에서 -8V로 되어, 그것들의 절대값이 동일하기 때문에, 신호 라인(12-1, 12-2, ...)으로부터 Cs 라인(14)이나 게이트 라인(13-1, 13-2, ...)에 대한 커플링을 완전히 제거할 수 있다. 그 결과, Cs 라인 · 게이트 라인 모두 요동이 들어가지 않기 때문에, 이 요동에 기인하는 수평 트레일이 발생하는 일도 없다.

<93> 또한 N 단째의 화소 전위로부터 일괄 프리차지로의 전위 변화는, 홀수열의 경우 -1V, 짹수열의 경우 -3V로 되어 그것들의 절대값이 다르다. 따라서 이 때의 신호 라인(12-1, 12-2, ...)으로부터 Cs 라인(14)이나 게이트 라인(13-1, 13-2, ...)으로의 커플링에 대해서는 제거가 불가능하며, Cs 라인 · 게이트 라인 모두 요동이 발생한다.

<94> 그러나, 일괄 프리차지는 화소 트랜지스터(박막 트랜지스터(TFT))가 오프 상태인 수평 블랭킹 기간 내에서 실행되며, 이러한 요동은 이 기간 내에 인가되지 않기 때문에, Cs 라인 · 게이트 라인의 요동에 기인한 수평 트레일은 발생하지 않는다.

<95> 또한, 여기서는 일괄 프리차지 때의 프리차지 신호로서, 전단 화소 전위와 동극성 프리차지 그레이 신호(5V)를 사용하였지만, 그 레벨은 임의이며, 또한 전단 화소 전위와 반드시 동극성일 필요는 없다. 단, 수평 블랭킹 기간 내의 극히 짧은 기간에서 일괄 프리차지가 행해짐으로써, 그 직후에 실행되는 점순차 프리차지 블랙 신호의 써넣기를 확실히 행하기 위해서는 전단 화소 전위와 동극성인 것이 바람직하다.

<96> 이어서, 점순차 2스텝에서의 프리차지 동작에 대해 설명한다. 프리차지 스타트 펄스(PST)가 시프트 리지스터(21)에 인가되면, 시프트 리지스터(21)의 각 시프트 단으로부터는 수평 클록(HCK, HCKX)과 동기하여 프리차지 제어 펄스(PCC1, PCC2, PCC3, ...)가 순차 출력된다.

<97> 이들 프리차지 제어 펄스(PCC1, PCC2, ...)가 블랙계의 스위치 드라이브 펄스(PSD1b, PSD2b, ...)로서, 다시 NAND 게이트(221-1, 221-2, ...)의 각 출력 펄스가 그레이계의 스위치 드라이브 펄스(PSD1g, PSD2g, ...)로서, 프리차지 스위치(27-1b, 27-2b, ...) 및 프리차지 스위치(27-1g, 27-2g, ...)에 순차 인가된다.

<98> 이 일련의 동작에 의해, 수직 구동 회로(16)에서의 수직 주사에 의해 선택된 각 행마다, 각 화소에 서로 역극성 영상 신호(video 1, 2)가 써넣어지기에 앞서, 영상 신호(video 1)와 동극성으로 입력되는 프리차지 블랙 신호(PsigBo) 및 프리차지 그레이 신호(PsigGo)와, 영상 신호(video 2)와 동극성으로 입력되는 프리차지 블랙 신호(PsigBe) 및 프리차지 그레이 신호(PsigGe)가 2스텝으로 써넣어진다.

<99> 또한 상기 실시 형태는 화소의 표시 엘레멘트로서 액정셀을 사용한 액정 표시 장치에 적용한 경우를 채용하여 설명하였지만, 액정 표시 장치에 한정되는 것은 아니며, 도트 라인 반전 구동 - 점순차 프리차지 구동 방식을 채용한 표시 장치 전반에 적용 가능하다.

발명의 효과

<100> 앞서 설명한 바와 같이, 본 발명에 의하면, 도트 라인 반전 구동 - 점순차 프리차지 구동 방식 표시 장치에 있어서, 수평 주사시에, 역극성 영상 신호를 신호 라인으로 공급하기에 앞서, 수평 블랭킹 기간 내에서의 일정 레벨의 프리차지 신호를 일괄적으로 써넣고, 그 후에 2스텝 프리차지를 행함으로써, 프리차지 블랙 신호를 써넣을 때의 신호 라인으로부터 Cs 라인이나 게이트 라인으로의 커플링을 제거할 수 있기 때문에, 블랙 윈도나 흑선 등의 표시 때, 경계부의 수평 트레일이 발생하지 않는다.

도면의 간단한 설명

<1> 도 1은 본 발명에 따른 도트 라인 반전 구동 - 점순차 2스텝 프리차지 구동 방식의 액티브 매트릭스형 액정 표시 장치의 구성예를 도시하는 회로도이다.

<2> 도 2는 도트 라인 반전 구동의 기본적인 동작 설명에 대한 타이밍 차트이다.

<3> 도 3은 도트 라인 반전 구동의 경우, 각 화소의 어드레스와 각 화소에 써넣는 영상 신호의 극성을 도시하는 도면이다.

<4> 도 4는 본 발명에 따른 프리차지 구동 회로의 구체적 구성의 일예를 도시하는 블록도이다.

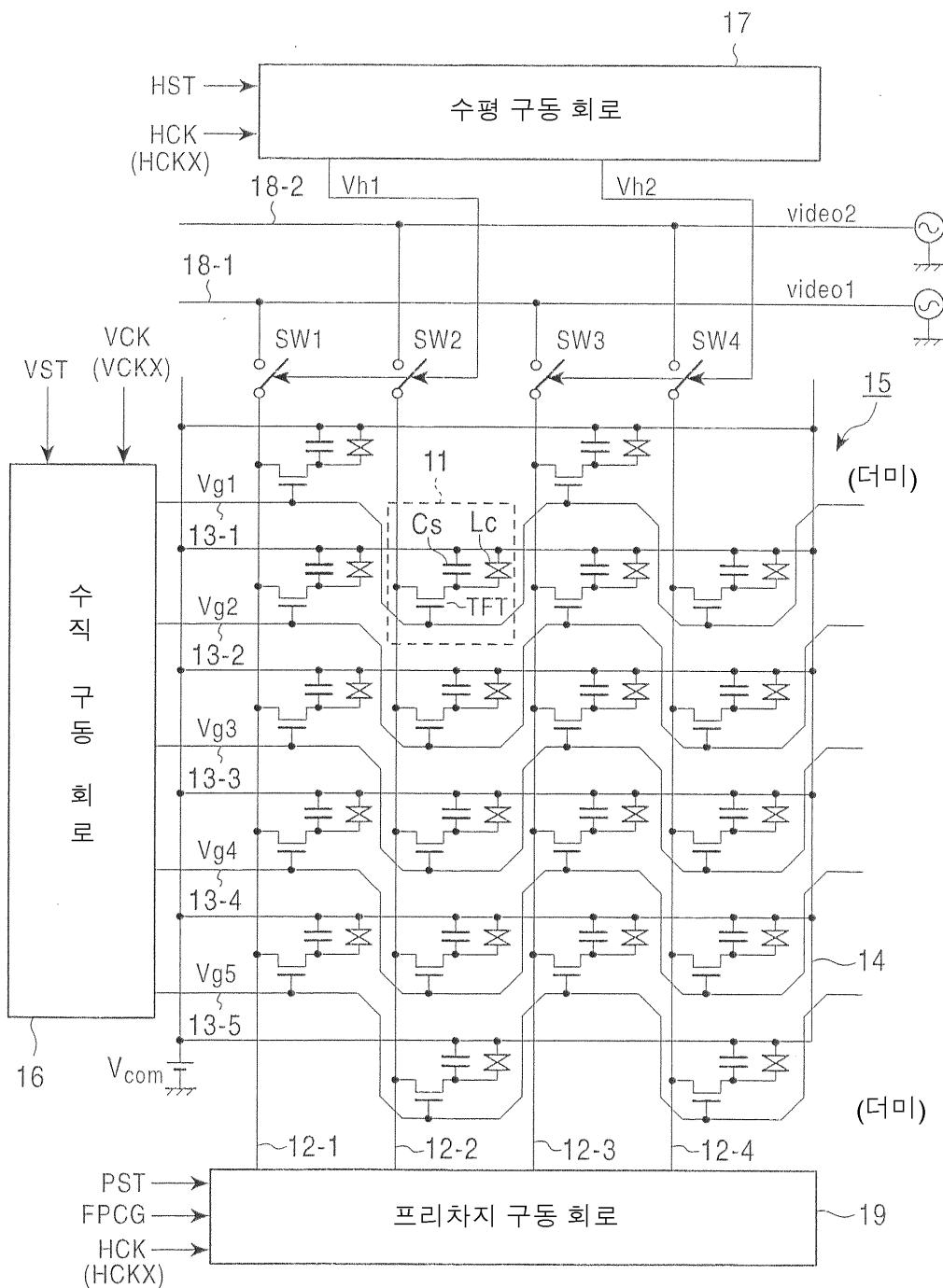
<5> 도 5는 본 발명에 따른 프리차지 구동 회로의 회로 동작을 설명하기 위한 타이밍 차트이다.

<6> 도 6은 일괄 프리차지의 실행 타이밍을 도시하는 타이밍 차트이다.

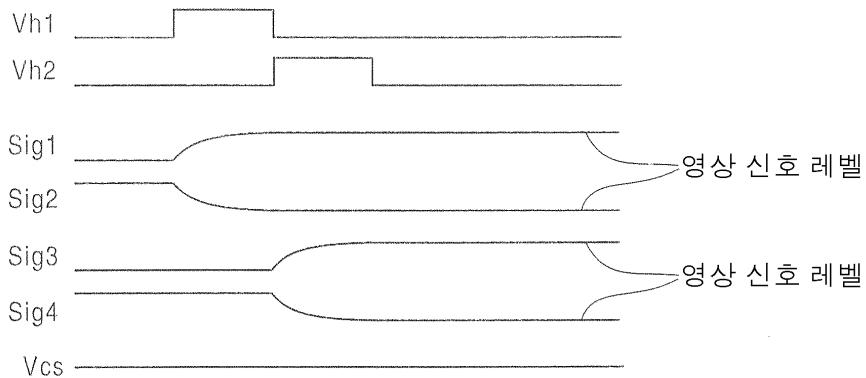
- <7> 도 7은 일괄 프리차지를 동반하는 프리차지 동작시, 신호 라인의 전위 변화를 도시하는 전위도이다.
- <8> 도 8은 종래 예에 따른 프리차지 구동 회로에 대한 구성의 일례를 도시하는 블록도이다.
- <9> 도 9는 종래 예에 따른 프리차지 구동 회로에 대한 회로 동작을 설명하기 위한 타이밍 차트이다.
- <10> 도 10은 블랙 윈도 표시 때의 표시 상태를 도시하는 도면이다.
- <11> 도 11은 도트 라인 반전 구동시, 화소 전위의 극성을 도시하는 도면이다.
- <12> 도 12는 블랙 윈도나 블랙 라인의 표시 때에 경계부의 화소 전위를 도시하는 도면이다.
- <13> 도 13은 점순차 2스텝 프리차지 구동시의 신호 라인의 전위 변화를 도시하는 전위도이다.

도면

도면1



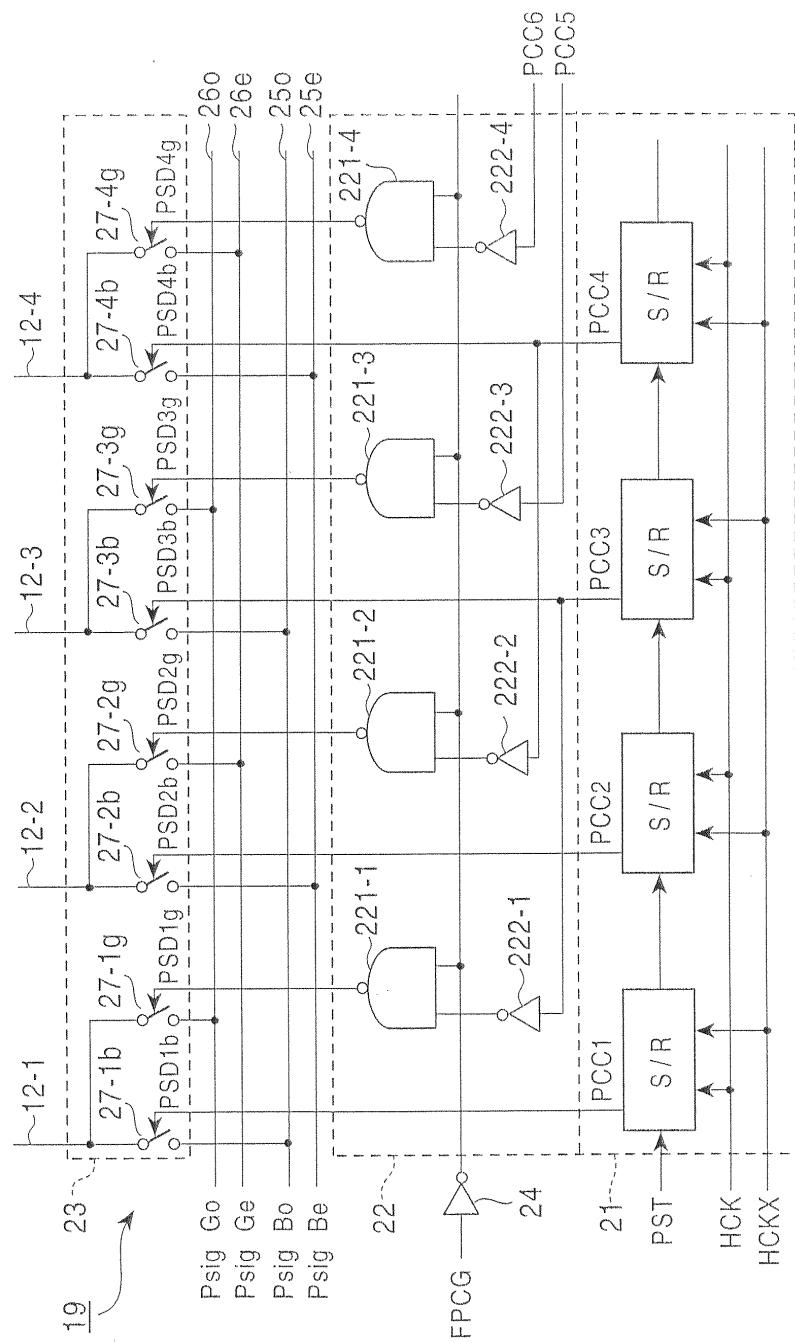
도면2

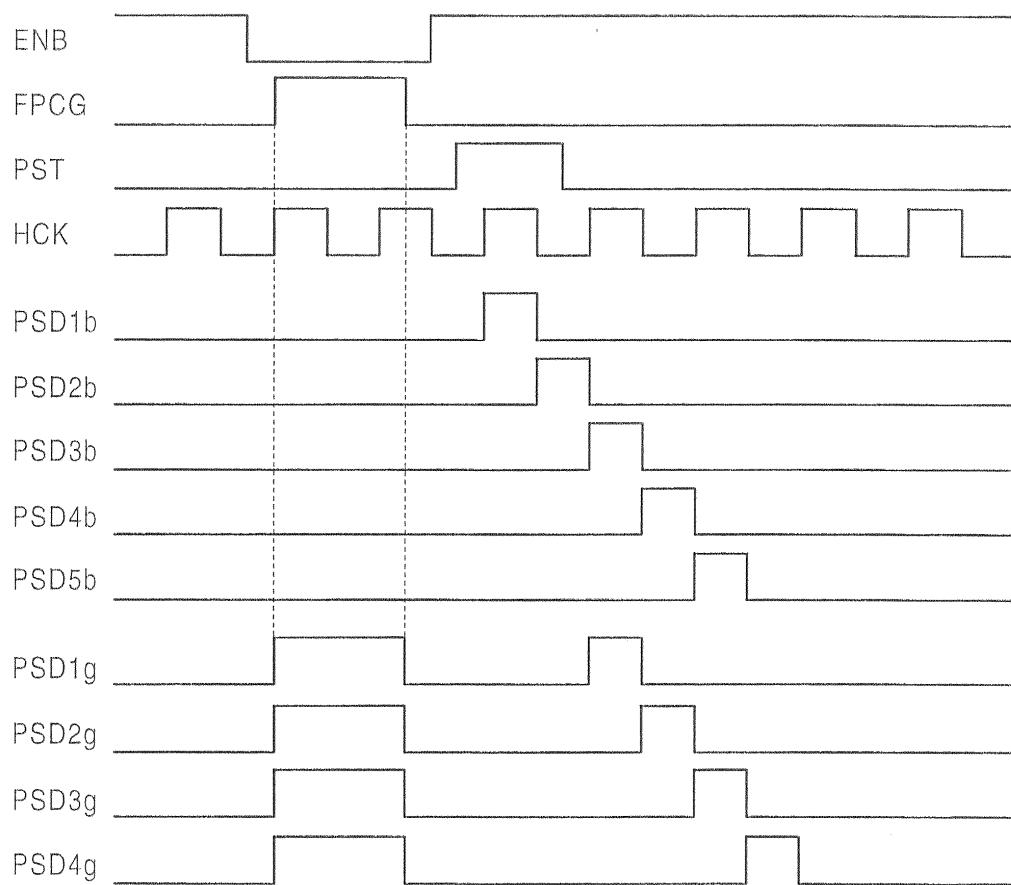


도면3

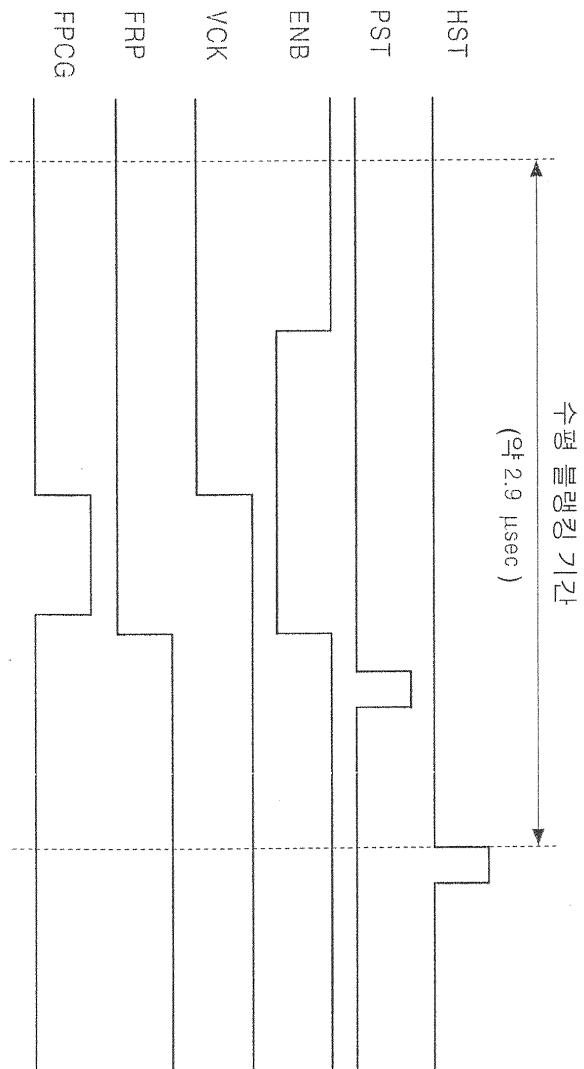
(d-1) L		(d-3) L		(더미)
(1-1) H	(1-2) H	(1-3) H	(1-4) H	1행째
(2-1) L	(2-2) L	(2-3) L	(2-4) L	2행째
(3-1) H	(3-2) H	(3-3) H	(3-4) H	3행째
(4-1) L	(4-2) L	(4-3) L	(4-4) L	4행째
	(d-2) H		(d-4) H	(더미)

도면4

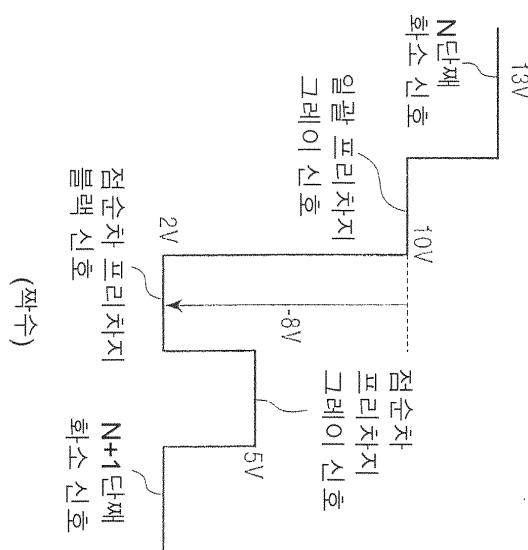
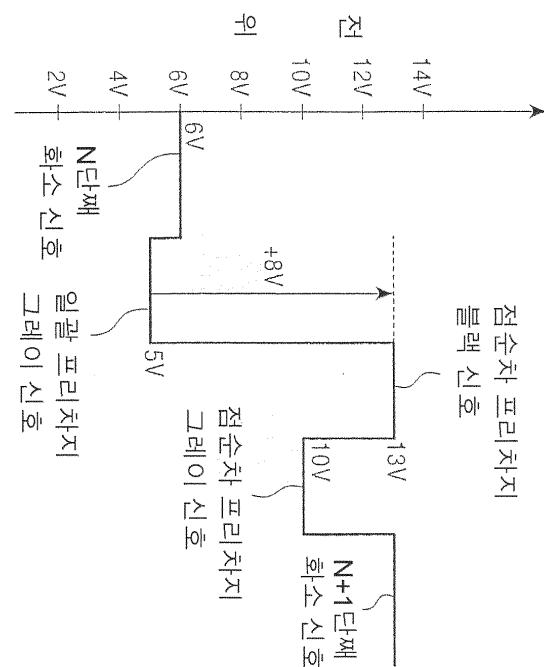


도면5

도면6

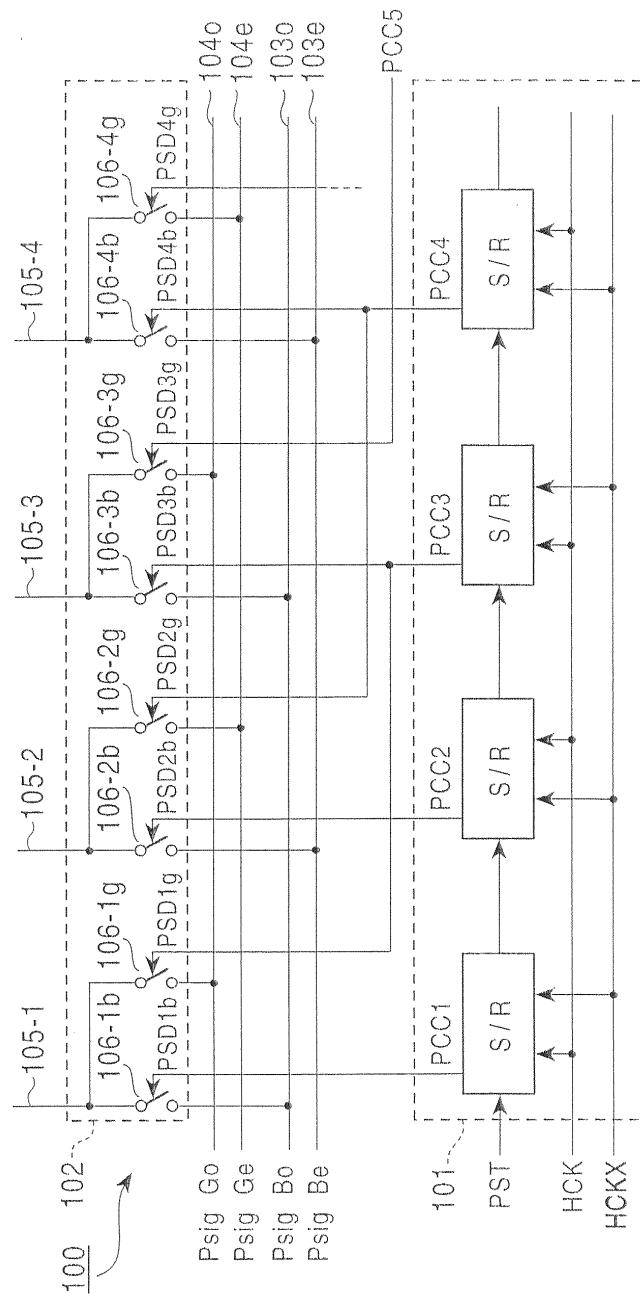


도면7

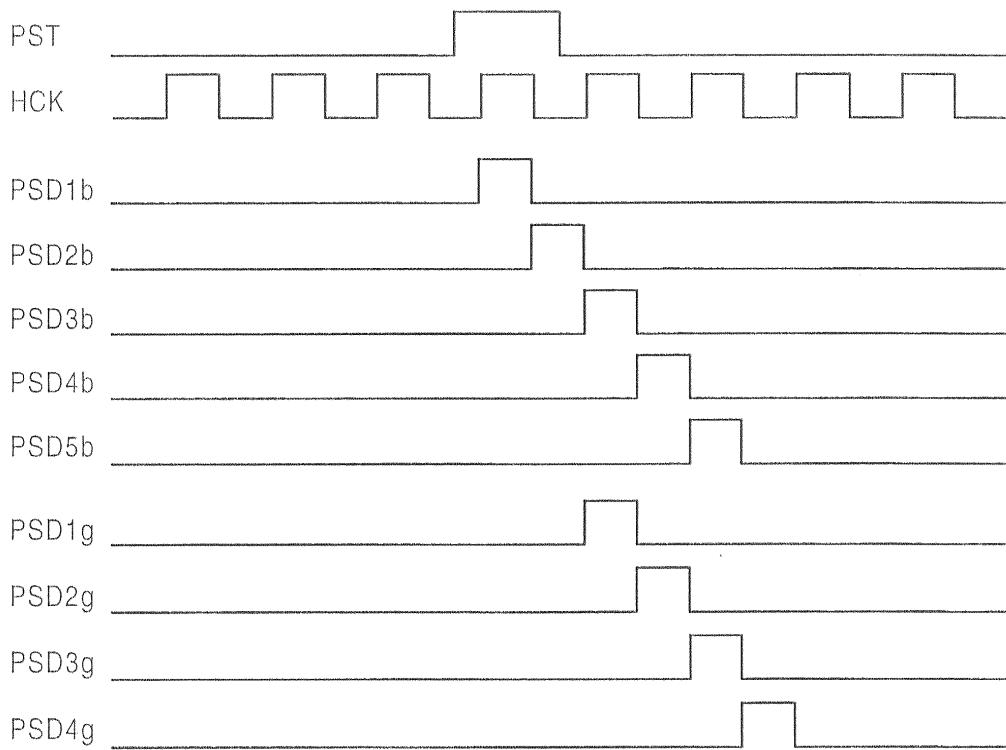


(쪽수)

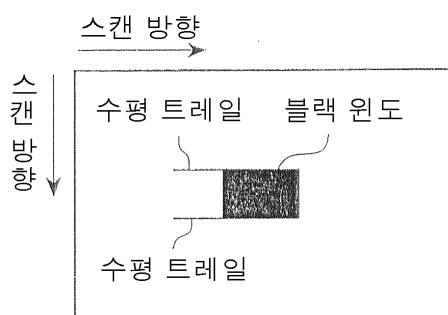
도면8



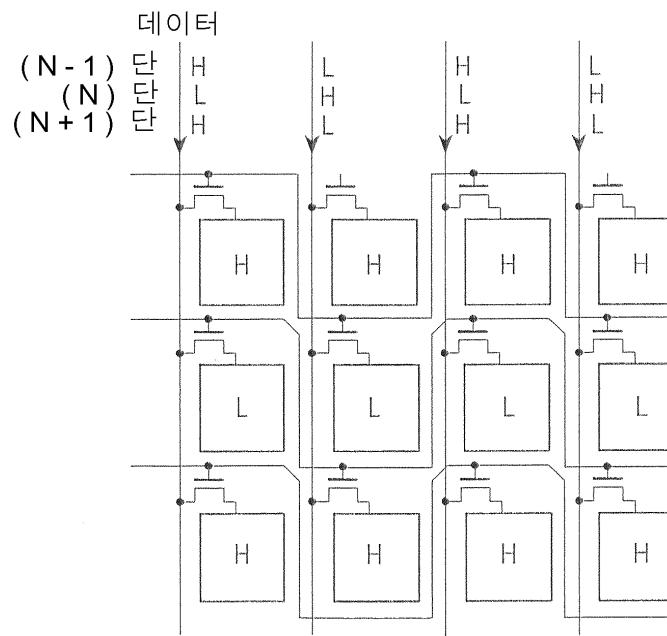
도면9



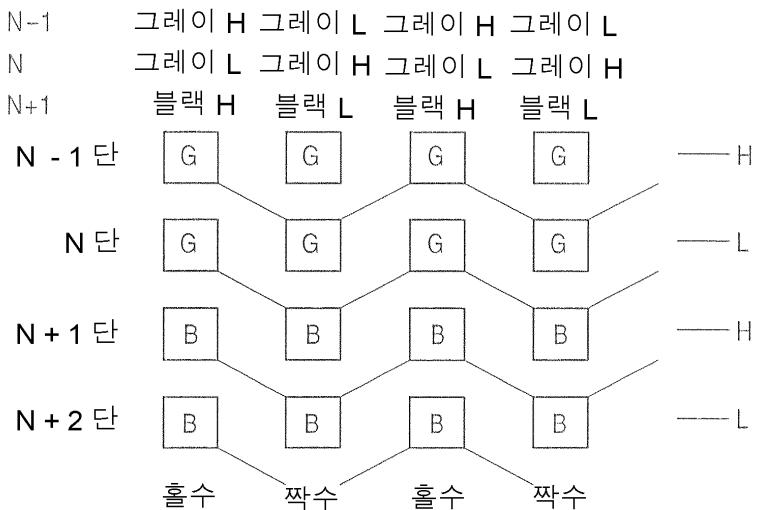
도면10



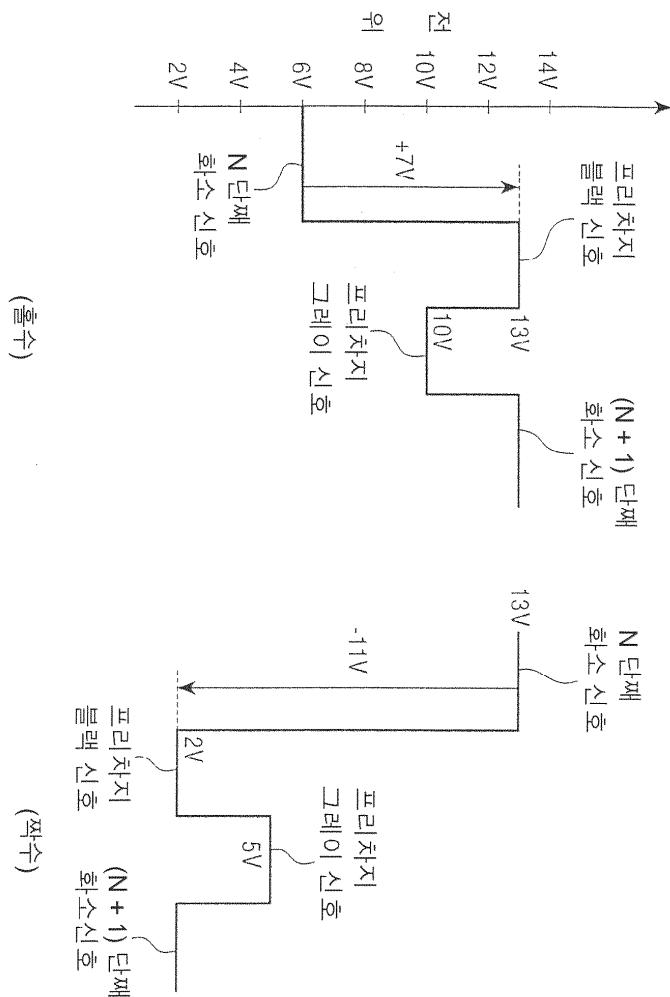
도면11



도면12



도면13



专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR100768117B1	公开(公告)日	2007-10-17
申请号	KR1020010033230	申请日	2001-06-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMASHITA JUNICHI 야마시타준이치 KASHIMA TOMOHIRO 가시마도모히로		
发明人	야마시타준이치 가시마도모히로		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/0248 G09G2320/0209 G09G3/3648 G09G2310/0297 G09G3/3614		
代理人(译)	KIM , JAE MAN 您是我的专利和法律公司		
优先权	2000177928 2000-06-14 JP		
其他公开文献	KR1020020005419A		
外部链接	Espacenet		

摘要(译)

当在写入预充电黑色信号时发生从信号线到Cs线或栅极线的耦合时，在黑色窗口或黑色线的显示时间出现边界部分的水平轨迹。点线反转 - 点序列 (点序) 两步预充电驱动在液晶显示器的水平扫描中，反极性视频信号提供给信号线如上所述，在水平消隐期间和产生一个批次预充电脉冲 (FPCG)，根据该大量预充电脉冲，和相同极性的预充电灰色 (预充电灰度) 信号的前端 (前段) 和像素电位 (电位) 以分批写入，然后，通过两步骤的相应的相对极性视频信号，并且在同一极性的预充电黑信号和预充电信号灰的。

