



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월11일  
(11) 등록번호 10-0758086  
(24) 등록일자 2007년09월05일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2001-0044041

(22) 출원일자 2001년07월21일

심사청구일자 2006년07월18일

(65) 공개번호 10-2002-0013713

공개일자 2002년02월21일

(30) 우선권주장

JP-P-2000-00226188 2000년07월21일 일본(JP)

(56) 선행기술조사문헌

US 5414443A

(뒷면에 계속)

전체 청구항 수 : 총 13 항

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

아끼모토하지메

일본도쿄도오메시가베마찌1조메842-1-508

사또히데오

일본이바라끼켄히다찌시다이하라쵸3조메5-5

(74) 대리인

구영창, 장수길

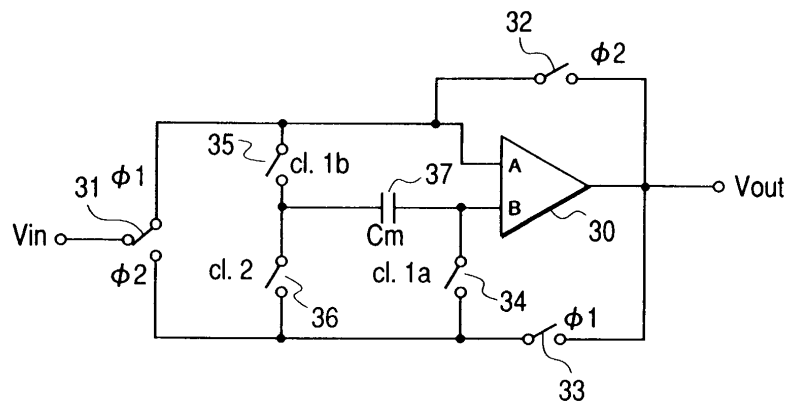
심사관 : 박위규

(54) 화상 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 소정의 4번의 타이밍에서 회로 접속을 변화시킴으로써, 회로에서 반도체 소자 특성인 변동을 소거할 수 있게 하는 스위치 피드 쓰루 오프셋 소거 회로에 관한 것이다. 따라서, 오프셋 소거 회로의 스위치 피드 쓰루 전하에서의 변동으로 인해 화상 품질을 저하시키는 수직 스트라이프 형태의 불균일한 휘도가 버퍼 증폭기를 갖는 TFT LC 표시 장치에서 제거된다.

대표도 - 도1



(56) 선행기술조사문헌

US 5734366A

US 5648791A

---

## 특허청구의 범위

### 청구항 1

소정의 전압이 인가되는 대향 전극, 해당 대향 전극과의 사이에서 커패시터를 형성하기 위해 설치된 화소 전극, 및 해당 화소 전극에 직렬로 접속된 화소 스위치를 갖는 복수의 화소로 구성되어 있는 표시부와,

표시될 화상 데이터에 기초하여 제1 아날로그 화상 신호 전압을 출력하는 화상 신호 전압 발생 수단과,

해당 제1 아날로그 화상 신호 전압을 입력으로 하고, 상기 화상 신호 전압 발생 수단보다 낮은 출력 임피던스로, 제2 아날로그 화상 신호 전압을 출력하기 위해 설치된 반도체 소자를 사용한 출력 임피던스 변환 수단군(群)과,

해당 출력 임피던스 변환 수단군 내에 설치되고, 해당 각 출력 임피던스 변환 수단군에서의 반도체 소자 특성의 변동에 기인하는 제2 아날로그 화상 신호 전압의 출력 오프셋 변동을 소거하기 위해 설치되고, 일단이 해당 출력 임피던스 변환 수단의 전압 입력 단자에 접속된 오프셋 소거 커패시터와, 일단이 해당 출력 임피던스 변환 수단의 전압 입력 단자에 접속된 제1 반도체 스위치를 갖는 오프셋 소거 회로군과,

상기 출력 임피던스 변환 수단군의 출력 단자와, 상기 화소 스위치를 접속하는 신호선군과,

상기 출력 임피던스 변환 수단군의 출력인 제2 아날로그 화상 신호 전압을 상기 신호선군과 상기 화소 스위치군을 통해, 소정의 표시 화소의 액정 커패시터에 기입하기 위한 신호 전압 기입 수단과,

상기 제1 반도체 스위치가 오프될 때 발생하는 스위치 피드 스루 전하(feed through charge)의 변동에 기인하는, 제2 아날로그 화상 신호 전압의 출력 변동을 저감하는 수단

을 포함하고,

상기 출력 임피던스 변환 수단은 차동 증폭 회로에 네거티브 피드백을 거는 전압 폴로어(voltage follower) 회로를 포함하는 화상 표시 장치에 있어서,

상기 오프셋 소거 회로는, 해당 차동 증폭 회로의 제1 입력 단자에 그 일단이 접속된 상기 오프셋 소거 커패시터, 해당 오프셋 소거 커패시터의 타단과 해당 차동 증폭 회로의 제2 입력 단자를 접속하는 제2 반도체 스위치, 해당 오프셋 소거 커패시터의 타단과 제1 노드를 접속하는 제3 반도체 스위치, 해당 차동 증폭 회로의 제1 입력 단자와 제1 노드를 접속하는 제1 반도체 스위치, 해당 차동 증폭 회로의 제2 입력 단자와 해당 차동 증폭 회로의 출력을 접속하는 제4 반도체 스위치, 해당 제1 노드와 해당 차동 증폭 회로의 출력을 접속하는 제5 반도체 스위치, 해당 오프셋 소거 회로로의 입력을 해당 차동 증폭 회로의 제2 입력 단자와 해당 제1 노드 중 어느 하나에 선택적으로 접속시키는 제6 반도체 스위치, 및 해당 차동 증폭 회로의 제1 입력 단자를 네거티브 입력을 걸어 제2 입력 단자를 포지티브 입력으로 설정하는 것과 해당 차동 증폭 회로의 제1 입력 단자를 포지티브 입력으로 걸어 제2 입력 단자를 네거티브 입력으로 설정하는 것을 선택적으로 가능하게 하는 차동 증폭 회로 포지티브/네거티브 반전 수단을 갖는 화상 표시 장치.

### 청구항 2

제1항에 있어서,

상기 차동 증폭 회로는 전류원과, 차동 드라이버 FET 쌍과, 게이트가 공통적으로 일방의 해당 차동 드라이버 FET의 드레인에 접속된 부하 FET 쌍을 갖고,

상기 차동 증폭 회로 포지티브/네거티브 반전 수단은, 해당 부하 FET 쌍의 게이트를 해당 차동 드라이버 FET 쌍 중 어느 하나에 선택적으로 접속하는 제7 반도체 스위치 쌍과, 해당 제7 반도체 스위치 쌍에 의해 선택되지 않은 차동 드라이버 FET로부터 해당 차동 증폭 회로의 출력을 얻는 제8 반도체 스위치 쌍을 포함하는 화상 표시 장치.

### 청구항 3

제1항에 있어서,

상기 출력 임피던스 변환 수단과 상기 신호선의 사이에는, 양자를 접속하고 차단하기 위한 제9 반도체 스위치를 갖는 화상 표시 장치.

#### 청구항 4

소정의 전압이 인가되는 대향 전극, 해당 대향 전극과의 사이에서 커패시터를 형성하기 위해 설치된 화소 전극, 및 해당 화소 전극에 직렬로 접속된 화소 스위치를 갖는 복수의 화소로 구성되어 있는 표시부와,

표시될 화상 데이터에 기초하여 제1 아날로그 화상 신호 전압을 출력하는 화상 신호 전압 발생 수단과,

해당 제1 아날로그 화상 신호 전압을 입력으로 하고, 해당 화상 신호 전압 발생 수단보다 낮은 출력 임피던스로, 제2 아날로그 화상 신호 전압을 출력하기 위해 설치된, 차동 증폭 회로에 네거티브 피드백을 거는 전압 폴로어 회로를 포함하는 출력 임피던스 변환 수단군과,

해당 출력 임피던스 변환 수단 내에 설치된, 해당 각 출력 임피던스 변환 수단군에서의 차동 증폭 회로를 구성하는 반도체 소자 특성의 변동에 기인하는 제2 아날로그 화상 신호 전압의 출력 오프셋 변동을 소거하기 위해 설치된, 해당 차동 증폭 회로의 제1 입력 단자에 그 일단이 접속된 오프셋 소거 커패시터와, 해당 오프셋 소거 커패시터의 타단과 해당 차동 증폭 회로의 제2 입력 단자를 접속하는 제2 반도체 스위치와, 해당 오프셋 소거 커패시터의 타단과 제1 노드를 접속하는 제3 반도체 스위치와, 해당 차동 증폭 회로의 제1 입력 단자와 제1 노드를 접속하는 제1 반도체 스위치와, 해당 차동 증폭 회로의 제2 입력 단자와 해당 차동 증폭 회로의 출력을 접속하는 제4 반도체 스위치와, 해당 제1 노드와 해당 차동 증폭 회로의 출력을 접속하는 제5 반도체 스위치와, 해당 오프셋 소거 회로의 입력을 해당 차동 증폭 회로의 제2 입력 단자와 해당 제1 노드 중 어느 하나에 선택적으로 접속시키는 제6 반도체 스위치와, 해당 차동 증폭 회로의 제1 입력 단자를 네거티브 입력을 걸어 제2 입력 단자를 포지티브 입력으로 설정하는 것과 해당 차동 증폭 회로의 제1 입력 단자를 포지티브 입력을 걸어 제2 입력 단자를 네거티브 입력으로 설정하는 것을 선택적으로 가능하게 하는 차동 증폭 회로 포지티브/네거티브 반전 수단을 포함하는 오프셋 소거 회로군과,

해당 출력 임피던스 변환 수단군의 출력 단자와 해당 화소 스위치군을 접속하는 신호선군과,

해당 출력 임피던스 변환 수단군의 출력인 제2 아날로그 화상 신호 전압을 해당 신호선군과 해당 화소 스위치군을 통해, 소정의 표시 화소의 액정 커패시터에 기입하기 위한 신호 전압 기입 수단을 갖는 화상 표시 장치에 있어서,

해당 제4 반도체 스위치를 오프하고, 해당 제5 반도체 스위치를 온하고, 해당 제6 반도체 스위치를 해당 차동 증폭 회로의 제2 입력 단자에 접속한 상태로, 해당 제1, 제2, 제3 반도체 스위치를 소정의 순서로 개폐하여 오프셋 소거를 행하는 제1 오프셋 소거 동작과, 해당 제4 반도체 스위치를 온하고, 해당 제5 반도체 스위치를 오프하고, 해당 제6 반도체 스위치를 해당 제1 노드에 접속한 상태로, 해당 제1, 제2, 제3 반도체 스위치를 소정의 순서로 개폐하여 오프셋 소거를 행하는 제2 오프셋 소거 동작을 선택적으로 행하는 것을 특징으로 하는 화상 표시 장치의 구동 방법.

#### 청구항 5

제4항에 있어서,

상기 오프셋 소거 동작에서 제1 반도체 스위치가 오프된 후, 제2 반도체 스위치가 오프되는 화상 표시 장치의 구동 방법.

#### 청구항 6

제4항에 있어서,

상기 제1 오프셋 소거 동작과 상기 제2 오프셋 소거 동작을, 각각 표시 프레임마다 번갈아 행하는 화상 표시 장치의 구동 방법.

#### 청구항 7

제4항에 있어서,

상기 제1 오프셋 소거 동작과 제2 오프셋 소거 동작을, 단일 표시 필드 내에서 1회씩 행하는 화상 표시 장치의 구동 방법.

#### 청구항 8

제7항에 있어서,

표시 필드 내의 전후반 2회의 오프셋 소거 동작의 기간은, 전반의 오프셋 소거 동작 기간이 후반의 오프셋 소거 동작 기간보다도 긴 화상 표시 장치의 구동 방법.

#### 청구항 9

제4항에 있어서,

상기 제1 오프셋 소거 동작과 제2 오프셋 소거 동작을, 단일 표시 필드 내에서 n회씩 행하는 화상 표시 장치의 구동 방법.

#### 청구항 10

소정의 전압이 인가되는 대향 전극과, 해당 대향 전극과의 사이에서 커패시터를 형성하기 위해 설치된 화소 전극과, 해당 화소 전극에 직렬로 접속된 화소 스위치를 갖는 복수의 화소로 구성되어 있는 표시부와,

표시될 화상 데이터에 기초하여 제1 아날로그 화상 신호 전압을 출력하는 화상 신호 전압 발생 수단과,

해당 제1 아날로그 화상 신호 전압을 입력으로 하고, 해당 화상 신호 전압 발생 수단보다 낮은 출력 임피던스로, 제2 아날로그 화상 신호 전압을 출력하기 위해 설치된, 차동 증폭 회로에 네거티브 피드백을 걸어 준 전압 폴로어 회로를 포함하는 출력 임피던스 변환 수단군과,

해당 출력 임피던스 변환 수단 내에는, 해당 각 출력 임피던스 변환 수단군에서의 차동 증폭 회로를 구성하는 반도체 소자 특성의 변동에 기인하는 제2 아날로그 화상 신호 전압의 출력 오프셋 변동을 소거하기 위해 설치된, 해당 차동 증폭 회로의 네거티브 입력 단자에 그 일단이 접속된 상기 오프셋 소거 커패시터와, 해당 오프셋 소거 커패시터의 타단과 해당 차동 증폭 회로의 포지티브 입력 단자를 접속하는 제2 반도체 스위치와, 해당 오프셋 소거 커패시터의 타단과 해당 차동 증폭 회로의 출력단을 접속하는 제3 반도체 스위치와, 해당 차동 증폭 회로의 네거티브 입력 단자와 해당 차동 증폭 회로의 출력단을 접속하는 상기 제1 반도체 스위치를 갖고, 해당 오프셋 소거 회로의 입력이 해당 차동 증폭 회로의 포지티브 입력 단자에 접속되고, 해당 제1 반도체 스위치가 복수의 반도체 스위치의 병렬 접속으로 구성되어 있는 오프셋 소거 회로군과,

해당 출력 임피던스 변환 수단군의 출력 단자와 해당 화소 스위치군을 접속하는 신호선군과,

해당 출력 임피던스 변환 수단군의 출력인 제2 아날로그 화상 신호 전압을 해당 신호선군과 해당 화소 스위치군을 통해, 소정의 표시 화소의 액정 커패시터에 기입하기 위한 신호 전압 기입 수단을 갖는 화상 표시 장치에 있어서,

해당 제1, 제2, 및 제3 반도체 스위치를 소정의 순서로 개폐하여 오프셋 소거 동작을 행할 때, 해당 제1 반도체 스위치를 구성하는 복수의 반도체 스위치가 시계열적으로 순차 오프되는 화상 표시 장치의 구동 방법.

#### 청구항 11

제10항에 있어서,

상기 오프셋 소거 동작에서, 해당 제1 반도체 스위치가 전부 오프된 후에, 제2 반도체 스위치가 순차적으로 오프되는 화상 표시 장치의 구동 방법.

#### 청구항 12

적어도 한쪽이 투명한 한 쌍의 기관과, 해당 한 쌍의 기관 사이에 배치된 액정층을 갖고, 상기 한 쌍의 기관 중 적어도 하나의 기관에 복수의 주사선과, 해당 복수의 주사선에 교차하도록 배치된 복수의 신호선을 갖는 표시부로 구성되고,

상기 주사선에 접속된 주사 신호 구동 회로와,

상기 신호선에 접속되고, 표시될 화상 데이터에 기초하여 제1 아날로그 화상 신호 전압을 생성하는 화상 신호 구동 회로를 갖는 액정 표시 장치로서,

상기 화상 신호 구동 회로는, 상기 제1 아날로그 화상 신호 전압이 상기 표시부로 송신될 때, 해당 제1 아날로그 화상 신호 전압을 해당 제1 아날로그 화상 신호 전압보다 낮은 임피던스의 제2 아날로그 화상 신호 전압으로

변환하는 출력 임피던스 변환 수단을 갖고,

해당 출력 임피던스 변환 수단은, 내부에 스위칭 소자로서의 복수의 반도체 소자와, 제1 타이밍 및 제2 타이밍과, 제3 타이밍 및 제4 타이밍에서, 2개의 입력 단의 포지티브/네거티브가 절환되고, 자신의 출력단이 상기 출력 임피던스 변환 수단의 출력단에 접속된 차동 증폭 회로를 포함하고,

제1 타이밍에서는, 입력 단자로부터 일단이 상기 차동 증폭 회로의 포지티브 입력단에, 또한 입력 단자로부터 분기된 일단이 오프셋 소거 커패시터를 통해 상기 차동 증폭 회로의 네거티브 입력단에 접속되고, 또한 상기 오프셋 소거 커패시터와 상기 차동 증폭 회로의 도중에서 분기된 일단이 출력 단자에 접속되는 회로 접속으로 되고,

제2 타이밍에서는, 입력 단자가 상기 차동 증폭 회로의 포지티브 입력단에 접속되고, 또한 출력 단자가 오프셋 소거 커패시터를 통해 상기 차동 증폭 회로의 네거티브 입력단에 접속되는 회로 접속으로 되고,

제3 타이밍에서는, 입력 단자는 일단이 상기 차동 증폭 회로의 포지티브 입력단에 접속되고, 또한 입력 단자로부터 분기된 일단이 오프셋 소거 커패시터를 통해 상기 차동 증폭 회로의 네거티브 입력단과, 출력 단자에 접속되는 회로 접속으로 되고,

제4 타이밍에서는, 입력 단자가 오프셋 소거 커패시터를 통해 상기 차동 증폭 회로의 포지티브 입력단에 접속되고, 또한 출력 단자가 상기 차동 증폭 회로의 네거티브 입력 단자에 접속되는 회로 접속으로 되는 출력 임피던스 변환 수단을 포함하는 액정 표시 장치.

### 청구항 13

제12항에 있어서,

상기 차동 증폭 회로는, 제1 타이밍과 제2 타이밍에서는 포지티브 입력단으로 된 단자가, 상기 제3 타이밍과 상기 제4 타이밍에서는 네거티브 입력 단의 단자로 되는 액정 표시 장치.

### 청구항 14

삭제

### 청구항 15

삭제

### 청구항 16

삭제

### 청구항 17

삭제

### 청구항 18

삭제

### 청구항 19

삭제

### 청구항 20

삭제

### 청구항 21

삭제

### 청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 특히 고품질의 화상 표시가 가능한 액정(이후로는 LC로 표시됨) 화상 표시 장치에 관한 것이다.
- <22> 이하, 도 11을 참조하여 종래 기술이 설명될 것이다.
- <23> 도 11은 종래 기술을 사용한 TFT 액정 패널 구동용의 저온 poly-Si 구동 회로에 사용되는 오프셋 소거 버퍼 회로의 구성도이다. 아날로그 입력 신호 Vin은 네거티브 피드백(negative feedback)에 의해 차동 증폭 회로(155)에 버퍼링되고, 아날로그 출력 신호 Vout으로서 TFT 액정 패널에 입력된다. 스위치(153)를 통한 하나와, 스위치(152)를 통한 다른 하나의 2개의 네거티브 피드백 라우트(negative feedback route)가 제공되고, 스위치(152)를 통한 라우트는 캐패시터(151)를 통해 전달된다. 또한, 스위치(152)와 캐패시터(151)와의 사이의 접합부로부터, 스위치(154)를 통해 입력부 Vin으로 배선이 접속된다.
- <24> 이제, 종래의 회로 동작이 설명될 것이다. 차동 증폭 회로(155)의 포지티브 및 네거티브 입력부는 저온 poly-Si TFT로 구성되지만, 일반적으로는 저온 poly-Si TFT는 단결정 MOS 트랜지스터에 비해 크게 변동(fluctuate)되기 때문에, 단순히 피드백을 걸어주기만 하는 전압 폴로어(voltage follower) 회로에서는 버퍼 회로마다 큰 출력 오프셋 전압에서의 변동이 야기되어, LC 패널 표시상에 수직 스트라이프의 형태로 불균일한 휘도(brightness)가 유도된다. 따라서, 종래의 회로에서는 이 오프셋 전압을 소거하기 위해 오프셋 소거 회로를 적용하고 있다. 수평 주사 기간의 전반부에서는 스위치(153, 154)가 온되고, 스위치(152)가 오프된다. 이 때 캐패시터(151)에는 네거티브 피드백을 갖는 차동 증폭 회로(155)의 출력 오프셋 전압이 저장된다. 다음으로, 수평 주사 기간의 후반부에서는 스위치(153, 154)를 온시키고, 스위치(152)를 온시킨다. 이러한 동작에 의해 생성된 새로운 네거티브 피드백 루프에서는 출력 오프셋 전압을 저장한 캐패시터(151)가 직렬로 연결되기 때문에, 이 출력 오프셋 전압은 차동 증폭 회로(155)에 따라 감소된다. 즉, 본 발명의 회로 구성에 따라 출력 오프셋 전압의 소거가 가능해진다.
- <25> 상기 언급된 종래의 기술에 관계하여, 예를 들면 전자 정보 통신 학회 기술 보고 EID98-125(1999년 1월) pp91~96의 류이찌 하시오 등의 "An Offset Cancel Circuit for Integrated Data-Driver Composed of Low-Temperature Poly-Si TFTs" 등에 상세히 기재되어 있다.
- <26> 또한, 동일한 오프셋 소거 버퍼 회로를 LSI로 구성하고, TFT 액정 패널을 구동한 때의 주변 회로 구성에 관계하여, 예를 들면 H. Minamizaki 등의 "Low Output Offset, 8 bit Signal Drivers for XGA/SVGA TFT-LCDs"(Proceedings of Euro Display '96, pp274-250) 등에 상세히 기재되어 있다.
- <27> 상기 종래 기술에 따르면, 차동 증폭 회로의 불일치에 기인하는 오프셋 전압을 소거하는 것이 가능하다. 그러나, 스위치(153)(FET(Field Effect Transistor) 스위치)가 새로운 출력 오프셋 전압 변동의 주원인이 되고, 오프셋 소거 회로의 출력 압의 정확성을 더 증가시키기 위해서는 도 11을 이용하여 주로 설명되어질 상기 새로운 주요 원인이 해결되어야만 한다는 것을 본 발명의 발명자가 발견하였다.
- <28> 여기서, 하기의 설명을 위해, 캐패시터(151)를 Cm으로 하고, 스위치(153)가 오프된 때에 발생하는 스위치 피드

쓰루(feed through) 전하를 도면에 도시된 바와 같이, q1 및 q2로 정의한다. 또한, 차동 증폭 회로(155)의 개시 이득을 G로 둔다.

<29> 처음에, 스위치(153, 154)가 온되고, 캐패시터 Cm(151)에 차동 증폭 회로(155)의 출력 오프셋 전압을 저장시킨 후, 스위치(153, 154)가 오프된다. 이 때 각각의 스위치를 구성하는 FET는 오프하는 때에 피드 쓰루 전하를 각각의 소스 및 드레인측에 방출하는 것이 잘 공지되어 있다. 그 결과, 스위치(153)의 피드 쓰루 전하 중 q1은 캐패시터(Cm)(151)에 본래 저장되어 있는 전하량에 가산되고, 캐패시터(Cm)(151)는 그 사이에 캐패시터(Cm)(151) 양단의 전압을 변조하기 위한 캐패시턴스 Cm을 갖는다. 이 q1에 기인하여 상기 오프셋 소거 동작 후에 오프셋 소거 버퍼 회로의 출력 Vout에서 발생하는 새로운 오프셋 전압  $\Delta V_{outb}$  하기 식에 의해 결정된다.

$$\Delta V_{out} = -q1 \cdot G / (G+1) \cdot C_m$$

<30>

<31> 일반적으로 차동 증폭 회로(155) 개방 이득 G는 매우 큰 값으로 설정되어 있기 때문에, 수학적 1로부터 G가 충분히 큰 값이라고 가정하면, 스위치(153)의 피드 쓰루 전하에 기인하는  $(-q1/C_m)$ 의 오프셋 전압  $\Delta V_{outb}$  발생을 피할 수 있음을 이해할 수 있다. 또한, 여기서 스위치(153)의 피드 쓰루 전하 q2는 어떠한 중요한 영향도 미치지 않는다.

<32>

버퍼 회로의 역할은 임피던스 변환이기 때문에, 입력 임피던스를 작게 설정하는 것은 바람직하지 않으므로, 캐패시터(151)의 캐패시턴스 Cm이 너무 크게 결정될 수는 없다. 따라서, 새로운 오프셋 전압  $\Delta V_{out}$ 은 버퍼 회로의 출력 전압의 정확도를 향상시키면 큰 문제가 야기된다.  $(-q1/C_m)$ 이 일정한 값이면, 외부 정정이 가능해진다. 그러나, 여기서 문제가 되는 것은 q1의 변동으로 인하여 TFT 액정 패널의 표시 화상상에 발생하는 수직 스트라이프형의 불균일한 휘도이고, 그 외부 정정은 어렵다. 여기서는 상기와 같은 q1의 변동으로 인한 오프셋 변동을 이하 "스위치 피드 쓰루 오프셋 변동"이라 부르기로 한다.

<33>

또한, 단결정 MOS 트랜지스터를 상기 스위치(153)에 사용하면, 그 임계 전압 Vth는 일반적으로 대략 최대 20mV로 변동할 뿐 아니라, 그 게이트 크기는 서브 마이크론 정도의 크기가 된다. 따라서, 상기 "스위치 피드 쓰루 오프셋 변동"은 비교적 작은 캐패시턴스 Cm을 갖는 캐패시터로 억제될 수 있다. 그러나, 예를 들어, 스위치(153)용으로 다결정 Si-TFT가 사용되면, 채널 부분에 결정 그레인(grain) 구조를 가지며, 게이트 절연막 경계의 결함 레벨 밀도가 불균일해지기 때문에, Vth는 수백 mV 내지 최대 1V 근처까지 변동한다. 또한, 프로세서 기판의 크기는 수십 cm 내지 1m로 비교적 크기 때문에, 최소 게이트 가공 크기는 수 마이크론의 크기이고, 가공 크기 변동도 비교적 커지게 된다. 스위치 피드 쓰루 전하 q1은 주로 채널 전하  $C_g \cdot (V_g - V_{th})$ 에 비례한다. 여기서, Cg는 게이트 면적, 게이트 절연막 두께, 및 게이트 절연막 유전율로 결정되는 게이트 캐패시턴스이다. 따라서, Vth 및 게이트 면적의 변동이 그대로 스위치 피드 쓰루 전하 q1의 변동에 직접 반사된다. 예를 들면, 임계 전압 Vth에서의 변동이 1V이고, 스위치(153)와 캐패시턴스 Cm을 갖는 캐패시터(151) 간의 캐패시턴스 비는 100배이고, 스위치(153)의 채널 전하의 절반을 q1으로 가정하면, 차동 증폭 회로(155)의 개방 이득 G를 무한대로 근사할 때, 출력으로 5mV의 변동이 발생하게 된다. 실제로는 여기에 다시 게이트 면적의 가공 크기 변동과 같은 것으로 인한 변동이 가산되므로, 종래의 방법을 가지고는 버퍼 회로의 출력 오프셋 전압 변동을 실용적인 레벨까지 낮추는 것이 어려웠다.

<34>

상기에서, 도 11에 도시된 바와 같이 스위치(153)로 인한 오프셋 소거 회로에 포함되는 문제가 설명되었다. 그러나, 이러한 문제는 도 11의 회로 고유한 문제는 아니고, 일반적인 오프셋 소거 회로에서의 공통의 문제라는 것을 여기서 지적할 필요가 있다. 오프셋 소거 회로는 미리 캐패시터에 저장된 오프셋 전압을 차동 증폭 회로의 입력에 더하여 감산을 행하고, 이러한 이유로 캐패시터의 한쪽 단자가 반드시 차동 증폭 회로의 입력에 접속될 필요가 있다. 또한, 캐패시터에 오프셋 전압을 기입하기 위해, 캐패시터의 한쪽 단자 또한 스위치에 접속되어야만 한다. 따라서, 스위치가 오프될 때 피드 쓰루 전하가 발생하고, 그 결과 피드 쓰루 전하가 차동 증폭 회로의 입력에 에러 전압으로서 인가된다.

<35>

상기 고려 사항에 따라, FET를 사용한 오프셋 소거 버퍼 회로에서는 차동 증폭 회로의 입력에 접속되어 있는 오프셋 소거용 스위치의 피드 쓰루 전하 q1의 변동이 "스위치 피드 쓰루 오프셋 변동"이라 부르는 새로운 오프셋 전압 변동의 원인이 되고, 따라서 버퍼 회로의 출력 전압 정밀도를 향상하기 위해서는 새로운 카운터 측정이 필요하다.

<36>

또한, 이상에서 설명한 피드 쓰루가 문제가 되는 스위치(153)는 n형 TFT 구성, p형 TFT 구성, 및 CMOS TFT 구성



으로서 피드 쓰루 전하의 "변동"이라 부르는 관점으로부터 동일한 문제가 발생한다는 것은 명백할 것이다.

### 발명이 이루고자 하는 기술적 과제

<37> 상기 문제는 소정의 전압이 인가된 액정 대향 전극과, 액정 대향 전극과의 사이에서 액정 캐패시터를 형성하기 위해 설치된 화소 전극과, 화소 전극과 직렬 접속된 화소 스위치와, 화상 표시를 행하기 위해 매트릭스상에 배치된 복수의 표시 화소와, 표시되어질 화상 데이터에 기초하여 제1 아날로그 화상 신호 전압을 출력하는 화상 신호 전압 발생 수단과, 제1 아날로그 화상 신호 전압이 입력되고, 상기 화상 신호 전압 발생 수단의 출력 임피던스보다 낮은 출력 임피던스로 제2 아날로그 화상 신호 전압을 출력하는 반도체 소자를 사용한 출력 임피던스 변환 수단 그룹과, 출력 임피던스 변환 수단 중에서 각 출력 임피던스 변환 수단 그룹에서의 반도체 소자 특성의 변동으로 인한 제2 아날로그 화상 신호 전압의 출력 오프셋 변동을 소거하기 위해 설치되고 하나의 단자가 출력 임피던스 변환 수단의 전압 입력 단자에 접속되는 오프셋 소거 캐패시터와, 하나의 단자가 출력 임피던스 변환 수단의 전압 입력 단자에 동일하게 접속된 제1 반도체 스위치를 포함한 오프셋 소거 회로 그룹과, 출력 임피던스 변환 수단 그룹의 출력 단자와 화소 스위치 그룹을 접속하는 신호선 그룹과, 출력 임피던스 변환 수단 그룹의 출력을 나타내는 아날로그 화상 신호 전압을 신호선 그룹과 화소 스위치 그룹을 통해 소정의 표시 화소에서 액정 캐패시터에 기입하는 신호 전압 기입 수단을 포함한 화상 표시 장치에 있어서, 제1 반도체 스위치가 오프되는 때에 발생하는 스위치 피드 쓰루 전하의 변동으로 인해 제2 아날로그 화상 신호 전압의 출력 변동을 저감하는 수단이 새로 더 제공되는 것에 의해 해결할 수 있다.

### 발명의 구성 및 작용

<38> <제1 실시예>

<39> 이하, 도 1 내지 도 5 및 표 1을 사용하여 본 발명에서의 제1 실시예에 관하여 설명하기로 한다.

<40> 도 3은 본 실시예인 다결정 Si-TFT 액정 표시 패널의 구성도이다.

<41> 소정의 전압이 인가된 액정 대향 전극과 화소 전극 사이에 형성된 액정 캐패시터(12) 및 액정 캐패시터(12)에 접속된 화소 TFT(11)로 구성된 표시 화소는 매트릭스 형태로 배치된 화상 표시 영역을 구성하고 있다. 화소 TFT(11)의 게이트는 게이트선(13)을 통해 게이트선 구동 회로(10)에 접속되어 있다. 또한, 화소 TFT(11)의 드레인선(7)을 통해 신호선 구동 회로(90)와 접속되어 있다. 구체적으로는, 화소 TFT(11)의 드레인 전극은 신호선(7)을 통해 신호선 구동 회로(90)의 아날로그 버퍼 출력 스위치(16)에 접속되어 있다. 아날로그 버퍼 출력 스위치(16)의 다른 단자는 계조 변화(gradation change-over) 스위치(14)를 통해 아날로그 버퍼(20A, 20B)의 출력 단자에 접속되고, 다시 아날로그 버퍼(20A, 20B)의 입력 단자는 계조 선택 스위치(3A, 3B)에 접속되어 있다. 여기서, 아날로그 버퍼(20A, 20B) 중 어느 하나와 계조 선택 스위치(3A, 3B) 중 어느 하나는 계조 변환 스위치(14, 15)에 의해 선택된다. 또한, 여기서 계조 선택 스위치(3A, 3B)는 멀티플렉서 구성으로 이루어지며, 계조 선택선(17)에 의해 선택된 소정의 계조 전원선(2A, 2B) 중 하나를 출력에 접속시킴으로써, D/A 변환기의 디코더로서 기능한다. 또한, 도 3에서는 래치 어드레스 선택 회로(21), 1차 래치 회로(23), 2차 래치 회로(24), 및 계조 선택 스위치(3A, 3B)에 의해 구성된 부분은 화상 신호 전압 발생부(91)이고, 아날로그 버퍼(20A, 20B)에서 구성된 부분은 출력 임피던스 변환 수단 그룹(92)으로 이루어져 있다.

<42> 또한, 여기서 화상 표시 데이터는 6 비트로 하기 때문에, 계조 전원선(2A, 2B)은 각각 상이한 계조 전압이 인가된 64개의 병렬 배선으로 구성된다. 한편, 계조 선택선(17)은 1차 래치 회로(23)로부터 2차 래치 회로(24)를 통해 출력되고, 1차 래치 회로(23)에는 디지털 데이터 입력선(22) 및 래치 어드레스 선택 회로(21)가 입력된다. 상기 각 회로 블록은 다결정 Si-TFT 소자를 사용하여, 유리 기판상에서 구성되고, 각 스위치에 다결정 Si-TFT를 사용하여 구성된 CMOS 스위치를 활용한다. 또한, 컬러 필터나 백라이트 구성 등, TFT 패널의 구현에 필요한 소정의 구조에 대한 기재는 설명을 간략화하기 위해 생략하기로 한다.

<43> 이하에서는 본 액정 표시 패널의 동작에 대한 아웃라인을 설명하기로 한다. 또한, 아날로그 버퍼(20A, 20B)의 구조와 동작 타이밍의 상세는 도 1, 도 2, 도 4, 도 5 및 표 1을 사용하여 후술하기로 한다. 디지털 데이터 입력선(22)에 입력된 화상 표시 데이터는 래치 어드레스 선택 회로(21)에 의해 선택된 어드레스를 갖는 1차 래치 회로(23)에 래치된다. 하나의 행을 기입하는 데 필요한 화상 표시 데이터의 래치가 수평 주사 기간내에 완료되면, 화상 표시 데이터는 일괄적으로 1차 래치 회로(23)에서 2차 래치 회로(24)에 전송되고, 다음 수평 주사 기간중에 2차 래치 회로(24)는 화상 표시 데이터를 계조 선택선(17)에 출력한다. 디코더 스위치 그룹에 의해 구성된 계조 선택 스위치(3A, 3B)는 계조 선택선(17)의 내용에 따라, 소정의 아날로그 화상 신호 전압을 계조 전

원선(2A, 2B)으로부터 아날로그 버퍼(20A, 20B)에 공급한다. 아날로그 버퍼(20A, 20B)는 공급된 화상 신호 전압에 대응하는 화상 신호 전압을 아날로그 버퍼 출력 스위치(16)를 통해 신호선(7)에 공급한다. 아날로그 버퍼(20A, 20B)의 역할은 이 때의 출력 임피던스를 계조 선택 스위치(3A, 3B)에서의 출력 임피던스보다 낮게 감소시켜, 신호선(7)으로의 신호 전압 기입 속도를 향상시키고, 화상 신호 전압을 저 임피던스로 출력하는 것에 의해 신호선들(7) 상호간의 캐패시터 결합(capacitive couple) 등에 의한 크로스 토크(cross talk)를 방지하는 것이다. 본 실시예에서, 아날로그 버퍼(20A, 20B)는 후술하는 바와 같이, 아날로그 버퍼들 자체에 의해 오프셋 전압 변동을 보상하기 위한 오프셋 소거 기능 외에, 오프셋 소거 회로에 의해 발생하는 피드 쓰루 전압에 의한 "스위치 피드 쓰루 오프셋 변동"의 소거 기능이 제공된다. 신호선(7)으로 입력되는 상기 오프셋 변동이 없는 화상 신호 전압은 게이트선(13)을 통해 게이트선 구동 회로(10)가 소정 행의 화소 TFT(11)를 온하는 경우, 소정 LC 캐패시터(12)에 기입된다.

<44> 이제, 도 1, 도 2, 및 표 1을 사용하여 아날로그 버퍼(20A, 20B)의 회로 구조에 대하여 설명하기로 한다. 본 실시예에서는, 아날로그 버퍼(20A, 20B)는 동일한 기본 구조를 갖기 때문에, 이하에서는 단순히 아날로그 버퍼(29)로서 설명하기로 한다.

### 【표 1】

<45>

	$\phi 1$	$\phi 2$
A	+	-
B	-	+

<46> 도 1은 상기 오프셋 소거 기능과 스위치 피드 쓰루 오프셋 소거 기능을 포함하는 아날로그 버퍼(20)의 회로 구성도이다.

<47> 아날로그 버퍼(20)의 입력 단자는 위상  $\phi 1$ ,  $\phi 2$ 에 따라 변화하는 절환(change-over) 스위치(31)에 결합된다. 절환 스위치(31)의 하나의 단자는 클럭  $c1 \cdot 1b$ 에 의해 온되는 스위치(35), 위상  $\phi 2$ 에 의해 온되는 스위치(32), 차동 증폭기(30)의 2개의 입력 단자 중 한쪽 입력 단자에 접속되고, 절환 스위치(31)의 다른 단자는 클럭  $c1 \cdot 2$ 에 의해 온되는 스위치(36), 클럭  $c1 \cdot 1a$ 에 의해 온되는 절환 스위치(34), 위상  $\phi 1$ 에 의해 온되는 스위치(33)에 접속된다. 또한, 차동 증폭기(30)의 다른 쪽 입력 단자는 클럭  $c1 \cdot 1a$ 에 의해 온되는 절환 스위치(34)와 소거 캐패시터(37)에 접속되고, 소거 캐패시터(37)의 다른 단자는 클럭  $c1 \cdot 1b$ 에 의해 온되는 스위치(35)와 클럭  $c1 \cdot 2$ 에 의해 온되는 스위치(36)에 접속된다. 따라서, 차동 증폭기(30)의 출력 단자는 아날로그 버퍼(20)의 출력 단자에 접속됨과 동시에 위상  $\phi 2$ 에 의해 온되는 스위치(32)와, 위상  $\phi 1$ 에 의해 온되는 스위치(33)에 접속된다. 또한, 여기서 차동 증폭기(30) 중 (A, B)로 표시된 입력 단자의 부호는 표 1에 표시된 바와 같이, 위상이  $\phi 1$ 인 경우 (+, -)로, 위상이  $\phi 2$ 인 경우 (-, +)로 절환된다.

<48> 도 2는 상기 기능을 갖는 차동 증폭기(30)의 회로 구성도이다.

<49> 차동 증폭기(30)는 처음 단의 차동 회로와, 다음 단의 소스 폴로어(follower) 회로로 구성된다. 처음 단의 차동 회로는 다결정 Si-드라이버 TFT(41, 42), 다결정 Si-부하 TFT(43, 44), 및 다결정 Si-전류원 TFT(45)로 이루어지며, 그 차동 출력 단자는 위상  $\phi 1$ ,  $\phi 2$ 에 의해 절환되는 다결정 Si-스위치 TFT 그룹(46, 47, 48, 49)에 의해 절환가능하다. 이들 스위치 그룹에 의해 차동 증폭기(30)의 입력 단자(A,B)에 대한 포지티브 및 네거티브의 극성이 절환된다. 다결정 Si-드라이버 TFT(51) 및 소정의 바이어스에 의해 구동되는 다결정 Si-부하 TFT(52)로 구성된 다음 단의 소스 폴로어 회로는 큰 출력 전류의 공급과, 동작점 전압의 정합(matching)을 위해 제공된다. 또한, 도면상의 기호들  $Vd1$ ,  $Vs1$ ,  $Vd2$ ,  $Vs2$ 는 각각 상기 처음 단의 차동 회로 및 다음 단의 소스 폴로어 회로에 대한 고/저 전압원들의 전압들이다.

<50> 이하에서는 도 4a~도 5를 사용하여 본 실시예의 동작을 상세히 설명하기로 한다.

<51> 우선, 도 4a~도 4d를 참조하여, 아날로그 버퍼(20)의 동작을 설명하기로 한다. 아날로그 버퍼(20)는 위상  $\phi 1$ 의 전반부 동안, 도 4a에 나타난 바와 같이 스위치(34, 35)를 닫음으로써 오프셋량의 메모리(1)를 행한다. 이 때, 캐패시턴스  $C_m$ 을 갖는 소거 캐패시터의 양단에는 아날로그 버퍼(20)의 오프셋 전압이 입력된다. 다음으로, 도 4b에 표시된 바와 같이, 위상  $\phi 1$ 의 후반부 동안, 스위치(36)가 닫혀지고, 오프셋량의 감산(1)이 행해진다.

이 때, 아날로그 버퍼(20)의 오프셋 전압  $\Delta V$ 를 저장하는 소거 캐패시터(37)가 아날로그 버퍼(20)의 네거티브 피드백 루프(negative feedback loop)에 삽입되기 때문에, 차동 증폭기(30)의 출력 전압은  $\Delta V$ 만큼 줄어든다. 이에 의해 아날로그 버퍼(20)의 오프셋 전압  $\Delta V$ 는 소거되지만, 전술한 [종래 기술]에서 설명한 바와 같이, 스위치(34)가 오프되는 때에 차동 증폭기(30)의 네거티브 입력 단자측에 발생한 피드 쓰루 전하  $q_1$ 로 인한 스위치 피드 쓰루 오프셋 전압이 아날로그 버퍼(20)의 출력 단자에  $(-q_1/C_m)$ 만큼 발생하게 된다.

<52> 다음으로, 도 4c에 도시된 바와 같이, 아날로그 버퍼(20)는 위상  $\phi_2$ 의 전반부 동안, 스위치(34, 35)를 닫은 후, 오프셋량의 메모리(2)를 행한다. 이 때, 소거 캐패시터(37)의 양단에는 아날로그 버퍼(20)의 오프셋 전압  $\Delta V$ 도 입력된다. 다음으로, 위상  $\phi_2$ 의 후반부 동안, 도 4d에 나타난 바와 같이 스위치(36)를 닫은 후 오프셋량의 감산(2)이 행해진다. 이 때, 아날로그 버퍼(20)의 오프셋 전압  $\Delta V$ 를 저장한 소거 캐패시터(37)는 아날로그 버퍼(20)의 포지티브 입력 단자에 삽입되기 때문에, 차동 증폭기(30)의 출력 전압은  $\Delta V$ 만큼 줄어든다. 이에 의해, 아날로그 버퍼(20)의 오프셋 전압  $\Delta V$ 는 소거되지만, 이 때에도 앞서서와 마찬가지로, 스위치(34)가 오프되는 때에 차동 증폭기(30)의 포지티브 입력 단자측에 발생한 피드 쓰루 전하  $q_1$ 로 인한 스위치 피드 쓰루 오프셋 전압이 아날로그 버퍼(20)의 출력 단자에  $(+q_1/C_m)$ 만큼 발생한다. 그러나, 위상  $\phi_1$ 과  $\phi_2$ 에서 아날로그 버퍼(20)에 입력되는 전압이 동일하다고 가정하면, 여기서 발생하는 스위치 피드 쓰루 오프셋 전압들은 기본적으로 동일한 TFT로부터 동일한 전압 조건에서 발생되어, 양쪽의  $q_1$  값은 동일하기 때문에, 위상  $\phi_1$ 과  $\phi_2$ 에서 아날로그 버퍼(20)의 출력 단자에 발생하는 스위치 피드 쓰루 오프셋 전압은, 동일한 절대값을 가지면서 극성들은 역으로 된다는 것을 이해할 수 있다. 따라서, 위상  $\phi_1$ 과  $\phi_2$ 를 프레임마다 교대로 전환됨에 의해, 상기 스위치 피드 쓰루 오프셋을 외관상 소거될 수 있고, 이에 의해 문제가 되었던 스위치 피드 쓰루 오프셋 전압의 변동도 동시에 제거될 수 있다.

<53> 다음으로, 도 5는 본 실시예에 따른 2 프레임(=4개의 필드) 기간 동안에 동일한 화소 행으로의 기입 시 소정의 열에서의 각 동작 필드들에 관한 타이밍 차트이다. 본 실시예는 홀수 및 짝수의 2개의 프레임을 반복하는 단위로 구동된다. 본 차트에서 스위치의 온/오프는 도면 중에 나타난 바와 같이, 상하 레벨들로 표현되고 있다. 그러나, 계조 전환 스위치(14, 15)에 대하여, 선택된 아날로그 버퍼(20A, 20B)와 계조 선택 스위치(3A, 3B)에 대응시키기 위해 상부를 A, 하부를 B로 하여 도시하였다.

<54> 홀수 프레임 기간 • 포지티브 필드의 초기에 위상  $\phi_1$ 이 선택되고, 계조 전환 스위치(14, 15)가 A 선택쪽으로 전환된다. 다음으로, 게이트선 구동 회로(10)에 의해 선택되는 소정의 게이트선(13)(화소 TFT(11))이 온되고, 아날로그 버퍼(20A)에서의 스위치(36)가 오프된다. 다음, 아날로그 버퍼(20A)에서의 오프셋 소거 회로의 동작이 개시된다. 즉, 1차 래치 회로(23)의 출력이 온됨과 동시에, 스위치(34, 35)가 온되어 소거 캐패시터(37)의 양단에 차동 증폭기(30)의 오프셋 전압이 입력된다. 다음으로, 스위치(34) 및 스위치(35)의 순서로 양 스위치가 오프되지만, 이것이 오프하는 순서는 스위치(35)에 의해 유발된 피드 쓰루 전하의 영향을 제거하기 위해 중요하다. 스위치(34)가 먼저 오프되면, 그 후 발생하는 스위치(35)의 피드 쓰루 전하는 소거 캐패시터(37)에 입력되지 않아서, 그에 따라 야기된 영향을 피할 수 있다. 다음으로, 스위치(36)가 온되는 것에 의해, 소거 캐패시터(37)에 저장된 차동 증폭기(30)의 오프셋 전압은 네거티브 피드백 루프에 입력되고, 다결정 Si-TFT를 사용한 차동 증폭기(30)의 TFT 불일치으로 인한 오프셋 전압은 소거된다. 이 상태로 아날로그 버퍼 출력 스위치(16)가 온되면, 신호선(7)에는 아날로그 버퍼(20A)로부터 화상 신호 전압이 출력된다. 이 상태로 차동 증폭기(30)의 입력에 접속된 스위치(34)의 피드 쓰루 전하의 변동이  $(-q_1A/C_m)$ 의 스위치 피드 쓰루 오프셋 전압으로서 신호선(7)을 통해 화소에 입력되는 것은 이전에 언급하였고, 여기서는 아날로그 버퍼(20A)의 스위치(34)의 스위치 피드 쓰루 전하를  $q_1A$ 로 나타내었다. 그 후, 게이트선(13)(화소 TFT(11)) 및 아날로그 버퍼 출력 스위치(16)가 오프되기 때문에, 선택된 하나의 행만큼의 화소에 대한 기입 동작이 종료한다. 아날로그 버퍼 출력 스위치(16)의 역할은 필요에 따라 아날로그 버퍼(20A, 20B)의 출력을 신호선(7)으로부터 격리하고, 오프셋 소거 동작시에서의 아날로그 버퍼(20A, 20B)의 출력 증진(build-up)을 가속화하는 것이다.

<55> 다음으로, 도시된 홀수 프레임 • 네거티브 필드에서의 동일한 화소 행 기입시의 동작을 설명하기로 한다. 이 기입 동작은 계조 전환 스위치(14, 15)가 선택 B로 전환되는 것을 제외한다면, 상기 홀수 프레임 기간 • 포지티브 필드에서의 기입 동작과 기본적으로 동일하다. 본 실시예에서 포지티브/네거티브의 필드에 따른 계조 전환 스위치(14, 15)를 변화시킴으로써 액정에 대한 교류 구동을 실현하고 있다. 현 기간에 있어서도, 차동 증폭기(30)의 입력에 접속된 스위치(34)의 필드 쓰루 전하의 변동이  $(-q_1B/C_m)$ 의 스위치 피드 쓰루 오프셋 전압으로서 신호선(7)을 통해 화소에 입력되고, 여기서 아날로그 버퍼(20B)의 스위치(34)의 스위치 피드 쓰루 전하를  $q_1B$ 로 나타낸다. 이 때, 아날로그 버퍼(20A) 대신 아날로그 버퍼(20B)가 사용되기 때문에,  $q_1B$ 의 값은 이전의  $q_1A$ 의

값과 전체적으로 독립한 값임이 분명하다.

- <56> 이제, 도시된 짝수 프레임 기간  $\cdot$  포지티브 필드에서의 동일한 화소 행 기입시의 동작을 설명하기로 한다. 이 동작은 위상  $\phi_2$ 가 선택된 것을 제외하면, 상기 홀수 프레임 기간  $\cdot$  포지티브 필드에서의 기입 동작과 동일하다. 상술한 바와 같이, 이 경우, 차동 증폭기(30)의 입력에 접속된 스위치(34)의 피드 쓰루 전하의 변동은  $(+q_1A/C_m)$ 의 스위치 피드 쓰루 오프셋 전하로서 신호선(7)을 통해 화소에 입력된다. 여기서, 표시한 화상 데이터가 홀수 프레임 기간  $\cdot$  포지티브 필드와 짝수 프레임 기간  $\cdot$  포지티브 필드에서 실질적으로 변화하지 않는다면, 양 스위치 피드 쓰루 오프셋 전압은 실질적으로 소거되고, 스트라이프형 형태의 불균등한 휘도의 발생을 피할 수 있다. 불균등한 휘도가 실질적으로 문제를 유발시키는 조건은 특히 표시 화상 데이터의 값이 오랜 시간 동안 크게 변화하지 않을 때이기 때문에, 상기의 오프셋 소거 동작은 실질적으로 충분한 효과를 갖고 있다.
- <57> 최종적으로, 도시된 짝수 프레임 기간  $\cdot$  네거티브 필드에서의 동일한 화소 행 기입시의 동작을 설명하기로 한다. 이 동작은 위상  $\phi_2$ 가 선택된 것을 제외하면, 상기 홀수 프레임 기간  $\cdot$  네거티브 필드에서의 기입 동작과 동일하고, 스위치 피드 쓰루 오프셋 전압의 보상적인 소거 효과는 상기와 동일하므로, 그 상세한 설명은 생략하기로 한다.
- <58> 본 실시예에서 각 회로 블록은 다결정 Si-TFT 소자를 사용하여 유리 기판상에 구성하고 있다. 그러나, 유리 기판 대신, 석영 기판, 투명 플라스틱 기판을 사용하거나, LC 표시 방식을 반사형으로 변형함으로써, Si 기판을 포함한 불투명 기판을 사용하는 것도 가능하다.
- <59> 또한, 상기 차동 증폭 회로에서, TFT의 n형, p형의 도전형을 역으로 구성하는 것이나, 그 외 다른 회로 구성을 사용하는 것도 본 발명의 원리를 벗어나지 않는 범위에서 가능하다. 차동 증폭기(30)의 이득을 향상시키기 위해, 캐스코드(cascode) 구조를 활용하는 것 또한 유효하다. TFT에는 기판 바이어스 효과를 갖는 장점이 있으나, 드레인 컨덕턴스가 크다는 단점도 있기 때문에, 바이어스 단자가 새로 필요하지만, 수백배 이상으로 차동 증폭 회로의 이득을 확보하기 위해서는 이러한 캐스코드 구조의 활용이 유효하다.
- <60> 본 실시예에 있어서, 설명을 생략하기 위해, 화상 표시 데이터를 6비트, 계조 전원선은 상이한 계조 전압이 인가된 64개의 병렬 배선으로 하였으나, 화상 표시 데이터가 n-비트이면, 계조 전원선은 상이한 계조 전압이 인가된  $2^n$ 개의 병렬 배선이 되는 것은 분명하다.
- <61> 그 외, 본 실시예에서 스위치 그룹의 구성은 CMOS 스위치, 화소 TFT는 n형 TFT 스위치를 활용하였으나, p형 TFT를 포함하지 않는 스위치 구성을 여기에 사용하여도 본 발명에 적용할 수 있다. 또한, 본 발명의 취지를 벗어나지 않는 범위에서, 반사형 표시 화소 구조등, 다양한 구성이나 레이아웃 형상이 적용 가능하다.
- <62> <제2 실시예>
- <63> 제2 실시예인 다결정 Si-TFT 액정 표시 패널의 전체 구성은 제1 실시예와 동일하므로, 그 설명은 생략하기로 한다. 제1 실시예와 비교할 때, 본 실시예의 차이는 각 동작 펄스의 동작 타이밍에 있다. 이하, 이것에 관하여 설명하기로 한다.
- <64> 이하, 도 6 및 도 7을 사용하여, 본 발명에서의 제2 실시예의 동작에 관하여 설명하기로 한다.
- <65> 도 6은 1 필드 주기 동안에 화소 행 기입 시 소정의 열에서의 본 실시예에 따른 각 동작 펄스의 타이밍 차트이다. 도 6은 제1 실시예의 도 5에 대한 것이지만, 여기서는 필드의 포지티브 및 네거티브를 변화하는 계조 절환 스위치(14, 15)에 한 기재를 생략하였다. 이는, 본 실시예에서, 계조 절환 스위치(14, 15)에 대한 A, B의 선택 이외에는 포지티브 및 네거티브 필드에서의 각 펄스의 동작은 공통이기 때문이다. 또한, 본 차트에서도 스위치의 온/오프는 도면에 나타난 바와 같이 상하 레벨로 표시하였다.
- <66> 1 필드의 처음에서, 위상  $\phi_1$ 이 선택되고, 다음으로 게이트선 구동 회로(10)에 의해 선택된 소정의 게이트선(13)(화소 TFT(11))이 온되고, 스위치(36)가 오프된다. 그 다음으로, 아날로그 버퍼(20)(상기와 같이 아날로그 버퍼(20A, 20B)에서의 동작은 기본적으로 동일하기 때문에, 여기서는 아날로그 버퍼(20)로 하여 기체함)에서의 오프셋 소거 회로의 동작이 개시된다. 즉, 1차 래치 회로(23)의 출력이 온됨과 동시에, 스위치(34, 35)가 온되어 소거 캐패시터(37)의 양단에 차동 증폭기(30)의 오프셋 전압이 입력된다. 다음으로, 스위치(34) 및 스위치(35)의 순서로 양 스위치가 오프된다. 다음으로, 스위치(36)가 온되는 것에 의해, 소거 캐패시터(37)에 저장된



차동 증폭기(30)의 오프셋 전압은 네거티브 피드백 루프에 입력되고, 다결정 Si-TFT를 사용한 차동 증폭기(30)의 TFT 불일치로 인한 오프셋 전압은 소거된다. 이 상태에서, 아날로그 버퍼 출력 스위치(16)가 온되면, 신호선(7)에는 아날로그 버퍼(20)로부터 화상 신호 전압이 출력된다. 이 상태에서는 차동 증폭 회로(30)의 입력에 접속된 스위치(34)의 피드 쓰루 전하의 변동이  $(-q1/Cm)$ 의 스위치 피드 쓰루 오프셋 전압으로서 신호선(7)을 통해 화소에 입력된다는 것은 제1 실시예와 동일하다. 그러나, 본 실시예에서는 동일한 화소 행 기입시에 후속하여, 이하의 동작이 행해진다. 즉, 아날로그 버퍼 출력 스위치(16)가 한 번 오프된 후에 위상  $\phi 2$ 가 선택되고, 다시 한 번 상기의 화상 신호 전압의 출력 동작이 반복된다. 이 경우, 차동 증폭 회로(30)의 입력에 접속된 스위치(34)의 피드 쓰루 전하의 변동은  $(+q1/Cm)$ 의 스위치 피드 쓰루 오프셋 전압으로서 신호선(7)을 통해 화소에 입력되어진다. 그 후, 게이트선(13)(화소 TFT(11)), 아날로그 버퍼 출력 스위치(16)가 오프됨으로써, 선택된 하나의 행 만큼의 화소에 대한 기입 동작이 종료한다.

<67> 도 7은 상기의 기입 동작에 의해 신호선(7)에 기입된 화상 신호 전압을 도시한 것이다. 아날로그 버퍼 출력 스위치(16)가 첫번째로 온되는 시간  $t1$ 에서 시간  $t2$ 까지의 주기는 신호선(7)에  $(Vin-q1/Cm)$ 에 점차적으로 근접하는 출력 신호가 기입되며, 여기서  $Vin$ 은 본래 신호선(7)에 기입되어질 화상 신호 전압이다. (도면 중에서  $q1$ 은 네거티브의 값을 갖는 것으로 표시함) 다음으로, 아날로그 버퍼 출력 스위치(16)가 2번째로 온되는 시간  $t3$ 에서 시간  $t4$ 의 기간은 신호선(7)에  $(Vin+q1/Cm)$  점차 근접하는 출력 신호가 기입되고, 여기서  $(t4-t3)$ 의 기간을  $(t2-t1)$ 보다 작은 적당한 값으로 설정함으로써 최종적으로 신호선(7)에 기입된 화상 신호 전압  $VA$ 를  $Vin$ 과 가까운 값으로 근사할 수 있다. 본 실시예에서는 상기 방법을 사용함으로써, 화소에 입력된 스위치 피드 쓰루 오프셋 전압 변동의 저감을 실현할 수 있다.

<68> 또한, 본 실시예에서 1개의 필드내의 위상  $\phi 1/\phi 2$ 의 변화를 1회로 하였으나, 이것을 보다 많은 횟수로 행하여도 동일한 효과를 얻을 수 있다.

<69> <제3 실시예>

<70> 제3 실시예인 다결정 Si-TFT 액정 표시 패널의 전체 구성은 제1 실시예와 동일하므로, 그 설명은 생략하기로 한다. 제1 실시예와 비교할 때, 본 실시예의 차이는 아날로그 버퍼(20A, 20B)의 회로 구성과 그 구성 펄스의 동작 타이밍에 있다. 이하, 이것에 관하여 설명하기로 한다.

<71> 도 8은 오프셋 소거 기능과 스위치 피드 쓰루 오프셋 소거 기능을 갖는 본 실시예에서의 아날로그 버퍼(20)(또한, 본 실시예에서도 아날로그 버퍼(20A, 20B)에서의 동작은 기본적으로 동일하기 때문에, 여기서도 아날로그 버퍼(20)으로 하여 기재함)의 회로 구성도이다.

<72> 아날로그 버퍼(20)의 입력 단자는 클럭  $c1$  \* 1b에 의해 온되는 스위치(55)와, 차동 증폭기(50)의 포지티브 입력 단자에 접속되고, 또한 차동 증폭기(50)의 네거티브 입력 단자는  $c1$  \* 1a에 의해 온되는 스위치(54),  $c1$  \* 1a에 의해 온되는 스위치(58)와, 소거 캐패시터(57)에 접속되고, 소거 캐패시터(57)의 다른 단자는 클럭  $c1$  \* 1b에 의해 온되는 스위치(55)와, 클럭  $c1$  \* 2에 의해 온되는 스위치(56)에 접속된다. 또한, 차동 증폭기(50)의 출력 단자는 아날로그 버퍼의 출력 단자에 접속되는 것과 동시에,  $c1$  \* 1a에 의해 온되는 스위치(54),  $c1$  \* 1a2에 의해 온되는 스위치(58), 클럭  $c1$  \* 2에 의해 온되는 스위치(56)의 다른 단자에 접속된다.

<73> 다음으로, 상기 아날로그 버퍼(20)의 동작에 관하여 도 9를 사용하여 설명하기로 한다.

<74> 도 9는 본 실시예에서의 각 동작 펄스의 1 필드 주기에서의 화소 행 기입시 소정의 열에서의 타이밍 차트이고, 제2 실시예에서의 도 6에 대한 것이다.

<75> 하나의 필드의 시작에서, 게이트선 구동 회로(10)에 의해 선택된 소정의 게이트선(13)(화소 TFT(11))이 온되고, 스위치(56)가 오프된다. 이에 후속하여, 아날로그 버퍼에서의 오프셋 소거 회로의 동작이 개시된다. 1차 래치 회로(23)의 출력이 온됨과 동시에, 스위치(54, 55, 58)가 오프되어 소거 캐패시터(57)의 양단에 차동 증폭기(50)의 오프셋 전압이 네거티브 피드백 루프에 입력되고, 다결정 Si-TFT를 사용한 차동 증폭기(50)의 TFT 불일치로 인한 오프셋 전압이 소거된다. 이 상태에서, 아날로그 버퍼 출력 스위치(16)가 온되면, 신호선(7)에는 아날로그 버퍼(20)로부터 화상 신호 전압이 입력된다. 여기서, 본 실시예에서는 이후에 오프되는 스위치(58)의 게이트폭은 이전에 오프되는 스위치(54)의 게이트폭보다 작게 설계되어 있다. 그러나, 양자의 게이트 길이는 동일하다. 즉, 소거 캐패시터(57)로의 충전은 스위치 피드 쓰루 전하량은 크지만 온 저항(on resistance) 보다

작은 스위치(54)를 사용하여 행하고, 또한 온 저항은 크지만 스위치 피드 쓰루 전하량보다 작은 스위치(58)를 사용하여 스위치 피드 쓰루 전하량의 저감을 도모한다. 본 실시예를 사용하면, 이전의 제1, 제2 실시예보다 작은 회로 규모로 스위치 피드 쓰루 오프셋 전압 변동의 저감이 가능해진다.

<76> 또한, 본 실시예에서는 이후부터 오프되는 스위치(58)의 게이트 폭을 이전에 오프되는 스위치(54)의 게이트 폭보다 작게 설계하였으나, 본 발명의 원리는 이후부터 오프되는 스위치(58)의 게이트를 이전에 오프되는 스위치(54)의 게이트보다 작은 게이트 전압으로 구동하는 등 다양한 응용을 할 수 있다.

<77> <제4 실시예>

<78> 이하, 도 10을 사용하여 본 발명에서의 제4 실시예에 관하여 설명하기로 한다.

<79> 도 10은 제4 실시예인 화상 뷰어(71)의 구성도이다.

<80> 무선 인터페이스(I/F) 회로(73)에는 압축된 화상 데이터가 외부로부터 블루투스(bluetooth) 표준에 기초하여 무선 데이터로서 입력되고, 무선 I/F 회로(73)의 출력은 중앙 연산 유닛(CPU)/디코더(74)를 통해 프레임 메모리(75)에 접속된다. 또한, CPU/디코더(74)의 출력은 다결정 Si LC 표시 패널(76)상에 제공된 인터페이스(I/F) 회로(77)를 통해 행 선택 회로(79) 및 데이터 입력 회로(78)에 접속되고, 화상 표시 영역(80)은 행 선택 회로(79) 및 데이터 입력 회로(78)에 의해 구동된다. 또한, 화상 뷰어(71)에는 전원(82) 및 광원(81)이 제공된다. 여기서, 다결정 Si LC 표시 패널(76)은 상술된 제1 실시예와 동일한 구성 및 동작을 갖는다.

<81> 이하에서는 제4 실시예의 동작을 설명하기로 한다. 무선 I/F 회로(73)는 압축된 화상 데이터를 외부로부터 받고, 이 데이터를 CPU/디코더(74)에 전송한다. CPU/디코더(74)는 사용자로부터의 조종을 받아서, 필요할 때에 화상 뷰어(71)를 구동하거나 압축된 화상 데이터의 디코더 처리를 행한다. 디코딩된 화상 데이터는 프레임 메모리(75)에 일시적으로 저장되고, CPU/디코더(74)의 지시에 따라, 저장된 화상을 표시하기 위해 화상 데이터 및 타이밍 펄스를 I/F 회로(77)에 출력한다. I/F 회로(77)가 이 회로를 사용하여, 행 선택 회로(79) 및 데이터 입력 회로(78)를 구동하고 화상 표시 영역에 화상을 표시하는 것에 관해서는 제1 실시예에 설명해두었으므로, 여기서는 그 상세한 설명은 생략하기로 한다. 광원은 LC 표시에 대한 백라이트이고, 광원(82)에는 2차 전지가 포함되며, 이 장치 전체를 구동하는 전원을 공급한다.

<82> 제4 실시예에 의하면, 압축된 화상 데이터에 기초하여 상기에서 언급한 바와 같이 "스위치 피드 쓰루 오프셋 변동"으로 인한 수직 스트라이프 형태로 불균등한 휘도 없이 고품질의 화상을 표시할 수 있다.

### 발명의 효과

<83> 본 발명에 의해, 고품질의 화상 표시가 가능한 액정 화상 표시 장치를 제공할 수 있다.

### 도면의 간단한 설명

<1> 도 1은 본 발명의 제1 실시예에서의 아날로그 버퍼 회로의 구성도.

<2> 도 2는 본 발명의 제1 실시예에서의 차동 증폭 회로의 구성도.

<3> 도 3은 본 발명의 제1 실시예에서의 다결정 Si-TFT LC 표시 패널의 구성도.

<4> 도 4a 내지 도 4d는 본 발명의 제1 실시예에서의 아날로그 버퍼 회로의 동작을 설명하기 위한 도면.

<5> 도 5는 본 발명의 제1 실시예의 타이밍도.

<6> 도 6은 본 발명의 제2 실시예의 타이밍도.

<7> 도 7은 본 발명의 제2 실시예에서의 신호선에 기입된 화상(picture image) 전압을 설명하기 위한 도면.

<8> 도 8은 본 발명의 제3 실시예에서의 아날로그 버퍼 회로의 구성도.

<9> 도 9는 본 발명의 제3 실시예에서의 타이밍차트.

<10> 도 10은 본 발명의 제4 실시예에서의 화상 뷰어(viewer)의 구성도.

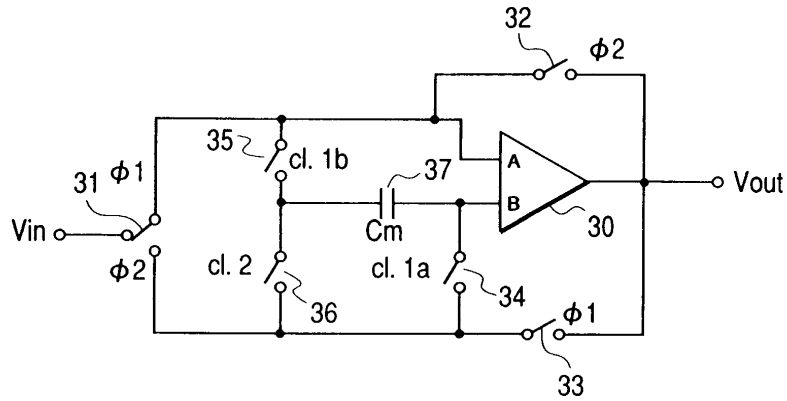
<11> 도 11은 종래예인 TFT LC 패널 구동용의 오프셋 소거 버퍼(offset cancel buffer) 회로의 구성도.

<12> <도면의 주요 부분에 대한 부호의 설명>

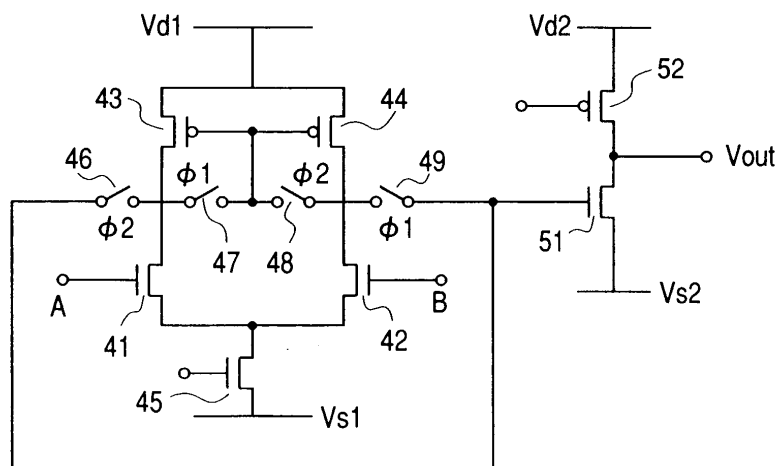
- <13> 2A, 2B : 계조 신호선
- <14> 11 : 화소 TFT
- <15> 12 : 액정 캐패시터
- <16> 16 : 아날로그 버퍼 출력 스위치
- <17> 30 : 차동 증폭 회로
- <18> 37 : 소거 캐패시터
- <19> 90 : 화상 신호 구동 회로
- <20> 92 : 출력 임피던스 변환 수단

도면

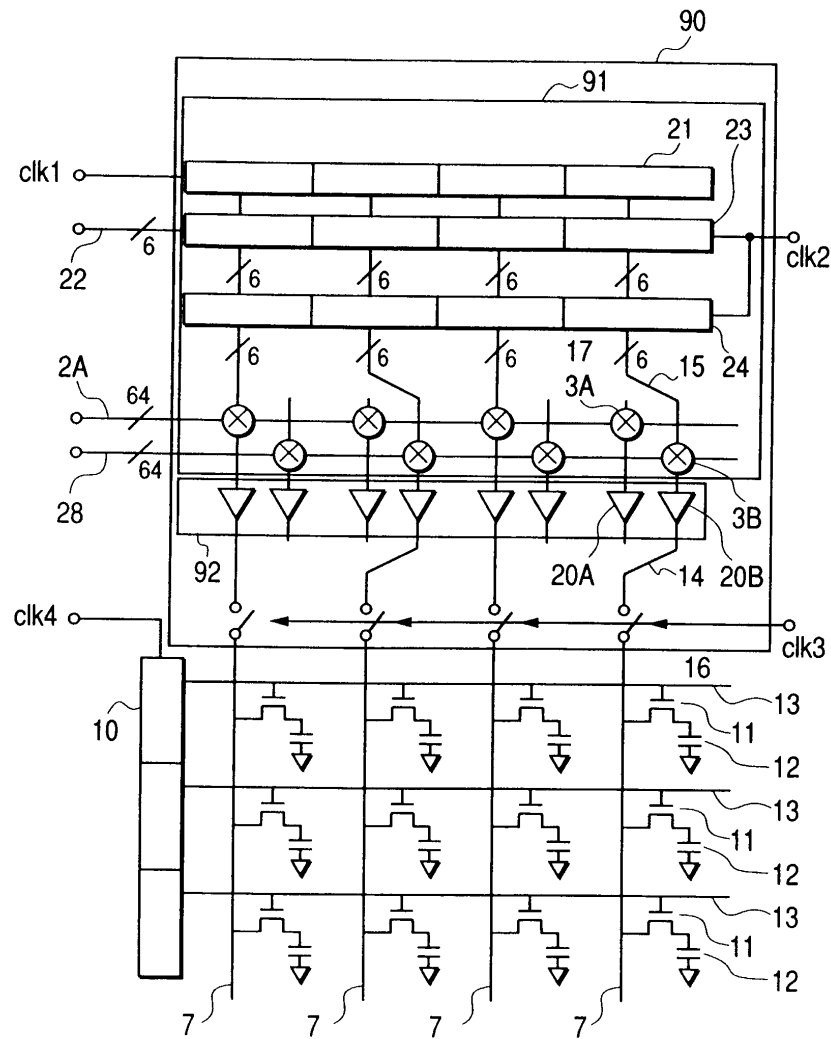
도면1



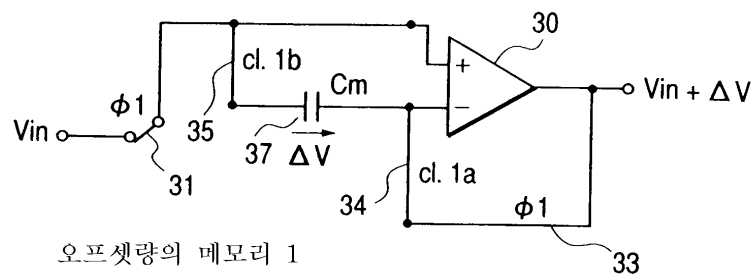
도면2



도면3

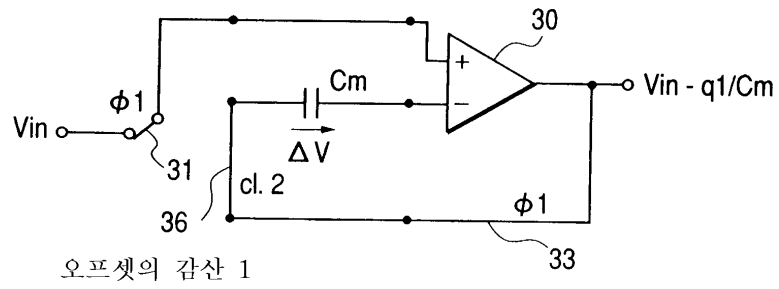


도면4a

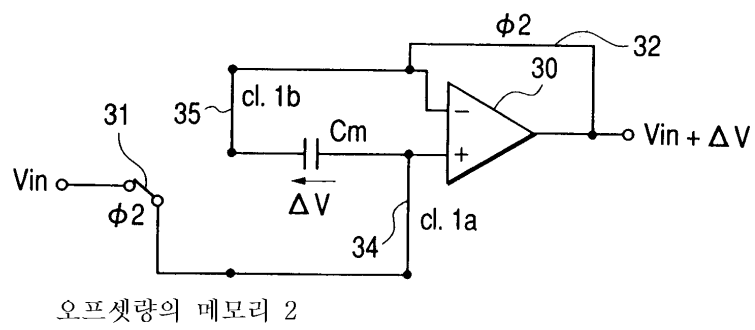




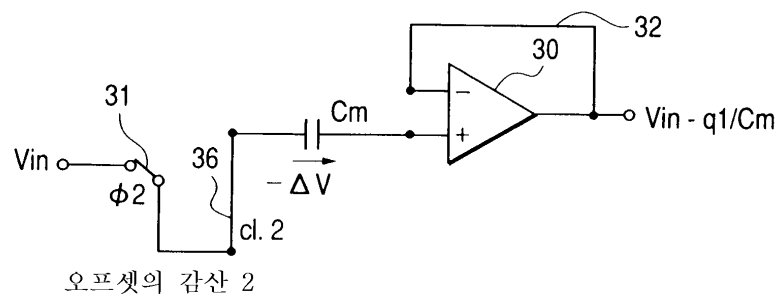
도면4b



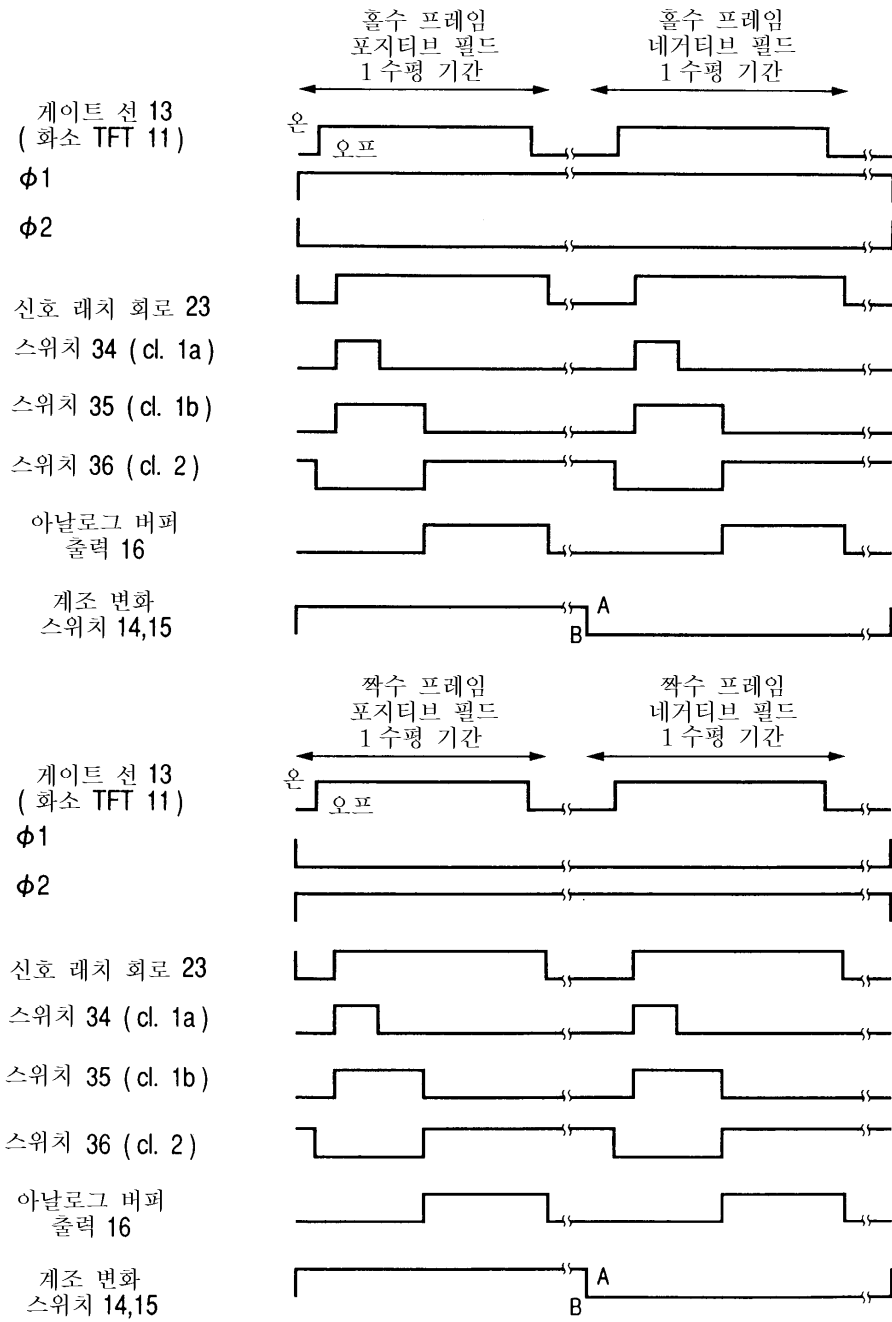
도면4c



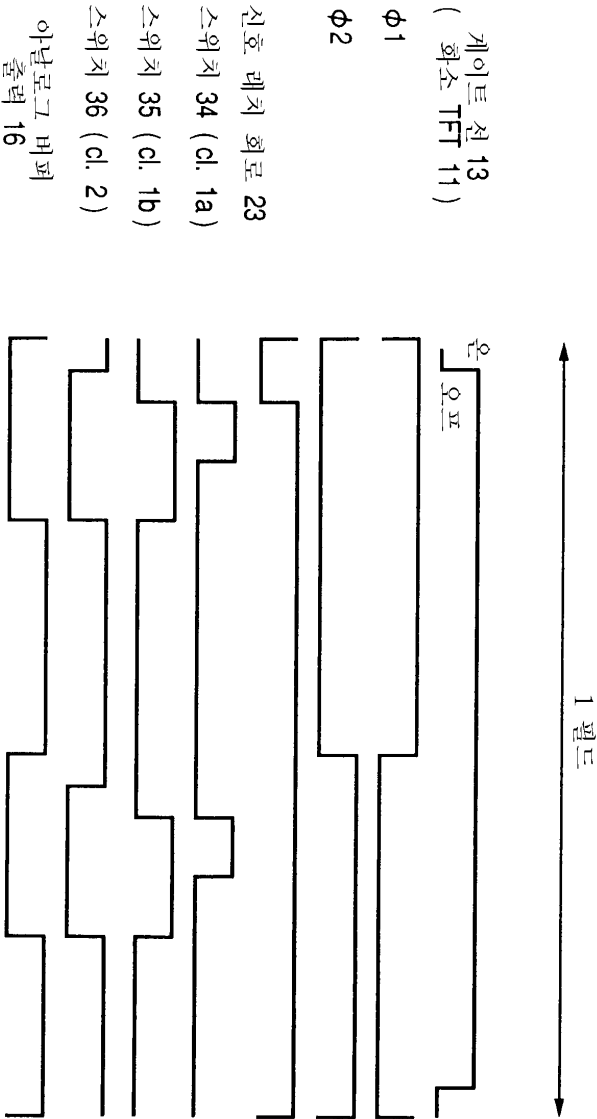
도면4d



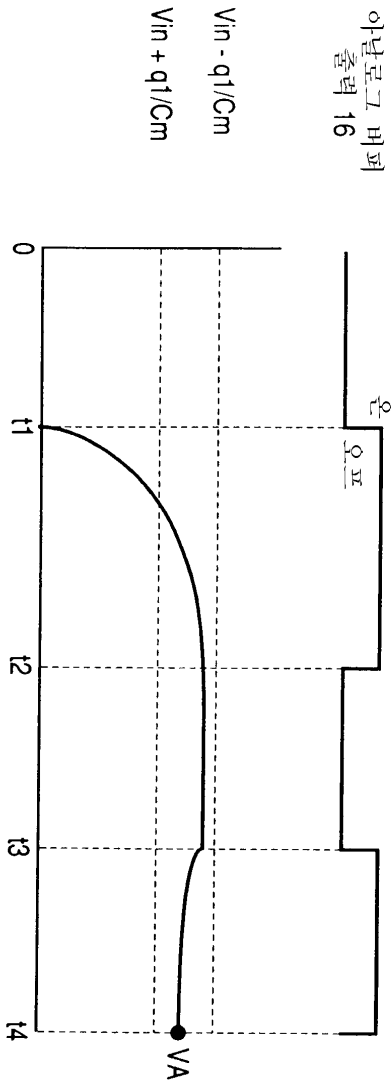
도면5



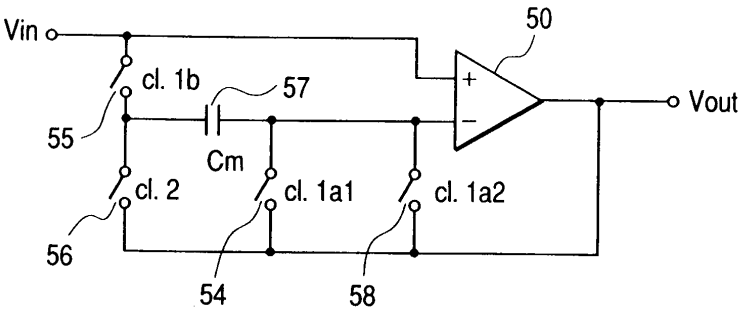
도면6



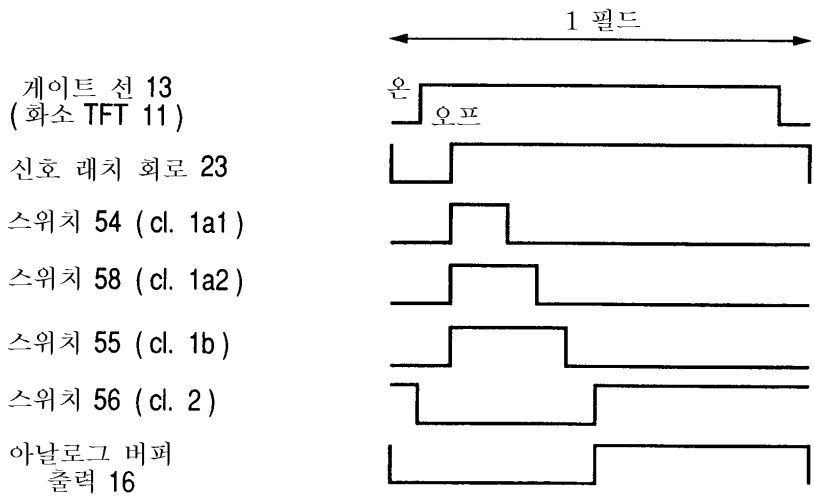
도면7



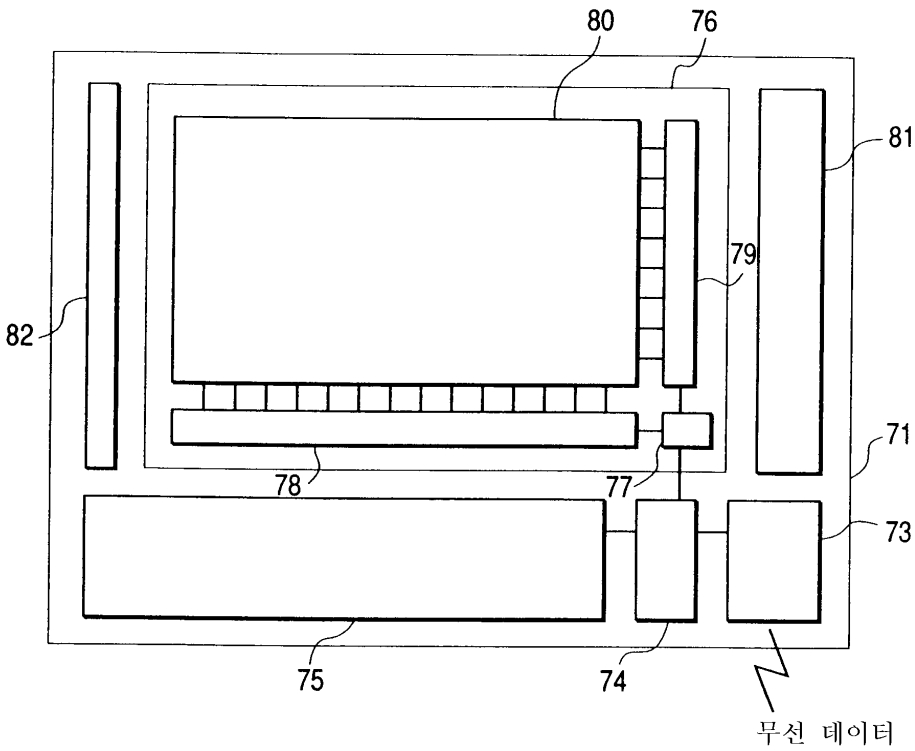
도면8



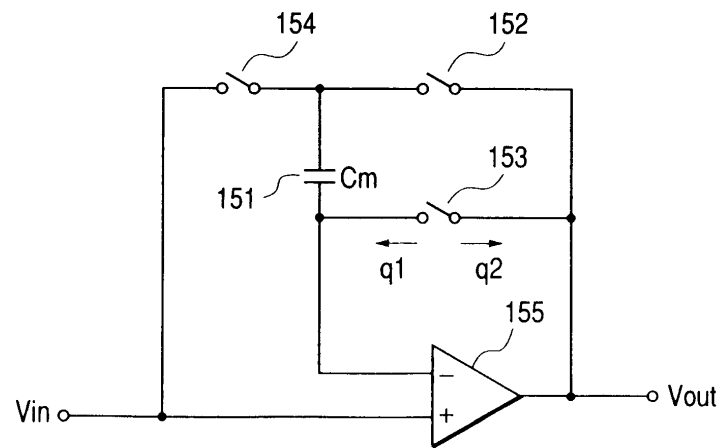
도면9



도면10



도면11



专利名称(译)	图像显示装置及其驱动方法		
公开(公告)号	<a href="#">KR100758086B1</a>	公开(公告)日	2007-09-11
申请号	KR1020010044041	申请日	2001-07-21
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	AKIMOTO HAJIME 아끼모토 하지메 SATOU HIDEO 사토히데오		
发明人	아끼모토 하지메 사토히데오		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G2310/027 G09G2310/0291 G09G3/3688		
代理人(译)	CHANG, SOO KIL		
优先权	2000226188 2000-07-21 JP		
其他公开文献	KR1020020013713A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

开关馈通偏移消除电路本发明涉及一种开关馈通偏移消除电路，它可以通过改变给定的四次电路连接来消除电路中半导体器件特性的波动。因此，在具有缓冲放大器的TFT LC显示装置中，消除了由于通过偏移消除电路的电荷的开关馈送的波动而降低图像质量的垂直条纹形式的不均匀亮度。

