



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월15일 10-0718170 2007년05월08일
--	-------------------------------------	--

(21) 출원번호	10-2000-0075606	(65) 공개번호	10-2001-0062355
(22) 출원일자	2000년12월12일	(43) 공개일자	2001년07월07일
심사청구일자	2005년02월16일		

(30) 우선권주장      99-354206      1999년12월14일      일본(JP)

(73) 특허권자      샤프 가부시키키가이샤  
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자      후쿠도꾸쇼우이찌  
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1 후지쓰가부  
시끼가이샤내

누끼야마가즈히로  
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1 후지쓰가부  
시끼가이샤내

(74) 대리인      문두현  
문기상

(56) 선행기술조사문헌  
JP09159999      KR1019990074551

심사관 : 박부식

전체 청구항 수 : 총 15 항

(54) 액정 표시 장치, 구동 방법 및 구동 회로

(57) 요약

본 발명은 플리커의 발생을 방지하며, 불필요한 극성 패턴의 전환을 회피할 수 있는 액정 표시 장치, 구동 방법 및 구동 회로를 제공하는 것을 과제로 한다.

본 발명은 계조차 판정부(41)에서, 수평 방향으로 인접하는 2개의 픽셀의 동색 화소에 공급하는 상기 화상 데이터의 계조차를 검출하여, 소정 계조차를 초과할 때는 그 2개의 픽셀의 각 화소의 계조의 대소 관계와 동일한 대소 관계가 횡방향으로 일정수 이상 연속되는지의 여부를 대소 관계 동일 패턴 검출부(43) 및 횡방향 패턴수 카운트부(44)에서 조사한다. 그리고 일정수 이상 연속될 경우는, 종방향으로 연속되는 복수 라인에서 대소 관계를 조사하고, 그 결과에 의해 플리커의 유무를 판정한다. 그리고 복수 프레임에 걸쳐 플리커 발생의 우려가 있을 때는, 극성 패턴 전환 신호(FLK)를 변화시켜, 데이터 드라이버로부터 액정 표시 패널에 공급하는 화상 데이터의 극성을 결정하는 극성 패턴을 전환시킨다.

대표도

도 11

특허청구의 범위

청구항 1.

수평 방향 및 수직 방향으로 나열된 복수의 화소를 갖는 액정 표시 패널과,

화상 데이터를 출력하는 화상 데이터 출력부와,

수평 방향으로 인접하는 2개의 픽셀의 동색(同色) 화소에 공급하는 상기 화상 데이터의 계조차를 검출하여 극성 패턴 전환 신호를 출력하는 플리커 판정부와,

상기 화상 데이터 출력부로부터 출력되는 화상 데이터를 상기 극성 패턴 전환 신호에 따른 극성 패턴에 의거한 극성으로 상기 액정 표시 패널에 공급하는 극성 화상 데이터 공급부를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 플리커 판정부는, 상기 2개의 픽셀의 상기 동색 화소의 화상 데이터의 계조차가 일정 범위를 초과하고 있을 때에, 상기 2개의 픽셀의 화상 데이터의 대소 관계를 검출하는 대소 관계 검출부를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 플리커 판정부는, 1라인에 상기 대소 관계 검출부에서 검출한 대소 관계가 일정수 이상 연속되는지의 여부를 검출하는 대소 관계 동일 패턴 검출부를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 3 항에 있어서,

상기 플리커 판정부는, 상기 대소 관계 동일 패턴 검출부에서 상기 일정수 이상 연속되는 대소 관계를 검출했을 때에, 그 대소 관계를 기억하는 횡방향 대소 관계 기억부를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 플리커 판정부는, 상기 횡방향 대소 관계 기억부에 기억한 대소 관계를 수직 방향으로 연속되는 복수 라인에서 비교하고, 그 비교 결과에 의거하여 상기 극성 패턴 전환 신호를 출력하는 극성 패턴 전환 신호 출력부를 갖는 것을 특징으로 하는 액정 표시 장치.

## 청구항 6.

제 5 항에 있어서,

상기 플리커 판정부는, 상기 극성 패턴 전환 신호를 변화시킬 때와 원래의 상태로 되돌릴 때에, 상기 화상 데이터의 계조차의 임계값이 상이한 것을 특징으로 하는 액정 표시 장치.

## 청구항 7.

제 5 항에 있어서,

상기 플리커 판정부는, 상기 극성 패턴 전환 신호를 변화시킬 때와 원래의 상태로 되돌릴 때에, 대소 관계가 반전되는 라인수의 임계값이 상이한 것을 특징으로 하는 액정 표시 장치.

## 청구항 8.

액정 표시 장치의 각 화소에 제 1 극성 패턴에 의해 결정되는 극성의 화상 데이터를 각각 공급하고,

수평 방향으로 서로 인접하는 2개의 픽셀의 동색 화소의 화상 데이터의 계조차가 일정 범위를 초과하고 있는지의 여부를 판정하고,

상기 일정 범위를 초과하고 있을 때에 상기 2개의 픽셀의 화상 데이터의 대소 관계를 조사하여, 그 대소 관계가 동일 패턴이 1라인에 일정수 이상 연속되는지의 여부를 판정하고,

상기 대소 관계가 동일 패턴이 일정수 이상 연속되고 있다고 판정되었을 때에 상기 대소 관계를 기억하며,

수직 방향으로 연속되는 복수 라인의 상기 대소 관계를 검출하여, 상기 복수 라인에서 상기 대소 관계가 교대로 반전되고 있을 때에 그 라인 수를 계수(計數)하고,

상기 계수 결과에 따라 상기 액정 표시 장치의 각 화소에 공급하는 화상 데이터의 극성을 제 2 극성 패턴에 의해 결정되는 극성으로 전환시키는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

## 청구항 9.

삭제

## 청구항 10.

제 8 항에 있어서,

상기 제 1 극성 패턴으로부터 상기 제 2 극성 패턴으로 변화시킬 때의 상기 화상 데이터의 계조차와, 상기 제 2 극성 패턴으로부터 상기 제 1 극성 패턴으로 되돌릴 때의 상기 화상 데이터의 계조차가 상이한 것을 특징으로 하는 액정 표시 장치의 구동 방법.

## 청구항 11.

제 8 항에 있어서,

상기 제 1 극성 패턴으로부터 상기 제 2 극성 패턴으로 변화시킬 때의 상기 대소 관계가 교대로 반전되고 있을 때에 그의 라인 수와, 상기 제 2 극성 패턴으로부터 상기 제 1 극성 패턴으로 되돌릴 때의 상기 대소 관계가 교대로 반전되고 있을 때에 그의 라인 수가 상이한 것을 특징으로 하는 액정 표시 장치의 구동 방법.

### 청구항 12.

수평 방향 및 수직 방향으로 나열된 복수의 화소를 갖는 액정 표시 패널에 극성 패턴에 따른 극성의 화상 데이터를 공급하는 액정 표시 장치의 구동 회로에 있어서,

화상 데이터를 출력하는 화상 데이터 출력부와,

수평 방향으로 인접하는 2개의 픽셀의 동색 화소에 공급하는 상기 화상 데이터의 계조차를 검출하여 극성 패턴 전환 신호를 출력하는 플리커 판정부와,

상기 화상 데이터 출력부로부터 출력되는 화상 데이터를 상기 극성 패턴 전환 신호에 따른 극성 패턴에 의거한 극성으로 상기 복수의 화소에 공급하는 드라이버 회로를 갖는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 13.

제 12 항에 있어서,

상기 플리커 판정부는,

상기 2개의 픽셀의 동색 화소의 화상 데이터의 계조차를 검출하고, 그 계조차가 일정 범위를 초과할 때에, 상기 2개의 픽셀의 화상 데이터의 대소 관계를 검출하여, 1라인에 연속되는 동일 대소 관계의 수를 검출하는 횡방향 플리커 패턴 검출부와,

수직 방향으로 연속되는 복수 라인에서 상기 대소 관계를 비교하여, 상기 복수 라인에 걸쳐 상기 대소 관계가 교대로 반전되고 있을 때에 상기 극성 패턴 전환 신호를 변화시키는 극성 패턴 전환 신호 출력부를 갖는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 14.

제 12 항에 있어서,

상기 극성 패턴 전환 신호 출력부는,

상기 복수 라인에 걸친 상기 대소 관계가 교체되어 있는 라인 수를 계수하는 종방향 플리커 패턴 검출부와, 상기 대소 관계가 교체되어 있는 라인 수가 일정값 이상인 프레임이 복수 연속되었을 때에 상기 극성 패턴 전환 신호를 변화시키는 전환 판정부를 갖는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 15.

제 12 항에 있어서,

상기 플리커 판정부는, 상기 극성 패턴 전환 신호를 변화시킬 때의 상기 화상 데이터의 계조차의 임계값과, 상기 극성 패턴 전환 신호를 되돌릴 때의 상기 화상 데이터의 계조차의 임계값이 상이한 것을 특징으로 하는 액정 표시 장치의 구동 회로.

## 청구항 16.

제 12 항에 있어서,

상기 플리커 판정부는, 상기 극성 패턴 전환 신호를 변화시킬 때의 상기 대소 관계가 교체되어 있는 라인 수와, 상기 극성 패턴 전환 신호를 되돌릴 때의 상기 대소 관계가 교체되어 있는 라인 수가 상이한 것을 특징으로 하는 액정 표시 장치의 구동 회로.

명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 패널의 화소 전극에 인가하는 화상 데이터의 극성을 일정 시간마다 반전시켜 화상을 표시하는 액정 표시 장치, 그의 구동 회로 및 구동 방법에 관한 것으로, 특히, 화소마다 스위칭 소자를 설치한 액티브 매트릭스형 액정 표시 장치, 그의 구동 회로 및 구동 방법에 관한 것이다.

액티브 매트릭스형 액정 표시 패널은 2개의 유리 기판 사이에 액정을 봉입(封入)시킨 구조를 갖고 있다. 한쪽 유리 기판 상에는 수평 방향 및 수직 방향으로 배열된 복수의 화소 전극과, 각 화소 전극에 인가하는 전압을 온 및 오프하기 위한 복수의 스위칭 소자가 형성되어 있다. 스위칭 소자로서는 박막 트랜지스터(Thin Film Transistor : 이하, TFT라고 한다)가 사용되는 경우가 많다.

또한, 다른 쪽 유리 기판 상에는 컬러필터 및 대향 전극이 형성되어 있다. 이들 2개의 유리 기판은, 화소 전극이 형성된 면과 대향 전극이 형성된 면을 대향시켜 배치된다. 컬러필터에는 적색(R), 녹색(G), 청색(B)의 3색이 있고, 각 화소 전극에 대응하여 R·G·B의 컬러필터가 일정한 순서로 배치된다. 이하, 화소 전극 및 TFT를 갖는 기판을 TFT 기판이라고 부르고, 컬러필터 및 대향 전극을 갖는 기판을 대향 기판이라고 부른다.

또한, 액정을 봉입시킨 TFT 기판 및 대향 기판을 사이에 끼우도록 하여, 한쌍의 편광판이 배치된다. 이 한쌍의 편광판은, 일반적으로, 편광축을 직교시켜 배치된다.

액티브 매트릭스형 액정 표시 패널은 교류 전압으로 구동된다. 즉, 대향 전극에 인가하는 전압을 기준 전압(공통 전압)으로 하여, 화소 전극에는 일정 시간마다 플러스 극성(+) 및 마이너스 극성(-)으로 변화하는 전압이 공급된다. 액정에 인가되는 전압은 플러스 전압 파형과 마이너스 전압 파형이 대칭형인 것이 바람직하다. 그러나, 화소 전극에 플러스 전압 파형과 마이너스 전압 파형이 대칭의 교류 전압을 인가하여도, 실제로 액정에 인가되는 플러스 전압 파형과 마이너스 전압 파형이 대칭형으로 되지는 않는다. 따라서, 플러스 전압을 인가했을 때의 광 투과율과 마이너스 전압을 인가했을 때의 광 투과율이 상이하고, 화소 전극에 인가하는 교류 전압의 주기로 휘도가 변동하여 깜박임이 발생한다. 이 현상은 플리커(flicker)라고 불리고 있다.

종래, 플리커를 억제하는 방법으로서, 대향 전극의 전압을 변화시키는 방법, 횡방향 또는 종방향으로 서로 인접하는 화소 전극에 인가하는 전압의 극성이 상이하도록 하는 방법 및 극성 반전의 주파수를 높게 하는 방법이 알려져 있다. 이들 기술은, 예를 들어, 일본 특개소62-113129호 공보, 특개평2-34818호 공보, 특개평6-149174호 공보, 특개평7-175448호 공보, 특개평9-204159호 공보에 개시되어 있다.

서로 인접하는 화소 전극에 극성이 상이한 전압을 인가할 경우, ① 수직 방향으로 나열되는 각 화소 전극에 동일 극성의 전압을 인가하고, 수평 방향으로 서로 인접하는 화소 전극에 반대 극성의 전압을 인가하는 방법, ② 수평 방향으로 나열되는 각 화소 전극에 동일 극성의 전압을 인가하고, 수직 방향을 서로 인접하는 화소 전극에 반대 극성의 전압을 인가하는 방법, ③ 수직 방향 및 수평 방향으로 서로 인접하는 화소 전극에 반대 극성의 전압을 인가하는 방법 등이 있다. 액정 표시 패널의 각 화소 전극에 인가하는 전압의 극성을 나타내는 패턴을 극성 패턴이라고 한다.

그러나, 상술한 ①의 극성 패턴에서는 세로 스트라이프 모양을 표시했을 때에, ②의 극성 패턴에서는 가로 스트라이프 모양을 표시했을 때에, ③의 극성 패턴에서는 모자이크 형상 모양(checker pattern)을 표시했을 때에 플리커가 두드러지게 나타난다.

일본 특개평5-297831호, 특개평8-69264호 및 특개평11-95725호에는, 인접하는 화소에 공급되는 화상 데이터에 따라 극성 패턴을 전환시키는 것이 제안되어 있다. 이들 공보에 기재되어 있는 방법에서는, 복수의 상이한 극성 패턴을 준비해 두고, 인접하는 2개의 화소에 공급되는 화상 데이터가 어느 특정의 관계를 가질 때에, 극성 패턴을 전환시키고 있다.

### 발명이 이루고자 하는 기술적 과제

그러나, 상술한 종래의 극성 패턴을 전환시키는 방법에서는, 표시 화면의 극히 일부에 소정의 패턴이 존재할 때에도 극성 패턴을 전환시키기 때문에, 극성 패턴의 전환이 빈번하게 발생하여, 오히려 표시 품질의 저하를 초래하게 된다.

본 발명의 목적은, 플리커의 발생을 보다 확실하게 저감 또는 방지할 수 있으며, 불필요하게 극성 패턴을 전환시켜 표시 품질의 저하를 초래하지 않는 액정 표시 장치, 구동 방법 및 구동 회로를 제공하는 것이다.

### 발명의 구성

본 발명의 액정 표시 장치는, 도 8에 나타난 바와 같이, 수평 방향 및 수직 방향으로 나열된 복수의 화소를 갖는 액정 표시 패널(13)과, 화상 데이터(RGB)를 출력하는 화상 데이터 출력부(11)와, 수평 방향으로 인접하는 2개의 픽셀의 동색(同色) 화소에 공급하는 상기 화상 데이터(RGB)의 계조차를 검출하고, 그 검출 결과에 의거하여 플리커의 유무를 판정하여 극성 패턴 전환 신호(FLK)를 출력하는 플리커 판정부(12)와, 상기 화상 데이터 출력부(11)로부터 출력되는 화상 데이터(RGB)를 상기 극성 패턴 전환 신호(FLK)에 따른 극성 패턴에 의거한 극성으로 상기 액정 표시 패널(13)에 공급하는 극성 화상 데이터 공급부(14)를 갖는 것을 특징으로 한다.

본 발명의 액정 표시 장치는 플리커 판정부를 갖고, 그 플리커 판정부에서, 수평 방향으로 인접하는 2개의 픽셀의 화상 데이터의 계조차를 동색 화소마다 검출한다. 수평 방향으로 인접하는 2개의 픽셀의 동색 화소의 화상 데이터의 계조차가 클 경우는, 그 2개의 픽셀의 화상 데이터의 대소 관계를 조사하여, 동일한 대소 관계가 수평 방향의 픽셀에 대해서 연속되고 있을 경우는, 플리커 발생의 우려가 있다고 한다. 다만, 수직 방향으로 연속되는 복수 라인에서 대소 관계를 조사하여, 그 결과, 일정 라인과 다음 라인에서 휘도의 차를 평균화하는 패턴이면, 플리커 패턴으로부터 제외시킨다. 수직 방향으로 연속되는 복수 라인에서 대소 관계를 조사한 결과, 플리커 발생의 우려가 있다고 판정되었을 때는, 극성 패턴 전환 신호를 변화시켜, 극성 화상 데이터 공급부(드라이버 회로)로부터 각 화소에 공급하는 화상 데이터의 극성을 결정하는 극성 패턴을 변화시킨다.

이와 같이, 본 발명의 액정 표시 장치에 있어서는, 화상 데이터에 따라 극성 패턴을 변화시키기 때문에, 플리커의 발생을 확실하게 방지할 수 있다. 또한, 수평 방향의 대소 관계와 수직 방향의 대소 관계에 의해 플리커의 발생을 판정하기 때문에, 불필요하게 극성 패턴을 전환시키는 것을 회피할 수 있다.

플리커 판정부에는, 상기 2개의 픽셀의 동색 화소의 화상 데이터의 계조차가 일정 범위를 초과하고 있을 때에, 상기 2개의 픽셀의 화상 데이터의 대소 관계를 검출하는 대소 관계 검출부를 갖는 것이 바람직하다.

또한, 상기 플리커 판정부에는, 상기 대소 관계 검출부에서 검출한 대소 관계가 1라인에 일정수 이상 연속되는지의 여부를 검출하는 대소 관계 동일 패턴 검출부를 갖는 것이 바람직하다.

또한, 상기 플리커 판정부에는, 상기 대소 관계 동일 패턴 검출부에서 상기 일정수 이상 연속되는 대소 관계를 검출했을 때에, 그 대소 관계를 기억하는 횡방향 대소 관계 기억부를 갖는 것이 바람직하다.

또한, 상기 플리커 판정부는, 상기 대소 관계 기억부에 기억한 대소 관계를 수직 방향으로 연속되는 복수 라인에서 비교하고, 플리커 발생의 우려의 유무를 판정하여, 그 판정 결과에 의거하여 상기 극성 패턴 전환 신호를 출력하는 극성 패턴 전환 신호 출력부를 갖는 것이 바람직하다.

상기 극성 패턴 전환 신호 출력부는, 예를 들어, 복수 프레임에 걸쳐 플리커 발생의 우려가 있다고 판정되었을 때에, 상기 극성 패턴을 변화시킨다.

또한, 극성 패턴 전환 신호를 변화시킬 때와 원래의 상태로 되돌릴 때에, 화상 데이터의 계조차의 임계값을 변화시킬 수도 있다. 이것에 의해, 노이즈의 영향에 의한 오(誤)동작을 회피할 수 있다. 극성 패턴을 변화시킬 때와 본래의 상태로 되돌릴 때에, 대소 관계가 반전되는 라인 수의 역치를 변화시킬 수도 있다.

본 발명의 액정 표시 장치의 구동 방법은, 도 12에 나타낸 바와 같이, 액정 표시 장치의 각 화소에 제 1 극성 패턴에 의해 결정되는 극성의 화상 데이터를 각각 공급하여, 수평 방향으로 서로 인접하는 2개의 픽셀의 동색 화소의 화상 데이터의 계조차가 일정 범위를 초과하고 있는지의 여부를 판정하고(S12a), 상기 일정 범위를 초과하고 있을 때에 상기 2개의 픽셀의 화상 데이터의 대소 관계를 조사하여, 그 대소 관계가 동일 패턴이 1라인에 일정수 이상 연속되는지의 여부를 판정하고(S14), 상기 대소 관계가 동일 패턴이 일정수 이상 연속되고 있다고 판정되었을 때에 상기 대소 관계를 기억하며(S15), 수직 방향으로 연속되는 복수 라인의 상기 대소 관계를 검출하여, 상기 복수 라인에서 상기 대소 관계가 교대로 반전되고 있을 때에 그의 라인 수를 계수하고(S18), 그 계수 결과에 따라 상기 액정 표시 장치의 각 화소에 공급하는 화상 데이터의 극성을 제 2 극성 패턴에 의해 결정되는 극성으로 전환시키는(S20) 것을 특징으로 한다.

본 발명의 액정 표시 장치의 구동 방법에 있어서는, 상기와 같이 횡방향 및 종방향으로 연속되는 화소에 공급하는 화상 데이터에 따라 플리커 발생의 유무를 판정하기 때문에, 불필요하게 빈번하게 극성 패턴을 전환시키는 것이 회피된다. 이것에 의해, 표시 품질이 양호한 화상을 표시할 수 있다.

본 발명의 액정 표시 장치의 구동 회로는, 도 8 및 도 11에 나타낸 바와 같이, 수평 방향 및 수직 방향으로 나열된 복수의 화소를 갖는 액정 표시 패널에 극성 패턴에 따른 극성의 화상 데이터를 공급하는 액정 표시 장치의 구동 회로에 있어서, 화상 데이터를 출력하는 화상 데이터 출력부(11)와, 수평 방향으로 인접하는 2개의 픽셀의 동색 화소에 공급하는 상기 화상 데이터의 계조차를 검출하여, 그 결과에 의거하여 플리커의 유무를 판정하여 극성 패턴 전환 신호(FLK)를 출력하는 플리커 판정부(12)와, 상기 화상 데이터 출력부(11)로부터 출력되는 화상 데이터(RGB)를 상기 극성 패턴 전환 신호(FLK)에 따른 극성 패턴에 의거한 극성으로 상기 복수의 화소에 공급하는 드라이버 회로(14)를 갖는 것을 특징으로 한다.

본 발명에 있어서는, 플리커 판정부에서, 수평 방향으로 인접하는 2개의 픽셀의 화상 데이터의 계조차를 검출하고, 그 결과에 의거하여 플리커의 유무를 판정하여 극성 패턴 전환 신호를 출력한다. 예를 들면, 플리커 판정부는 횡방향 플리커 판정부 및 극성 패턴 전환 신호 출력부를 갖고 있다. 횡방향 플리커 판정부는 2개의 픽셀의 동색 화소의 화상 데이터의 계조차를 검출하여, 그 계조차가 일정 범위를 초과할 때에, 2개의 픽셀의 화상 데이터의 대소 관계를 검출하여 1라인에 연속되는 동일 대소 관계의 수를 검출한다. 또한, 극성 패턴 전환 신호 출력부는, 수직 방향으로 연속되는 복수 라인에서 대소 관계를 비교하여, 복수 라인에 걸쳐 대소 관계가 교대로 반전되고 있을 때에, 극성 패턴 전환 신호를 변화시킨다.

이와 같이 하여, 본 발명에 있어서는, 수평 방향의 화상 데이터의 관계뿐만 아니라, 수직 방향의 화상 데이터의 관계를 조사하여 플리커의 유무를 판정하고, 그 결과에 따라 극성 패턴을 전환시키기 때문에, 플리커를 확실하게 회피할 수 있는 동시에, 불필요한 극성 패턴의 전환을 회피할 수 있다.

이하, 본 발명에 대해서 보다 상세하게 설명한다.

액정 표시 장치의 화소 전극에는, 도 1a에 나타낸 바와 같이, 대향 전극에 인가되는 공통 전압을 중심 전압으로 하여 플러스 극성의 전압과 마이너스 극성의 전압을 교대로 인가한다. 그러나, 공통 전압은 표시 화면 전체에서 균일하지 않기 때문에, 실제로는 플러스 극성의 인가 전압과 마이너스 극성의 인가 전압에서는, 도 1b에 나타낸 바와 같이, 중심 전압이  $\Delta V$ 만큼 어긋나, 플러스 극성의 인가 전압이  $V - \Delta V$ , 마이너스 극성의 인가 전압이  $V + \Delta V$ 로 된다. 도 2는 횡축에 인가 전압을 취하고, 종축에 광 투과율을 취하여, 인가 전압과 광 투과율과의 관계를 나타낸 도면이다. 인가 전압이  $V + \Delta V$ 일 때와  $V - \Delta V$ 일 때에 광 투과율이 크게 변화하여, 플리커의 원인으로 된다.

도 3은 본 발명의 실시예에서 사용하는 2개의 극성 패턴을 나타낸 모식도이고, 도 3a는 세로 1라인 반전 극성 패턴, 도 3b는 세로 2라인 반전 극성 패턴을 나타내고 있다. 도 3a에 나타낸 세로 1라인 반전 극성 패턴에서는, 수평 방향 및 수직 방향으로 서로 인접하는 화소에 인가하는 전압이 반대 극성으로 된다. 또한, 도 3b에 나타낸 세로 2라인 반전 극성 패턴에서는, 수평 방향으로 나열되는 화소에는 1화소마다 반대 극성의 전압이 인가되고, 수직 방향으로 나열되는 화소에는 2화소마다 반대 극성의 전압이 인가된다. 각 화소에 인가되는 전압의 극성은 1 프레임마다 반전된다.

도 4는 세로 1라인 반전 극성 패턴에 의한 액정 표시 장치의 구동 방법을 나타낸 모식도이다. 화소 전극에는 계조에 따른 전압이 인가되어, 표준 흑색의 액정 표시 장치에서는 화소 전극에 인가하는 전압이 높을수록 광의 투과율이 높아진다. 여기서, 일정 전압(일정 계조에 대응하는 전압) 이상의 전압이 인가되는 화소를 점등 화소라고 부르고, 그것보다도 낮은 전압이 인가되는 화소를 소등 화소라고 부른다.

도 4a에 나타낸 바와 같이, 모든 화소가 점등 화소일 경우에는, 플러스 극성일 때의 광 투과율과 마이너스 극성일 때의 광 투과율과의 차가 서로 인접하는 화소에서 평균화된다. 따라서, 각 화소에서는 1 프레임마다 광 투과율이 변화하나, 전체적으로 보면 광 투과율은 프레임마다 변화하지 않는다. 따라서, 이 경우는 플리커가 발생하지 않는다.

한편, 도 4b에 나타낸 바와 같이, 한쪽 극성의 화소가 점등되고, 다른 쪽 극성의 화소가 소등되어 있을 경우, 전체적으로 본 경우의 광 투과율이 1 프레임마다 변화하기 때문에, 플리커의 원인으로 된다.

도 5a에 나타낸 바와 같이 세로 1라인 반전 극성 패턴으로 구동하면 플리커가 발생하는 표시 패턴일지라도, 도 5b에 나타낸 바와 같이 세로 2라인 반전 극성 패턴으로 함으로써, 플러스 극성의 점등 화소와 마이너스 극성의 점등 화소가 혼재(混在)하게 되어, 플리커의 발생을 방지할 수 있다. 다만, 도 6a에 나타낸 바와 같이 세로 1라인 반전 극성 패턴에서 플리커가 발생하지 않는 표시 패턴일지라도, 도 6b에 나타낸 바와 같이 세로 2라인 반전 극성 패턴에서는 점등 화소의 극성이 갖추어져, 플리커가 발생하는 경우가 있다.

이와 같이, 액정 표시 장치에서는, 플러스 극성의 점등 화소와 마이너스 극성의 점등 화소가 일정한 비율로 혼재하고 있을 경우는 플리커가 발생하지 않으나, 점등 화소의 극성 편중이 크면 플리커가 발생한다. 또한, 어떠한 극성 패턴일지라도, 플리커가 발생하는 모양(표시 패턴)이 반드시 존재한다. 일반적으로, 투과율은 G(녹색), R(적색), B(청색)의 순서로 크기 때문에, G화소의 점등 화소에 극성의 편중이 있을 경우, 플리커가 발생하기 쉽다. 세로 1라인 반전 극성 패턴일 때에 플리커가 발생하기 쉬운 표시 패턴의 예를 도 7에 나타낸다. 다만, 도 7에서는 수평 방향으로 나열된 2픽셀분의 화소(6화소)를 나타내고 있고, OR, OG 및 OB는 각각 홀수번째의 픽셀(이하, 홀수 픽셀이라고 한다)의 R화소, G화소 및 B화소이며, ER, EG 및 EB는 각각 짝수번째의 픽셀(이하, 짝수 픽셀이라고 한다)의 R화소, G화소 및 B화소이다.

본 발명에서는, 통상은 제 1 극성 패턴(예를 들면, 세로 1라인 반전 극성 패턴)으로 액정 표시 패널을 구동하는 동시에, 화상 데이터로부터 표시 패턴을 조사하여, 그 결과에 의거하여 플리커가 발생하는지의 여부를 판정하고, 플리커가 발생한다고 판정되었을 때에, 제 2 극성 패턴(예를 들면, 세로 2라인 반전 극성 패턴)으로 전환시킨다. 또한, 제 2 극성 패턴으로 액정 표시 패널을 구동하고 있을 때에, 제 1 극성 패턴에서 플리커가 발생하는지의 여부를 판정하여, 플리커가 발생하지 않는다고 판정되었을 때에, 제 1 극성 패턴으로 되돌린다. 이와 같이, 본 발명에서는 표시 패턴에 따라 극성 패턴을 전환시킴으로써, 플리커의 발생을 방지한다.

그런데, 플리커의 유무를 판정할 경우, 일정한 임계값을 설정하고, 그 임계값을 초과하는 전압이 인가되는 화소를 점등 화소, 역치 이하의 전압이 인가되는 화소를 비점등 화소로 하여 플리커의 유무를 판정하는 것을 생각할 수 있다. 예를 들면, 도 33a에 나타낸 바와 같이, 임계값을 32계조(고정값)로 한 경우, 20계조에 상당하는 전압이 인가되는 화소는 비점등 화소로 되고, 125계조에 상당하는 전압이 인가되는 화소는 점등 화소로 되기 때문에, 플리커 발생의 우려가 있다고 적절한 판정이 이루어진다. 그러나, 인접하는 화소의 계조차가 크더라도 각 화소에 인가되는 전압이 임계값을 초과하고 있으면 모두 점등 화소로 하기 때문에, 도 33b에 나타낸 바와 같이 인접하는 화소의 한쪽에 33계조에 상당하는 전압이 인가되고, 다른 쪽에 250계조에 상당하는 전압이 인가된 경우, 플리커 발생의 우려가 없다고 부적절한 판정을 하게 된다.

한편, 인접하는 화소의 계조차에 의해 점등 화소 및 비점등 화소를 결정함으로써, 플리커 발생의 유무를 보다 한층 적절하게 판정할 수 있다. 예를 들면, 도 34에서는, 인접하는 화소의 계조차가 32 이상 있을 경우, 계조값이 작은 쪽의 화소를 비점등 화소로 하고, 계조값이 큰 쪽의 화소를 점등 화소로 하고 있다. 이 경우, 도 34a에 나타낸 바와 같이, 인접하는 화소의 한쪽에 20계조에 상당하는 전압이 인가되고, 다른 쪽에 125계조에 상당하는 전압이 인가될 경우, 한쪽 화소를 비점등 화소, 다른 쪽 화소를 점등 화소로 하기 때문에, 플리커 발생의 우려가 있다고 적절한 판정이 이루어진다. 또한, 도 34b에 나타낸 바와 같이, 한쪽 화소에 33계조에 상당하는 전압이 인가되고, 다른 쪽 화소에 250계조에 상당하는 전압이 인가되는 경우도, 한쪽 화소를 비점등 화소, 다른 쪽 화소를 점등 화소로 하기 때문에, 플리커 발생의 우려가 있다고 적절한 판정이 이루어진다.

이와 같이 본 발명에 있어서, 인접하는 화소의 화상 데이터의 계조차를 검출하여 플리커 발생의 유무를 판정함으로써, 보다 한층 적절한 판정이 가능해진다. 이하, 본 발명의 실시예에 대해서 첨부 도면을 참조하여 설명한다.

(제 1 실시예)

(1) 액정 표시 장치의 구성

도 8은 제 1 실시예의 액정 표시 장치를 나타낸 블록도이다. 이 액정 표시 장치(10)는 콘트롤러(11)와, 액정 표시 패널(13)과, 데이터 드라이버(14)와, 주사 드라이버(15)에 의해 구성되어 있다. 또한, 콘트롤러(11)에는 플리커 판정부(12)가 설치되어 있다.

콘트롤러(11)는 퍼스널 컴퓨터(또는, 그 밖의 화상 신호(RGB)를 출력하는 장치)(19)에 접속되고, 퍼스널 컴퓨터(19)로부터 수평 동기 신호(H-sync), 수직 동기 신호(V-sync), 데이터 클럭(DCLK) 및 화상 신호(RGB)를 입력한다.

화상 신호(RGB)는 적색의 휘도를 나타내는 R신호, 녹색의 휘도를 나타내는 G신호 및 청색의 휘도를 나타내는 B신호의 3개의 디지털 신호(이하, R·G·B 신호라고 한다)로 이루어진다. 이들 R·G·B 신호는 데이터 클럭(DCLK)에 동기한 타이밍으로 송신된다.

콘트롤러(11)는 R·G·B 신호를 직렬(serial)-병렬(parallel) 변환시켜 R(적색) 화상 데이터, G(녹색) 화상 데이터 및 B(청색) 화상 데이터를 생성하고, 이들 화상 데이터를 소정 타이밍으로 출력한다. 또한, 콘트롤러(11)는 수평 동기 신호(H-sync), 수직 동기 신호(V-sync) 및 데이터 클럭(DCLK)을 입력하여, 이들 신호로부터 1수평 동기 기간의 개시를 나타내는 데이터 스타트 신호(DSTIN), 1수직 동기 기간의 개시를 나타내는 게이트 스타트 신호(GSTR) 및 수평 동기 신호(H-sync)에 동기한 게이트 시프트 클럭(GCLK) 등의 각종 타이밍 신호를 생성한다.

플리커 판정부(12)는 R·G·B 화상 데이터를 감시하여, 플리커 발생의 유무를 판정하고, 그 판정 결과에 따라 극성 패턴 전환 신호(FLK)를 "H" 또는 "L"로 한다. 플리커 판정부(12)의 상세는 후술한다.

데이터 드라이버(14)는 콘트롤러(11)로부터 R·G·B 화상 데이터와, 데이터 스타트 신호(DSTIN) 및 데이터 클럭(DCLK) 등의 타이밍 신호를 입력하고, 소정 타이밍으로 플러스 극성 또는 마이너스 극성의 R·G·B 화상 데이터를 액정 표시 패널(13)에 공급한다. 이 때, 데이터 드라이버(14)는 플리커 판정부(12)로부터 출력되는 극성 패턴 전환 신호(FLK)에 따른 극성 패턴으로 R·G·B 화상 데이터의 극성을 설정한다. 데이터 드라이버(14)의 상세에 대해서도 후술한다.

주사 드라이버(15)는 콘트롤러(11)로부터 게이트 스타트 신호(GSTR) 및 게이트 시프트 클럭(GCLK) 등의 타이밍 신호를 입력하고, 액정 표시 패널(13)에 설치된 복수의 게이트 버스 라인에 주사 신호를 공급한다.

또한, TFT형 액정 표시 패널의 구동 회로의 경우, 데이터 드라이버(14) 및 주사 드라이버(15)는 액정 표시 패널(13)의 TFT 기관 상에 형성하는 것도 가능하다.

또한, 상기의 예에서는 액정 표시 장치(10)를 컴퓨터(19)에 접속하는 경우에 대해서 설명했으나, 본 발명의 액정 표시 패널의 구동 회로는, TV 튜너 등과 같이 비디오 신호를 출력하는 장치에 접속하는 것도 가능하다. 그 경우, 비디오 신호로부터 R·G·B 신호, 수평 동기 신호(H-sync), 수직 동기 신호(V-sync)를 생성하는 회로가 필요하나, 이들 회로는 공지된 것을 사용할 수 있다.

(2) 액정 표시 패널의 구조

도 9는 본 발명의 실시예의 액정 표시 패널의 구조를 나타낸 단면도이고, 도 10은 상기와 동일하게 그의 TFT 기관의 평면도이다.

액정 표시 패널(13)은 대향하여 배치된 TFT 기관(20) 및 대향 기관(30)과, 이들 TFT 기관(20)과 대향 기관(30)과의 사이에 봉입된 액정(39)에 의해 구성되어 있다.

TFT 기관(20)은 유리 기관(21)과, 유리 기관(21) 상에 형성된 게이트 버스 라인(22), 데이터 버스 라인(23), 화소 전극(24) 및 TFT(25) 등에 의해 구성된다. 게이트 버스 라인(22) 및 데이터 버스 라인(23)은 직각으로 교차되어 있고, 양자 사이에 형성된 절연막(도시 생략)에 의해 전기적으로 절연되어 있다. 이들 게이트 버스 라인(22) 및 데이터 버스 라인(23)은 알루미늄 등의 금속에 의해 형성되어 있다.

게이트 버스 라인(22)과 데이터 버스 라인(23)에 의해 구획된 각 사각형 영역이 화소이다. 각 화소에는 각각 인듐산화주석(indium-tin oxide : 이하, ITO라고 한다)으로 이루어진 투명 화소 전극(24)이 형성되어 있다. 또한, TFT(25)는 게이트 라인(22)에 접속된 게이트 전극(22a)과, 게이트 전극(22a) 위쪽에 게이트 절연막(도시 생략)을 개재시켜 형성된 실리콘막(26)과, 실리콘막(26)의 위쪽에 형성된 드레인 전극(23a) 및 소스 전극(23b)에 의해 구성되어 있다. 드레인 전극(23a)은 데이터 버스 라인(23)과 접속되어 있고, 소스 전극(23b)은 화소 전극(24)에 접속되어 있다. 또한, 화소 전극(24)의 일부에 증착시켜, 축적 용량 전극(도시 생략)이 형성되어 있다.

이들 화소 전극(24) 상에는, 예를 들어, 폴리이미드로 이루어진 배향막(27)이 형성되어 있다. 이 배향막(27)의 표면에는, 전압을 인가하고 있지 않을 때의 액정 분자의 배향 방향을 결정하기 위해, 배향 처리가 실행되어 있다. 배향 처리의 대표적인 방법으로서, 직물제의 롤러에 의해 배향막 표면을 일 방향으로 문지르는 러빙(rubbing)법이 알려져 있다.

한편, 대향 기관(30)은 유리 기관(31)과, 유리 기관(31)의 하면 측에 형성된 컬러필터(32), 블랙 매트릭스(33), 대향 전극(34) 및 배향막(35) 등에 의해 구성되어 있다. 컬러필터(32)에는 적색(R), 녹색(G) 및 청색(B)의 3종류가 있고, 1개의 화소 전극(24)에 1개의 컬러필터(32)가 대향하고 있다. 본 실시예에서는, 컬러필터(32)는 수평 방향으로 R·G·B의 순서로 나열되어 있다. 이들 컬러필터(32)의 사이에는 블랙 매트릭스(33)가 형성되어 있다. 이 블랙 매트릭스(33)는, 예를 들어, 크롬(Cr)과 같이 광이 투과되지 않는 금속 박막으로 이루어진다.

컬러필터(32) 및 블랙 매트릭스(33)의 아래에는, ITO로 이루어진 투명 대향 전극(34)이 형성되어 있다. 이 대향 전극(34)의 아래에는 배향막(35)이 형성되어 있다. 이 배향막(35)의 표면에도 배향 처리가 실행되어 있다.

TFT 기관(20)과 대향 기관(30)과의 사이에는 구형(球形)의 스페이서(도시 생략)가 배치되고, 이것에 의해 TFT 기관(20)과 대향 기관(30)의 간격이 일정하게 유지된다. 또한, TFT 기관(20)의 아래 및 대향 기관(30)의 위에는 각각 편광판(도시 생략)이 배치된다. 이들 편광판은 편광축이 서로 직교하도록 배치된다.

데이터 버스 라인(23)에 화상 데이터를 공급하고, 게이트 버스 라인(22)에 주사 신호를 공급하면, TFT(25)가 온(on)으로 되어 화소 전극(24)에 화상 데이터가 공급된다. 이것에 의해, 화소 전극(24)과 대향 전극(34)과의 사이에 전계가 발생한다. 이 전계에 의해 액정(39) 중의 액정 분자의 방향이 변화하고, 화소의 광 투과율이 변화한다. 각 화소마다 화소 전극(24)에 인가하는 전압을 제어함으로써, 액정 표시 패널(13)에 원하는 화상을 표시할 수 있다.

### (3) 플리커 관정부

도 11은 플리커 관정부(12)의 구성을 나타낸 블록도이다.

플리커 관정부(12)는 횡방향 플리커 패턴 검출부(40), 종방향 플리커 패턴 검출부(46) 및 구동 전환 관정부(49)에 의해 구성되어 있다. 또한, 횡방향 플리커 패턴 검출부(40)는 계조차 관정부(41), 대소 관계 검출부(42), 대소 관계 동일 패턴 검출부(43), 횡방향 패턴수 카운트부(44), 횡방향 패턴 정보 저장부(45)에 의해 구성된다. 종방향 플리커 패턴 검출부(46)는 종방향 패턴 비교부(47) 및 종방향 패턴수 카운트부(48)에 의해 구성된다.

도 12는 플리커 관정부(12)의 동작을 나타낸 플로차트이다. 도 12를 참조하여, 플리커 관정부(12)의 각부의 동작에 대해서 설명한다.

계조차 관정부(41) 및 대소 관계 검출부(42)에는, 수평 방향으로 연속되는 2픽셀분(홀수 픽셀 및 짝수 픽셀)의 화상 데이터(RGBRGB)가 차례로 입력된다(스텝 S11). 계조차 관정부(41)는 이들 2픽셀분의 화상 데이터를 동일 색의 화상 데이터마다 비교하여, 계조차를 검출한다(스텝 S12a). 그리고 이들 화상 데이터가 일정 계조차 이상일 때에 "H"로 되는 신호를 출력한다.

예를 들면, RGB의 각 화상 데이터가 모두 6비트의 데이터(64계조의 데이터)라고 한다. 이 경우, 도 13에 나타낸 바와 같이, 상위 3비트의 값에 의해 계조를 8개의 그룹 (a)~(h)로 분류하여, 한쪽 픽셀의 화상 데이터와, 다른 쪽 픽셀의 화상 데이터와의 계조차가 2그룹 이상일 때에 "H"로 되는 신호를 출력한다. 계조차의 판정은 R·G·B의 각색마다 실행되나, 그 중의 어느 1색의 화상 데이터의 계조차가 2그룹 이상일 때에, 계조차 관정부(41)의 출력은 "H"로 된다.

대소 관계 검출부(42)는, 홀수 픽셀 및 짝수 픽셀의 각 R화상 데이터의 대소 관계, 홀수 픽셀 및 짝수 픽셀의 각 G화상 데이터의 대소 관계, 홀수 픽셀 및 짝수 픽셀의 각 B화상 데이터의 대소 관계를 각각 검출하여, 그 결과를 대소 관계 동일 패턴 검출부(43)에 출력한다(스텝 S12b).

예를 들면, 도 14에 나타낸 바와 같이, 홀수 픽셀의 R화상 데이터(OR), G화상 데이터(OG) 및 B화상 데이터(OB)가 각각 48, 16 및 56이고, 짝수 픽셀의 R화상 데이터(ER), G화상 데이터(EG) 및 B화상 데이터(EB)가 각각 8, 32 및 0이라고 한다. 이 경우, 본 실시예에 있어서는, 도 14에 나타낸 바와 같이, 각 화소마다 대소 관계를 나타내는 신호, 즉, OR="H", ER="L", OG="L", EG="H", OB="H", EB="L"이 대소 관계 검출부(42)로부터 출력된다.

대소 관계 동일 패턴 검출부(43)는, 계조차 판정부(41) 및 대소 관계 검출부(42)로부터 출력된 신호에 의거하여, 대소 관계가 동일한 패턴을 검출한다(스텝 S13). 즉, 계조차 판정부(41)의 출력이 "H"일 때에, 도 15에 나타낸 바와 같이, 대소 관계가 연속되는지의 여부를 검출한다.

횡방향 패턴수 카운트부(44)는, 대소 관계 동일 패턴 검출부(43)에서 검출된 동일 패턴의 반복 수를 카운트한다(스텝 S14). 그리고 동일 패턴이 일정수 이상 연속되었을 때에, 횡방향 패턴 정보 저장부(45)는 그 때의 대소 관계 패턴을 시프트 레지스터에 기억한다(스텝 S15). 도 15의 예에서는, 대소 관계의 패턴으로서 OR="L", OG="H", OB="H", ER="H", EG="L", EB="L"을 기억한다. 예를 들면, OR에 "L", ER에 "H"가 저장되었다고 하면, 홀수 픽셀의 R화상 데이터와 짝수 픽셀의 R화상 데이터가 일정 계조차 이상 있으며, 그 패턴이 1라인(1 수평 동기 기간 내)에 일정수 이상 연속되고 있음을 의미한다.

종방향 패턴 비교부(47)는 종방향으로 나열되는 화소의 패턴을 비교한다(스텝 S16, S17). 즉, 도 16에 나타낸 바와 같이, N 라인째의 화상 데이터와 N+1 라인째의 화상 데이터를 RGB마다 비교하여, OR, OG, OB, ER, EG, EB 중의 어느 하나라도 대소 관계가 교체되어 있으면, "H"를 출력한다. 종방향 패턴 비교부(47)의 출력이 "H"일 때는, 도 5에 나타낸 바와 같은 체크 형상의 표시 패턴인 것을 나타내고 있다.

종방향 패턴수 카운트부(48)는, 종방향 패턴 비교부(47)의 출력에 의거하여, 도 17에 나타낸 바와 같이, 종방향에서 대소 관계가 교체되어 있는 라인의 수를 카운트한다(스텝 S18). 그리고 종방향에서 대소 관계가 교체되어 있는 라인 수가 소정의 값에 도달하면, 출력 신호를 "H"로 한다(스텝 S19).

구동 전환 판정부(49)는, 연속되는 수 프레임분(예를 들면, 8 프레임분)의 기간에 걸쳐 종방향 패턴수 카운트부(48)의 출력 신호가 "H"일 때에 극성 패턴 전환 신호(FLK)를 "H"로 하고, 연속되는 수 프레임분(예를 들면, 8 프레임분)의 기간에 걸쳐 종방향 패턴수 카운트부(48)의 출력 신호가 "L"일 때에 극성 패턴 전환 신호(FLK)를 "L"로 한다(스텝 S20).

이하, 플리커 판정부(12)의 보다 구체적인 회로를 나타내어, 본 실시예를 설명한다. 또한, 이하의 예에서는 R화상 데이터, G화상 데이터 및 B화상 데이터는 모두 6비트의 데이터라고 한다.

(i) 계조차 판정부

도 18은 계조차 판정부(41)의 구성을 나타낸 회로도이다. 다만, 도 18에서는 청색(B) 화상 데이터의 계조를 판정하는 회로에 대해서만 도시하고 있다.

이 회로는 XOR(exclusive OR) 게이트(U11, U16)와, AND 게이트(U12, U13, U15, U17, U18, U20)와 NOR 게이트(U14, U19)와, OR 게이트(U21)에 의해 구성되어 있다. 그리고 XOR 게이트(U11)에는 홀수 픽셀의 B화상 데이터의 제 5 비트(DOB5)와 짝수 픽셀의 B화상 데이터의 제 5 비트(DEB5)가 입력되어, 그들 B화상 데이터의 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때에는 "L"을 출력한다.

AND 게이트(U12)에는, 홀수 픽셀의 B화상 데이터의 제 5 비트의 반전 신호(XDOB5), 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4), 홀수 픽셀의 청색 화상의 제 3 비트(DOB3), 짝수 픽셀의 B화상 데이터의 제 5 비트(DEB5), 짝수 픽셀의 B화상 데이터의 제 4 비트의 반전 신호(XDEB4) 및 짝수 픽셀의 B화상 데이터의 제 3 비트의 반전 신호(XDB3)가 입력되어, 이들이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

AND 게이트(U13)에는, 홀수 픽셀의 B화상 데이터의 제 5 비트(DOB5), 홀수 픽셀의 B화상 데이터의 제 4 비트의 반전 신호(XDOB4), 홀수 픽셀의 청색 화상의 제 3 비트의 반전 신호(XDOB3), 짝수 픽셀의 B화상 데이터의 제 5 비트의 반전 신호(XDEB5), 짝수 픽셀의 B화상 데이터의 제 4 비트(DEB4) 및 짝수 픽셀의 B화상 데이터의 제 3 비트(DEB3)가 입력되어, 이들이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

NOR 게이트(U14)는, AND 게이트(U12, U13)의 출력의 적어도 한쪽이 "H"일 때에 "L"을 출력하고, 양쪽 출력이 모두 "L"일 때는 "H"를 출력한다. AND 게이트(U15)는, XOR 게이트(U11) 및 NOR 게이트(U14)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

XOR 게이트(U16)에는 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4)와 짝수 픽셀의 B화상 데이터의 제 4 비트(DEB4)가 입력되어, 그들의 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

AND 게이트(U17)에는, 홀수 픽셀의 B화상 데이터의 제 4 비트의 반전 신호(XDOB4), 홀수 픽셀의 청색 화상의 제 3 비트(DOB3), 짝수 픽셀의 청색 화상의 제 4 비트(DEB4) 및 짝수 픽셀의 청색 화상의 제 3 비트의 반전 신호(XDEB3)가 입력되어, 이들이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

AND 게이트(U18)에는, 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4), 홀수 픽셀의 B화상 데이터의 제 3 비트의 반전 신호(XDEB3), 짝수 픽셀의 B화상 데이터의 제 4 비트의 반전 신호(XDEB4) 및 짝수 픽셀의 B화상 데이터의 제 3 비트(DEB3)가 입력되어, 이들이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

NOR 게이트(U19)는, AND 게이트(U17, U18)의 출력의 적어도 한쪽이 "H"일 때에 "L"을 출력하고, 양쪽 출력이 모두 "L"일 때는 "H"를 출력한다.

AND 게이트(U20)는, NOR 게이트(U14), XOR 게이트(U16) 및 NOR 게이트(U19)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. OR 게이트(U21)는, AND 게이트(U15, U20)의 출력의 적어도 한쪽이 "H"일 때에 "H"를 출력하고, 양쪽 출력이 모두 "L"일 때는 "L"로 되는 신호(HB)를 출력한다.

이 계조차 판정부(41)는, 도 13에 나타난 바와 같이 계조에 따라 8개의 그룹 (a)~(h)로 나누어, 그룹이 2 이상 상이할 경우에 "H"를 출력한다. 예를 들면, 홀수 픽셀의 B화상 데이터가 (a)그룹에 속하고, 짝수 픽셀의 B화상 데이터가 (c)~(h) 중의 어느 하나의 그룹에 속하고 있을 때에 신호(HB)를 "H"로 한다. 또한, 홀수 픽셀의 B화상 데이터가 (e)그룹에 속하고, 짝수 픽셀의 B화상 데이터가 (a)~(c) 또는 (g), (h) 중의 어느 하나의 그룹에 속하고 있을 때에, 신호(HB)를 "H"로 한다.

동일한 회로에 의해, 홀수 픽셀 및 짝수 픽셀의 각 R화상 데이터의 계조차에 따른 신호(HR), 각 G화상 데이터의 계조차에 따른 신호(HG)가 생성된다. OR 게이트(U22)는, 이들 신호(HR, HG, HB)의 적어도 하나가 "H"일 때에 "H", 모두 "L"일 때에 "L"로 되는 신호(B)를 출력한다.

(ii) 대소 관계 검출부

도 19 및 도 20은 대소 관계 검출부의 구성을 나타낸 회로도이다. 도 19에 나타난 회로는, 짝수 픽셀의 B화상 데이터가 홀수 픽셀의 B화상 데이터보다도 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(OB)를 출력한다. 도 20의 회로는, 홀수 픽셀의 B화상 데이터가 짝수 픽셀의 B화상 데이터보다도 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(EB)를 출력한다. 또한, 대소 관계 검출부(42)에는, 짝수 픽셀의 R화상 데이터가 홀수 픽셀의 R화상 데이터보다도 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(OR)를 출력하는 회로, 홀수 픽셀의 R화상 데이터가 짝수 픽셀의 R화상 데이터보다도 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(ER)를 출력하는 회로, 짝수 픽셀의 G화상 데이터가 홀수 픽셀의 G화상 데이터보다도 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(OG)를 출력하는 회로, 홀수 픽셀의 G화상 데이터가 짝수 픽셀의 G화상 데이터보다도 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(EG)를 출력하는 회로가 설치되어 있다. 이들 회로는 모두 입출력되는 신호가 상이한 것 이외는 도 19 및 도 20에 나타난 회로와 동일한 구성이기 때문에, 여기서는 이들 회로의 도시 및 설명을 생략한다.

도 19의 회로는, 6개의 XOR 게이트(U25~U30)와, 6개의 AND 게이트(U31~U36)와, 5개의 인버터(U38~U41)와, OR 게이트(U42)에 의해 구성되어 있다.

XOR 게이트(U25)에는 홀수 픽셀 B화상 데이터의 제 5 비트(DOB5)와 짝수 픽셀의 B화상 데이터의 제 5 비트(DEB5)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. AND 게이트(U31)는, XOR 게이트(U25)의 출력과 홀수 픽셀의 B화상 데이터의 제 5 비트(DOB5)의 양쪽이 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

XOR 게이트(U26)에는 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4)와 짝수 픽셀의 B화상 데이터의 제 4 비트(DEB4)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. AND 게이트(U32)는, XOR 게이트(U26)의 출력과, 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4) 및 인버터(U37)에서 반전된 XOR 게이트(U25)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

XOR 게이트(U27)에는 홀수 픽셀의 B화상 데이터의 제 3 비트(DOB3)와 짝수 픽셀의 B화상 데이터의 제 3 비트(DEB3)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. AND 게이트(U33)는, XOR 게이트(U27)의 출력과, 홀수 픽셀의 B화상 데이터의 제 3 비트(DOB3), 인버터(U38)에서 반전된 XOR 게이트(U26)의 출력 및 인버터(U37)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

XOR 게이트(U28)에는 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2)와 짝수 픽셀의 B화상 데이터의 제 2 비트(DEB2)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. AND 게이트(U34)는, XOR 게이트(U28)의 출력과, 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2), 인버터(U39)에서 반전된 XOR 게이트(U27)의 출력, 인버터(U38)의 출력 및 인버터(U37)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

XOR 게이트(U29)에는 홀수 픽셀의 B화상 데이터의 제 1 비트(DOB1)와 짝수 픽셀의 B화상 데이터의 제 1 비트(DEB1)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. AND 게이트(U35)는, XOR 게이트(U29)의 출력과, 홀수 픽셀의 B화상 데이터의 제 1 비트(DOB1), 인버터(U40)에서 반전된 XOR 게이트(U28)의 출력, 인버터(U39)의 출력, 인버터(U38)의 출력 및 인버터(U37)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

XOR 게이트(U30)에는 홀수 픽셀의 B화상 데이터의 제 0 비트(DOB0)와 짝수 픽셀의 B화상 데이터의 제 0 비트(DEB0)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. AND 게이트(U36)는, XOR 게이트(U30)의 출력과, 홀수 픽셀의 B화상 데이터의 제 0 비트(DOB0), 인버터(U41)에서 반전된 XOR 게이트(U29)의 출력, 인버터(U40)의 출력, 인버터(U39)의 출력, 인버터(U38)의 출력 및 인버터(U37)의 출력이 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다.

OR 게이트(U42)는, AND 게이트(U31~U36)의 적어도 하나의 출력이 "H"일 때에 "H"로 되고, 그 이외일 때는 "L"로 되는 신호(OB)를 출력한다. 이 신호(OB)가 "H"일 때는, 홀수 픽셀의 B화상 데이터가 짝수 픽셀의 B화상 데이터보다도 큰 것을 나타낸다.

도 20에 나타난 회로는, XOR 회로(U25~U30)에 입력되는 홀수 픽셀의 B화상 데이터와 짝수 픽셀의 B화상 데이터의 순서가 반대로 되어 있는 것 이외는 도 19와 동일하기 때문에, 여기서는 설명을 생략한다. 도 20에 나타난 회로에서는, 짝수 픽셀의 B화상 데이터가 홀수 픽셀의 B화상 데이터보다도 클 때에 "H"로 되는 신호(EB)가 출력된다.

예를 들면, 도 14에 나타난 바와 같이, 홀수 픽셀의 RGB의 계조가 각각 48, 16, 56이고, 짝수 픽셀의 RGB의 계조가 각각 8, 32, 0이라고 할 경우, 대소 관계 검출부로부터는 OR="H", ER="L", OG="L", EG="H", OB="H", EB="L"이 출력된다.

(iii) 대소 관계 동일 패턴 검출부 및 횡방향 패턴수 카운트부

도 21 내지 도 24는 대소 관계 동일 패턴 검출부(43) 및 횡방향 패턴수 검출부(44)의 구성을 나타낸 회로도이다. 다만, 도 21에는 홀수 픽셀의 B화상 데이터의 패턴수를 검출하는 회로만을 기재하고 있으나, 실제로는 홀수 픽셀의 R화상 데이터의 패턴을 검출하는 회로, 홀수 픽셀의 G화상 데이터의 패턴을 검출하는 회로, 짝수 픽셀의 B화상 데이터의 패턴을 검출하는 회로, 짝수 픽셀의 R화상 데이터의 패턴을 검출하는 회로, 짝수 픽셀의 G화상 데이터의 패턴을 검출하는 회로가 포함되어 있다.

도 21에 나타난 회로는, 시프트 레지스터(U45)와, XNOR 게이트(U46, U47)와, AND 게이트(U48)에 의해 구성되어 있다. 시프트 레지스터(U45)에는 도 19에 나타난 회로로부터 출력되는 신호(OB)가 입력된다.

시프트 레지스터(U45)는 신호(OB)를 신호(X\_SYSCCK)에 동기한 타이밍으로 시프트한다. 이 신호(X\_SYSCCK)는 화상 데이터의 출력 타이밍에 동기한 신호이다. 또한, 시프트 레지스터(U45)는 수평 동기 신호(H-sync)에 동기한 신호(H\_CLR)에 의해 소거된다.

XNOR 게이트(U46)는, 시프트 레지스터(U45)의 제 1 비트(OA) 및 제 2 비트(OB)로부터 출력되는 신호 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "L"을 출력하고, 제 1 비트(OA) 및 제 2 비트(OB)로부터 출력되는 신호의 논리값이 동일할 때는 "H"를 출력한다. 또한, XNOR 게이트(U47)는, 시프트 레지스터(U45)의 제 2 비트(OB) 및 제 3 비트(OC)로부터 출력되는 신호 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "L"을 출력하고, 제 2 비트(OB) 및 제 3 비트(OC)로부터 출력되는 신호의 논리값이 동일할 때는 "H"를 출력한다. AND 게이트(U48)는, XNOR 게이트(U46, U47)의 출력의 양쪽이 "H"일 때에 "H", 그 이외일 때에 "L"로 되는 신호(A3)를 출력한다.

즉, 도 19에 나타난 회로로부터 출력되는 신호(OB)의 값이 3회 연속적으로 동일할 경우에, AND 게이트(U48)의 출력 신호(A3)가 "H"로 된다.

동일한 회로에 의해, 홀수 픽셀의 R화상 데이터가 짝수 픽셀의 R화상 데이터보다도 클 때에 "H"로 되는 신호(OR)의 값이 3회 연속적으로 동일할 경우에 "H"로 되는 신호(A1), 홀수 픽셀의 G화상 데이터가 짝수 픽셀의 G화상 데이터보다도 클 때에 "H"로 되는 신호(OG)의 값이 3회 연속적으로 동일할 경우에 "H"로 되는 신호(A2), 짝수 픽셀의 R화상 데이터가 홀수 픽셀의 R화상 데이터보다도 클 때에 "H"로 되는 신호(ER)의 값이 3회 연속적으로 동일할 경우에 "H"로 되는 신호(A4), 짝수 픽셀의 G화상 데이터가 홀수 픽셀의 G화상 데이터보다도 클 때에 "H"로 되는 신호(EG)의 값이 3회 연속적으로 동일할 경우에 "H"로 되는 신호(A5), 짝수 픽셀의 B화상 데이터가 홀수 픽셀의 B화상 데이터보다도 클 때에 "H"로 되는 신호(EB)의 값이 3회 연속적으로 동일할 경우에 "H"로 되는 신호(A6)가 생성된다.

AND 게이트(U50)는, 이들 신호(A1~A6)가 모두 "H"일 때에 "H"로 되는 신호(YOKO)를 출력한다. 이 신호(YOKO)는, 도 14에 나타난 바와 같이, 횡방향으로 서로 인접하는 2개의 픽셀의 각 RGB의 화상 데이터의 대소 관계가 3회 연속적으로 동일할 경우에 "H"로 된다.

OR 게이트(U49)는, 시프트 레지스터(U45)의 제 1 내지 제 3 비트의 출력의 적어도 하나가 "H"일 때에 "H", 모두 "L"일 때에 "L"로 되는 신호(TATE\_OR)를 출력한다. 또한, 동일한 회로에 의해, TATE\_OR, TATE\_OR, TATE\_OR, TATE\_OR, TATE\_OR, TATE\_OR가 생성된다. 이들 신호는 종방향 플리커 패턴 검출부(46)에서 사용된다.

도 22에 나타난 회로는, 시프트 레지스터(U51), AND 게이트(U52), D 플립플롭(U53), 카운터(U54, U55), JK 플립플롭(U56), 버퍼(U57)에 의해 구성되어 있다. 버퍼(U57)는 이들 시프트 레지스터(U51), D 플립플롭(U53), 카운터(U54, U55) 및 JK 플립플롭(U56)에 클럭 신호로서 신호(X\_SYSCCK)를 공급한다. 또한, 시프트 레지스터(U51), D 플립플롭(U53), 카운터(U54, U55) 및 JK 플립플롭(U56)은 모두 신호(H\_CLR)에 의해 소거된다.

시프트 레지스터(U51)는, 도 19에 나타난 AND 게이트(U22)로부터 출력되는 신호(B)를 입력하고, 신호(X\_SYSCCK)에 동기한 타이밍으로 데이터를 시프트한다. AND 게이트(U52)에는, 도 21의 AND 게이트(U50)로부터 출력되는 신호(YOKO)와, 시프트 레지스터(U51)의 제 1 내지 제 3 비트의 출력(OA, OB, OC)이 입력되어, 이들 신호가 모두 "H"일 때에 "H"를 출력하고, 그 이외일 때는 "L"을 출력한다. D 플립플롭(U53)은 AND 게이트(U52)의 출력을 신호(X\_SYSCCK)에 동기한 타이밍으로 유지한다. 카운터(U54, U55)는 D 플립플롭(U53)의 출력을 신호(X\_SYSCCK)에 동기한 타이밍으로 카운트한다.

JK 플립플롭(U56)은, 신호(X\_SYSCCK)에 동기한 타이밍으로 카운터(U55)의 제 2 비트(OB)의 출력을 수용하여 유지하고, 출력 신호(F)로서 출력한다. 이 출력 신호(F)는 1라인에 플리커 패턴이 32개 있을 때에 "H"로 되는 신호이다.

도 23에 나타난 회로는, D 플립플롭(U60, U61), 인버터(U62), AND 게이트(U63) 및 버퍼(U64)에 의해 구성되어 있다. D 플립플롭(U60)은 신호(X\_SYSCCK)에 동기한 타이밍으로 JK 플립플롭(U56)으로부터 출력된 신호(F)를 수용하여 유지한다. D 플립플롭(U61)은 신호(X\_SYSCCK)에 동기한 타이밍으로 D 플립플롭(U61)의 출력을 유지한다. 신호(X\_SYSCCK)는 버퍼(U64)를 통하여 D 플립플롭(U60, U61)에 공급된다.

AND 게이트(U63)는, D 플립플롭(U60)의 출력과, 인버터(U62)에서 반전된 D 플립플롭(U61)의 출력이 모두 "H"일 때에 "H"로 되고, 그 이외일 때는 "L"로 되는 신호(F\_CLK)를 출력한다. 또한, D 플립플롭(U61, U62)은 신호(STCLR)로부터 소거된다. 이 신호(STCLR)는 전원 온(on) 시 또는 시스템 리셋 시에 일정 시간만 "L"로 되는 신호이다.

(iv) 횡방향 패턴 정보 저장부 및 종방향 패턴 비교부

도 24는 종방향 패턴 비교부(47)의 구성을 나타낸 회로도이다.

이 회로는 시프트 레지스터(U65), XOR 게이트(U66, U67, U68) 및 AND 게이트(U69)에 의해 구성되어 있다.

시프트 레지스터(U65)는, 도 21에 나타낸 OR 게이트(49)로부터 출력되는 신호(TATE\_OB)를 도 23에 나타낸 회로로부터 출력되는 신호(F\_CLK)에 동기한 타이밍으로 시프트한다. 또한, 시프트 레지스터(U65)는 수직 동기 신호에 동기한 신호(V\_CLR)에 의해 소거된다. 이 시프트 레지스터(U65)에는, 신호(F\_CLK)에 동기한 타이밍으로 횡방향의 패턴 정보가 저장된다.

XOR 게이트(U66)는, 시프트 레지스터(U65)의 제 1 비트(OA) 및 제 2 비트(OB)의 출력 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 제 1 비트(OA) 및 제 2 비트(OB)의 출력이 동일할 때는 "L"을 출력한다. XOR 게이트(U67)는, 시프트 레지스터(U65)의 제 2 비트(OB) 및 제 3 비트(OC)의 출력 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 제 2 비트(OB) 및 제 3 비트(OC)의 출력이 동일할 때는 "L"을 출력한다. XOR 게이트(U68)는, 시프트 레지스터(U65)의 제 3 비트(OC) 및 제 4 비트(OD) 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"를 출력하고, 제 3 비트(OC) 및 제 4 비트(OD)가 동일할 때는 "L"을 출력한다.

AND 게이트(U69)는, XOR 게이트(U66, U67, U68)의 출력이 모두 "H"일 때에 "H"를, 그 이외일 때에 "L"로 되는 신호(TOB)를 출력한다.

이 신호(TOB)는 4회분(4라인분)의 신호(TATE\_OB)가 교대로 반전될 경우에 "H"로 된다. 이것에 의해, 홀수 픽셀의 B화상 데이터에 의한 종방향의 1도트 반전 패턴을 검출한다.

동일한 회로에 의해, 홀수 픽셀의 R화상 데이터에 의한 종방향의 1도트 반전 패턴 검출 신호(TOR), 홀수 픽셀의 G화상 데이터에 의한 종방향의 1도트 반전 패턴 검출 신호(TOG), 홀수 픽셀의 B화상 데이터에 의한 종방향의 1도트 반전 패턴 검출 신호(TOB), 짝수 픽셀의 R화상 데이터에 의한 종방향의 1도트 반전 패턴 검출 신호(TER), 짝수 픽셀의 G화상 데이터에 의한 종방향의 1도트 반전 패턴 검출 신호(TEG)가 생성된다.

(v) 종방향 패턴수 카운트부

도 25는 종방향 패턴수 카운트부(48)의 구성을 나타낸 회로도이다. 이 회로는 OR 게이트(U70), 카운터(U71, U72) 및 JK 플립플롭 회로(U73)에 의해 구성되어 있다. OR 게이트(U70)에는 도 23 및 그와 동일한 회로로부터 출력되는 신호(TOR, TOG, TOB, TER, TEG, TEB)가 입력된다. OR 게이트(U70)는, 이들 신호의 적어도 하나가 "H"일 때에 "H", 모두 "L"일 때에 "L"로 되는 신호를 출력한다.

카운터(U71, U72)는 OR 게이트(U70)로부터 출력되는 신호를 신호(V\_CLK)에 동기한 타이밍으로 카운트하고, 카운터(U72)의 제 2 비트로부터 출력되는 신호가 JK 플립플롭(U73)에 입력된다. JK 플립플롭(U73)은 카운터(U72)의 출력을 신호(V\_CLK)에 동기한 타이밍으로 수용하여 유지하고, 극성 패턴 전환 신호(FLK1)로서 출력한다.

이 JK 플립플롭(U73)으로부터 출력되는 신호(FLK1)는, 종방향으로 플리커 패턴이 32개 이상 있을 때에 "H"로 된다.

구동 전환 판정부(49)는, 수 프레임에 걸쳐 신호(FLK1)의 변화를 감시하고, 그 결과에 따라 극성 패턴 전환 신호(FLK)의 논리값을 결정한다. 즉, 구동 전환 판정부(49)는, 종방향 플리커 패턴 검출부(46)로부터 출력되는 신호(FLK1)가 수 프레임(예를 들어, 8 프레임)에 걸쳐 "H"일 때에 극성 패턴 전환 신호(FLK)를 "H"로 하고, 수 프레임에 걸쳐 "L"일 때에 극성 패턴 전환 신호(FLK)를 "L"로 한다.

(4) 데이터 드라이버의 구성

도 26은 데이터 드라이버(14)의 일례를 나타낸 블록도이다.

데이터 드라이버(14)는 극성 패턴 설정부(51)와, 시프트 레지스터 회로부(52)와, 데이터 레지스터 회로부(53)와, 래치 회로부(54)와, 레벨 시프트 회로부(55)와, D/A 변환 회로부(56)와, 전압 폴로어부(57)에 의해 구성되어 있다.

극성 패턴 설정부(51)는, 구동 전환 관정부(49)로부터 출력된 극성 패턴 전환 신호(FLK)에 따라, 수평 동기 신호(H-sync)에 동기한 타이밍으로 극성 신호(P1~Pn)를 출력한다. 즉, 극성 패턴 전환 신호(FLK)가 "L"일 때는 극성 신호(P1~Pn)의 논리값 1 수평 기간마다 반전시켜, 도 3a에 나타낸 세로 1라인 반전 극성 패턴을 생성하고, 극성 패턴 전환 신호(FLK)가 "H"일 때는 극성 신호(P1~Pn)의 논리값을 2 수평 동기 기간마다 반전시켜, 도 3b에 나타낸 세로 2라인 반전 극성 패턴을 생성한다.

데이터 레지스터 회로부(53)는 n개의 레지스터(53a)에 의해 구성되어 있다. 시프트 레지스터 회로부(52)는 데이터 스타트 신호(DSTIN), 데이터 클럭(DCLK) 및 스트로브 신호(STB)를 입력하여, 데이터 레지스터 회로부(53)의 레지스터(53a)의 어드레스를 설정한다. 즉, 데이터 레지스터 회로부(53)는 데이터 스타트 신호(DATIN)를 입력하면 레지스터(53a)의 선두 어드레스를 설정하고, 데이터 클럭(DCLK)에 동기하여 어드레스를 증가시킨다. 데이터 레지스터 회로부(53)는 화상 신호(RGB)를 입력하고, 시프트 레지스터 회로부(52)에 의해 지정된 어드레스의 레지스터(53a)에 R화상 데이터, G화상 데이터 또는 B화상 데이터를 기억한다.

래치 회로부(54)는 n개의 래치 회로(54a)에 의해 구성되어 있다. 각 래치 회로(54a)는 스트로브 신호(STB)에 동기하여 데이터 레지스터 회로부(53)의 출력 및 시프트 레지스터 회로부(51)의 출력을 래치한다. 이 때, 각 래치 회로(54a)는 R화상 데이터, G화상 데이터 또는 B화상 데이터의 최상위 비트에 극성 신호(P1~Pn)를 추가한다.

레벨 시프트 회로부(55)는 래치 회로부(54)로부터 출력되는 신호의 레벨을 변환시킨다. 예를 들면, 레벨 시프트 회로부(55)는 래치 회로부(54)로부터 출력되는 파고치(波高値)가, 예를 들어, 3.3V인 신호를 파고치가, 예를 들어, 12V인 신호로 변환시켜 D/A 변환 회로부(56)에 출력한다.

D/A 변환 회로부(56)는 n개의 D/A 변환기(56a)에 의해 구성되어 있다. 이들 D/A 변환기(56a)는, 극성 신호(P1~Pn)가 부가된 R화상 데이터, G화상 데이터 및 B화상 데이터를 입력하여, 최상위 비트의 논리값("H" 또는 "L")에 따라, 플러스 극성(+) 또는 마이너스 극성(-)의 아날로그 화상 데이터(O<sub>1</sub>~O<sub>n</sub>)를 출력한다. 전압 폴로어부(57)는 n개의 전압 폴로어(57a)에 의해 구성되어 있다. 이들 전압 폴로어(57a)는, D/A 변환 회로부(56)로부터 출력된 화상 데이터(O<sub>1</sub>~O<sub>n</sub>)를 스트로브 신호(STB)에 동기하여 액정 표시 패널(13)의 각 데이터 버스 라인(23)에 공급한다(도 10 참조).

본 실시예에 있어서는, 상술한 바와 같이, 인접하는 2개의 픽셀의 화상 데이터를 비교하고, 수평 방향 및 수직 방향의 플리커 패턴을 검출하여 플리커 패턴이 일정수 이상 존재하며, 그 상태가 수 프레임 연속되었을 때에 극성 패턴을 전환시킨다. 이것에 의해, 플리커의 발생을 방지할 수 있다. 또한, 불필요하게 극성 패턴을 전환시키지 않기 때문에, 극성 패턴을 빈번하게 전환시키는 것에 의한 표시 품질의 저하가 회피된다.

또한, 상기 실시예에서는 제 1 극성 패턴으로서 1라인 반전 극성 패턴을 사용하고, 제 2 극성 패턴으로서 2라인 반전 극성 패턴을 사용한 경우에 대해서 설명했으나, 이것에 의해 제 1 극성 패턴 및 제 2 극성 패턴이 1라인 반전 극성 패턴 및 2라인 반전 극성 패턴에 한정되는 것은 아니다.

#### (제 2 실시예)

이하, 본 발명의 제 2 실시예에 대해서 설명한다. 또한, 본 실시예가 제 1 실시예와 상이한 점은, 도 11에 나타낸 계조차 관정부(41) 및 대소 관계 검출부(42)의 구성이 상이한 것에 있고, 그 밖의 구성은 기본적으로 제 1 실시예와 동일하기 때문에, 중복되는 부분의 설명은 생략한다. 또한, 본 실시예에서도 도 11을 참조하여 설명한다.

제 1 실시예에서는, 도 13에 나타낸 바와 같이 화상 데이터의 값에 따라 화상 데이터를 8개의 그룹으로 나누고, 이 그룹에 의거하여 계조차를 판정했다. 한편, 본 실시예에서는, 홀수 픽셀의 화상 데이터와 짝수 픽셀의 화상 데이터가 9계조 이상 떨어져 있는지의 여부에 의해 계조차를 판정한다.

예를 들면, 도 27에 나타난 바와 같이, 홀수 픽셀의 G화상 데이터(OG)의 계조가 20, 짝수 픽셀의 G화상 데이터(EG)의 계조가 29라고 한다. 이 경우, OG의 값으로부터 8(계조)을 감산한 값 OG' 12와 EG의 값 29를 비교하는 동시에, EG의 값으로부터 8(계조)을 감산한 값 EG' 21과 원래의 OG 값 20을 비교한다. 그 결과, OG'의 값이 원래의 EG 값보다도 작으며, EG'가 원래의 OG 값보다도 클 때는, EG의 값이 OG의 값보다도 9계조 이상 큰 것을 나타내고 있다. 또한, OG'의 값이 원래의 EG 값보다도 크며, EG'의 값이 원래의 OG 값보다도 작을 때는, OG의 값이 EG 값보다도 9계조 이상 큰 것을 나타내고 있다. 또한, OG'의 값이 원래의 EG 값보다도 작으며, EG'의 값이 원래의 OG 값보다도 작을 때는, OG와 EG의 차가 9계조 미만인 것을 나타내고 있다. 또한, OG'의 값이 원래의 EG 값보다도 크며, EG'의 값이 원래의 OG 값보다도 큰 경우는 없다.

도 28은 본 실시예의 액정 표시 장치의 계조 판정부(41)의 8계조 감산 회로를 나타낸 회로도이다. 또한, 여기서는 홀수 비트의 B화상 데이터의 값을 8계조분 감산하는 회로를 나타내고 있으나, 본 실시예의 계조 판정부(41)에는, 홀수 비트의 R화상 데이터의 값을 8계조분 감산하는 회로, 홀수 비트의 G화상 데이터의 값을 8계조분 감산하는 회로, 짝수 비트의 B화상 데이터의 값을 8계조분 감산하는 회로, 짝수 비트의 R화상 데이터의 값을 8계조분 감산하는 회로, 짝수 비트의 G화상 데이터의 값을 8계조분 감산하는 회로가 포함되어 있다.

이 회로는 OR 게이트(U75, U76), AND 게이트(U77), 인버터(U78) 및 XOR 게이트(U79)에 의해 구성되어 있다. OR 게이트(U75)에는 홀수 픽셀의 B화상 데이터의 제 5 비트(DOB5), 제 4 비트(DOB4) 및 제 3 비트(DOB3)가 입력되어, 이들 비트 중의 적어도 하나가 "H"일 때에 "H", 모두 "L"일 때에 "L"로 되는 신호(FOB\_DMY)를 출력한다.

OR 게이트(U76)는, 홀수 픽셀의 제 4 비트의 B화상 데이터(DOB4)와 제 3 비트의 B화상 데이터(DOB3)가 입력되어, 이들 중의 적어도 한쪽 비트가 "H"일 때에 "H", 양쪽 비트가 모두 "L"일 때에 "L"을 출력한다. AND 게이트(U77)는, 홀수 픽셀의 B화상 데이터의 제 5 비트와 OR 게이트(U76)의 출력을 입력하여, 이들이 모두 "H"일 때에 "H", 그 이외일 때에 "L"로 되는 신호(FOB5)를 출력한다.

인버터(U78)는 홀수 픽셀의 B화상 데이터의 제 3 비트의 값을 반전시켜, 신호(FOB3)로서 출력한다. XOR 게이트(U79)는, 인버터(U78)의 출력과, 홀수 픽셀의 B화상 데이터의 제 4 비트 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"로 되고, 양쪽이 동일한 논리값일 때에 "L"로 되는 신호(FOB4)를 출력한다.

이 8계조 감산 회로로부터 출력되는 신호(FOB5, FOB4, FOB3)를 상위 3비트로 하고, 원래의 B화상 데이터의 하위 3비트를 조합함으로써, 원래의 B화상 데이터로부터 8계조 감산한 값이 얻어진다.

동일한 회로에 의해, 홀수 픽셀의 R화상 데이터로부터 8계조 감산한 값, 홀수 픽셀의 G화상 데이터로부터 8계조 감산한 값, 짝수 픽셀의 B화상 데이터로부터 8계조 감산한 값, 짝수 픽셀의 R화상 데이터로부터 8계조 감산한 값, 짝수 픽셀의 G화상 데이터로부터 8계조 감산한 값이 얻어진다. 이들 값과 원래의 화상 데이터를 비교하여, 9계조 이상의 계조차의 유무를 판정하고, 그 결과를 대소 관계 동일 패턴 검출부(43)에 출력한다.

도 29는 본 실시예의 대소 관계 검출부(42)의 구성을 나타낸 회로도이다. 도 29에 있어서, 도 19와 동일한 구성요소에는 동일 부호를 첨부하고 있다. 또한, 도 29에 있어서, HOB5, HOB4, HOB3, HOB2, HOB1은 각각 8비트 감산 후의 홀수 픽셀의 제 5 비트 내지 제 1 비트를 나타내고 있다.

이 회로는, 8비트 감산 후의 홀수 픽셀의 B화상 데이터와, 짝수 픽셀의 원래의 B화상 데이터와의 대소 관계를 검출한다. 그리고 AND 게이트(U80)로부터는, 8비트 감산 후의 홀수 픽셀의 B화상 데이터가 원래의 짝수 픽셀의 B화상 데이터보다 클 때에 "H", 그 이외일 때에 "L"로 되는 신호(OB)가 출력된다.

동일한 회로에 의해, 8비트 감산 후의 홀수 픽셀의 R화상 데이터가 짝수 픽셀의 원래의 R화상 데이터보다도 "H"로 되는 신호(OR), 8비트 감산 후의 홀수 픽셀의 G화상 데이터가 짝수 픽셀의 원래의 G화상 데이터보다도 "H"로 되는 신호(OG), 8비트 감산 후의 짝수 픽셀의 B화상 데이터가 홀수 픽셀의 원래의 B화상 데이터보다도 "H"로 되는 되는 신호(EB), 8비트 감산 후의 짝수 픽셀의 R화상 데이터가 홀수 픽셀의 원래의 R화상 데이터보다도 "H"로 되는 신호(ER), 8비트 감산 후의 짝수 픽셀의 G화상 데이터가 홀수 픽셀의 원래의 G화상 데이터보다도 "H"로 되는 신호(EG)가 생성된다.

제 1 실시예에서는 계조를 그룹으로 나누어 계조차를 검출하고 있기 때문에, 계조차가 있다고 판정되었을 때일지라도, 8 내지 15의 편차가 있다. 이것에 대하여, 본 실시예에서는 8계조 이상의 계조차를 검출하고 있기 때문에, 보다 상세한 판정이 가능하다.

(제 3 실시예)

이하, 본 발명의 제 3 실시예에 대해서 설명한다.

제 1 실시예에서는, 제 1 극성 패턴으로부터 제 2 극성 패턴으로 변경될 때의 계조차와, 제 2 극성 패턴으로부터 제 1 극성 패턴으로 변경될 때의 계조차 조건을 동일(2그룹 이상 상이할 때)하게 하고 있다. 한편, 본 실시예에 있어서는, 제 1 극성 패턴으로부터 제 2 극성 패턴으로 변경될 때의 계조차를 9계조 이상으로 하고, 제 2 극성 패턴으로부터 제 1 극성 패턴으로 되돌릴 때의 계조차를 6계조 이상으로 하여, 이른바 히스테리시스(hysteresis) 특성을 실현한다.

따라서, 본 실시예에 있어서는, 8계조 감산과 6계조 감산을 행하는 것이 필요하나, 8계조 감산 회로는 도 28에 나타난 것을 사용할 수 있다.

도 30은 6계조 감산 회로를 나타낸 회로도이다. 이 회로는 AND 게이트(U81, U84, U85, U89), OR 게이트(U82, U83), XOR 게이트(U86, U91, U93), NOR 게이트(U87), NAND 게이트(U90) 및 인버터(U92, U94)에 의해 구성되어 있다.

AND 게이트(U81)에는, 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2) 및 제 1 비트(DOB1)가 입력된다. AND 게이트(U81)는, 이들 비트가 모두 "H"일 때에 "H", 그 이외일 때에 "L"을 출력한다. OR 게이트(U82)는, AND 게이트(U81)의 출력과, 홀수 픽셀의 B화상 데이터의 제 5 비트(DOB5), 제 4 비트(DOB4) 및 제 3 비트(DOB3)가 입력되어, 이들 중의 적어도 하나가 "H"일 때에 "H", 모두 "L"일 때에 "L"로 되는 신호(SOB\_DMY)를 출력한다.

AND 게이트(U85)에는, 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2) 및 제 1 비트(DOB1)가 입력되어, 이들 비트가 모두 "H"일 때에 "H", 그 이외일 때에 "L"을 출력한다. OR 게이트(U83)는, AND 게이트(U85)의 출력과, 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4) 및 제 3 비트(DOB3)가 입력되어, 이들 중의 적어도 하나가 "H"일 때에 "H", 모두 "L"일 때에 "L"을 출력한다. AND 게이트(U84)는, OR 게이트(U83)의 출력과, 홀수 픽셀의 B화상 데이터의 제 5 비트(DOB5)가 입력되어, 이들이 모두 "H"일 때에 "H", 그 이외일 때에 "L"로 되는 신호(SOB5)를 출력한다.

AND 게이트(U89)에는, 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2) 및 제 1 비트(DOB1)가 입력되어, 이들 비트가 모두 "H"일 때에 "H", 그 이외일 때에 "L"을 출력한다. NOR 게이트(U87)는, AND 게이트(U89)의 출력과, 홀수 픽셀의 B화상 데이터의 제 3 비트(DOB3)가 입력되어, 이들 중의 적어도 하나가 "H"일 때에 "L", 모두 "H"일 때에 "L"을 출력한다. NOR 게이트(U86)는, NOR 게이트(U87)의 출력과, 홀수 픽셀의 B화상 데이터의 제 4 비트(DOB4)가 입력되어, 이들 중의 한쪽이 "H", 다른 쪽이 "L"일 때에 "H", 양쪽 모두 "H" 또는 "L"일 때에 "L"로 되는 신호(SOB4)를 출력한다.

NOR 게이트(U90)는 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2) 및 제 1 비트(DOB1)가 입력되어, 이들이 모두 "H"일 때에 "L", 그 이외일 때에 "H"를 출력한다. XOR 게이트(U91)는, NAND 게이트(U90)의 출력과 홀수 픽셀의 B화상 데이터의 제 3 비트(DOB3)가 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H"로 되고, 양쪽 모두 "H" 또는 "L"일 때에 "L"로 되는 신호(SOB3)를 출력한다.

인버터(U92)에는 홀수 픽셀의 B화상 데이터의 제 2 비트(DOB2)가 입력되고, 인버터(U94)에는 홀수 픽셀의 B화상 데이터의 제 1 비트(DOB1)가 입력된다. XOR 게이트(U93)에는 인버터(U92)의 출력과 인버터(U94)의 출력이 입력되어, 이들 중의 어느 한쪽이 "H", 다른 쪽이 "L"일 때에 "H", 양쪽 모두 "H" 또는 "L"일 때에 "L"로 되는 신호(SOB2)를 출력한다. 또한, 인버터(U94)로부터 출력된 신호는 신호(DOB1)로서 출력된다.

또한, 여기서는 홀수 픽셀의 B화상 데이터를 6계조 감산하는 회로에 대해서만 설명했으나, 홀수 픽셀의 R화상 데이터를 6계조 감산하는 회로, 홀수 픽셀의 G화상 데이터를 6계조 감산하는 회로, 짝수 픽셀의 B화상 데이터를 6계조 감산하는 회로, 짝수 픽셀의 R화상 데이터를 6계조 감산하는 회로 및 짝수 픽셀의 G화상 데이터를 6계조 감산하는 회로가 설치되어 있다.

도 31은 전환 회로를 나타낸 도면이다. 이 전환 회로(U94)는 8비트의 입력 포트를 2개 가지며, 한쪽 포트의 단자(A0~A5)에는 6비트 감산 회로의 출력(SOB\_DMY) SOB5~SOB1이 입력되고, 다른 쪽 포트의 단자(B0~B5)에는 8비트 감산 회로의 출력(FOB\_DMY) FOB5~FOB1이 입력된다. 전환 회로(U94)는, 극성패턴 전환 신호(FLK)가 "L"일 때, 즉, 세로 1라인 반전 극성 패턴으로 구동하고 있을 때는, 단자(B0~B5)에 입력된 신호를 출력 단자(Y0~Y5)로부터 신호

(HOB\_DMY) HOB5~HOB1으로서 출력한다. 또한, 전환 회로(U94)는, 극성 패턴 전환 신호(FLK)가 "H"일 때, 즉, 세로 2라인 반전 극성 패턴으로 구동하고 있을 때는, 단자(A0~A5)에 입력된 신호를 출력 단자(Y0~Y5)로부터 신호(HOB\_DMY) HOB5~HOB1으로서 출력한다.

전환 회로(U94)로부터 출력된 신호는 도 29에 나타난 대소 관계를 검출하는 회로에 입력된다.

본 실시예에 있어서는, 세로 1라인 반전 극성 패턴으로부터 세로 2라인 반전 극성 패턴으로 전환시킬 때에는 9계조 이상의 계조차가 있고, 세로 2라인 반전 극성 패턴으로부터 세로 1라인 반전 극성 패턴으로 전환시킬 때에는 6계조 이하의 계조차로 하고 있다. 예를 들면, 9계조차 이하에서 세로 2라인 반전 극성 패턴으로부터 세로 1라인 반전 극성 패턴으로 되돌린다고 하면, 노이즈의 영향에 의해 데이터가 8계조차로 되어, 극성 패턴이 변경되는 경우가 있다. 그러나, 본 실시예와 같이 극성 패턴이라고 판정될 때의 계조차와 판정을 해제할 때의 계조차를 상이한 것으로 함으로써, 노이즈의 영향에 의한 오동작이 회피된다.

(제 4 실시예)

도 32는 본 발명의 제 4 실시예의 액정 표시 장치의 종방향 패턴수 카운트부의 구성을 나타낸 회로도이다. 또한, 본 실시예에 있어서는, 종방향 패턴수로 히스테리시스를 부여하는 것 이외는 제 1 실시예와 기본적으로 동일하기 때문에, 중복되는 부분의 설명은 생략한다.

도 32에 나타난 회로에서는, AND 게이트(U95)에 카운터(U71)의 제 4 비트(QD)와 카운터(U72)의 제 3 비트(QC)가 공급된다. AND 게이트(U95)는, 이들 비트의 양쪽이 "H"일 때에 "H"로 되고, 그 이외일 때는 "L"로 되는 신호를 전환 회로(U96)의 입력 단자(B)에 공급한다. 또한, 전환 회로(U96)의 입력 단자(A)에는 카운터(U72)의 제 3 비트(QC)의 출력이 공급된다. 전환 회로(U96)는, 극성 패턴 전환 신호(FLK)가 "L"일 때는 AND 게이트(U95)의 출력을 다음 단(도 25의 JK 플립 플롭(U73))에 전달한다.

본 실시예에서는, 플리커 판정 개시 조건이 72 카운트 이상, 플리커 판정 해제 조건이 63 카운트 이하로 된다. 예를 들면, 패턴수가 72 카운트에서 세로 2라인 반전 극성 패턴으로 액정 표시 패널을 구동하고 있을 때에, 노이즈의 영향에 의해 70 카운트만을 행할 수 있었다고 하여도, 본 실시예에서는 판정 해제 조건을 63 카운트 이하로 하고 있기 때문에, 플리커 판정이 해제되는 것을 방지할 수 있다. 이것에 의해, 노이즈에 의한 오동작이 방지된다.

(부기)

특허청구범위의 청구항 5에 기재된 액정 표시 장치에 있어서, 상기 극성 패턴 전환 신호 출력부는, 복수 프레임에 걸쳐 플리커 발생의 우려가 있다고 판정되었을 때에, 상기 극성 패턴 전환 신호를 변화시키는 것이 바람직하다.

### 발명의 효과

상술한 바와 같이, 본 발명에 의하면, 수평 방향으로 인접하는 2개의 픽셀의 동색 화소에 공급하는 화상 데이터의 계조차를 검출하고, 그 결과에 의거하여 플리커의 유무를 판정하여 극성 패턴 전환 신호를 출력하며, 그 극성 패턴에 따른 극성으로 화상 데이터를 액정 표시 패널에 공급하기 때문에, 플리커의 발생을 보다 확실하게 방지할 수 있다. 또한, 플리커 유무의 판정 시에 수직 방향으로 연속되는 복수 라인에서 화상 데이터의 계조의 대소 관계를 조사함으로써, 불필요한 극성 패턴의 전환이 회피된다.

### 도면의 간단한 설명

도 1은 공통 전압과 플러스 극성 화소 전압 및 마이너스 극성 화소 전압과의 관계를 나타낸 모식도.

도 2는 액정 표시 패널의 구동 전압과 투과율 특성을 나타낸 도면.

도 3a는 세로 1라인 반전 극성 패턴을 나타낸 도면이고, 도 3b는 세로 2라인 반전 극성 패턴을 나타낸 도면.

도 4a는 세로 1라인 반전 극성 패턴에서 플리커(flicker)가 발생하지 않는 표시 패턴을 나타낸 도면이고, 도 4b는 세로 1라인 반전 극성 패턴에서 플리커가 발생하는 표시 패턴을 나타낸 도면.

도 5a 및 도 5b는 세로 1라인 반전 극성 패턴에서 플리커가 발생하고, 세로 2라인 반전 극성 패턴에서 플리커가 발생하지 않는 표시 패턴을 나타낸 도면.

도 6a 및 도 6b는 세로 2라인 반전 극성 패턴에서 플리커가 발생하고, 세로 2라인 반전 극성 패턴에서 플리커가 발생하지 않는 표시 패턴을 나타낸 도면.

도 7은 모두 세로 1라인 반전 극성 패턴에서 플리커가 발생하기 쉬운 표시 패턴을 나타낸 도면.

도 8은 본 발명의 실시예에 의한 액정 표시 장치의 구성을 나타낸 블록도.

도 9는 액정 표시 패널의 단면도.

도 10은 액정 표시 패널의 평면도.

도 11은 플리커 관정부의 구성을 나타낸 블록도.

도 12는 플리커 관정부의 동작을 나타낸 플로차트.

도 13은 화상 데이터의 상위 3비트에 의해 분류한 계조 그룹을 나타낸 도면.

도 14는 2개의 픽셀의 각 화상 데이터의 대소 관계의 일례를 나타낸 도면.

도 15는 동일 패턴의 연속의 일례를 나타낸 도면.

도 16은 종방향 패턴의 검출을 나타낸 도면.

도 17은 종방향 패턴의 연속의 일례를 나타낸 도면.

도 18은 계조차(階調差) 관정부의 회로도.

도 19는 대소 관계 검출부(OB)의 회로도.

도 20은 대소 관계 검출부(EB)의 회로도.

도 21은 대소 관계 동일 패턴 검출부의 일부 회로도.

도 22는 대소 관계 동일 패턴 검출부의 일부 및 횡방향 패턴수 카운트부의 일부 회로도.

도 23은 횡방향 패턴수 카운트부의 일부 회로도.

도 24는 횡방향 패턴 정보 저장부 및 종방향 패턴 비교부의 회로도.

도 25는 종방향 패턴수 카운트부의 회로도.

도 26은 데이터 드라이버의 구성을 나타낸 블록도.

도 27은 9계조차의 검출 방법을 나타낸 도면(제 2 실시예).

도 28은 8계조차 감산 회로를 나타낸 회로도.

도 29는 대소 관계 검출부를 나타낸 회로도.

도 30은 6계조 감산 회로를 나타낸 회로도(제 3 실시예).

도 31은 전환 회로를 나타낸 도면.

도 32는 종방향 패턴수 카운트부의 구성을 나타낸 도면(제 4 실시예).

도 33은 임계값(고정값)에 의한 점등 및 비점등의 판정을 나타낸 도면.

도 34는 계조차에 의한 점등 및 비점등의 판정을 나타낸 도면.

\* 도면의 주요부분에 대한 부호의 설명

10 : 액정 표시 장치 11 : 콘트롤러

12 : 플리커 판정부 13 : 액정 표시 패널

14 : 데이터 드라이버 15 : 주사 드라이버

20 : TFT 기관 21, 31 : 유리 기관

22 : 게이트 버스 라인 23 : 데이터 버스 라인

24 : 화소 전극 25 : TFT

30 : 대향 기관 32 : 컬러필터

34 : 대향 전극 40 : 횡방향 플리커 패턴 검출부

41 : 계조차 판정부 42 : 대소 관계 검출부

43 : 대소 관계 동일 패턴 검출부 44 : 횡방향 패턴수 카운트부

45 : 횡방향 패턴 정보 저장부 46 : 종방향 플리커 패턴 검출부

47 : 횡방향 패턴 비교부 48 : 횡방향 패턴수 카운트부

49 : 구동 전환 판정부 51 : 극성 패턴 전환부

52 : 시프트 레지스터 회로부 53 : 데이터 레지스터 회로부

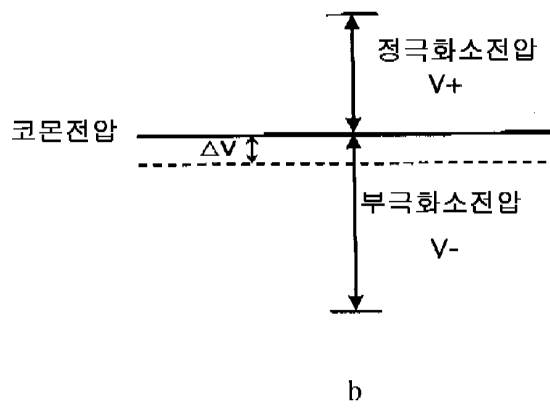
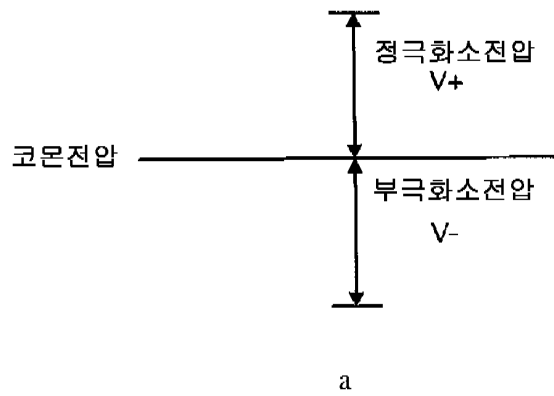
54 : 래치 회로부 55 : 레벨 시프트 회로부

56 : D/A 변환 회로부

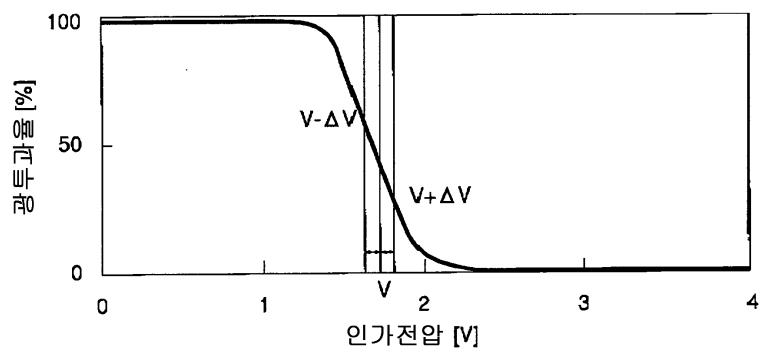
57 : 전압 폴로어부(voltage-follower部)

도면

도면1



도면2



도면3

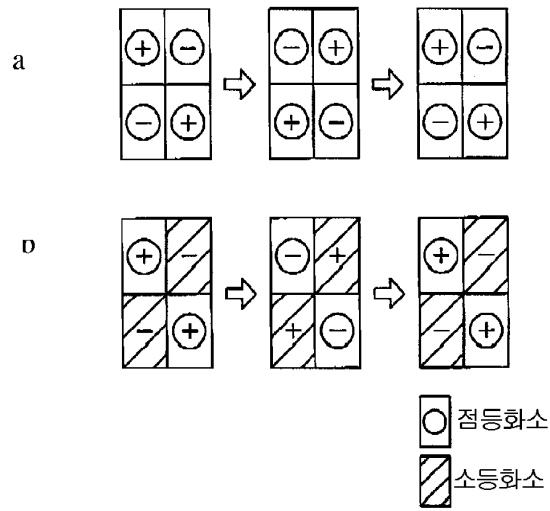
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+

a

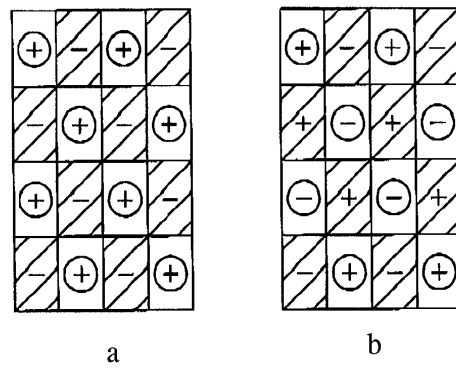
+	-	+	-	+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-	+	-	+	-

b

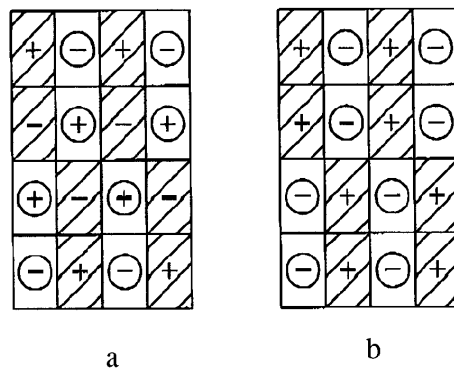
도면4



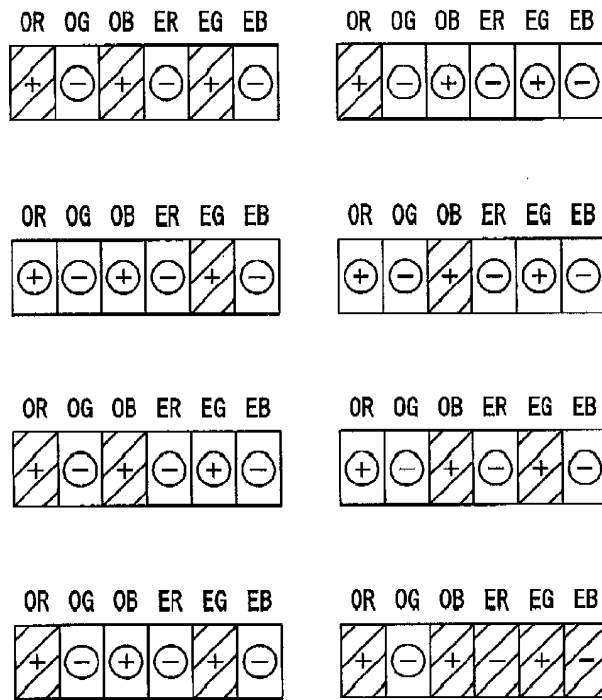
도면5



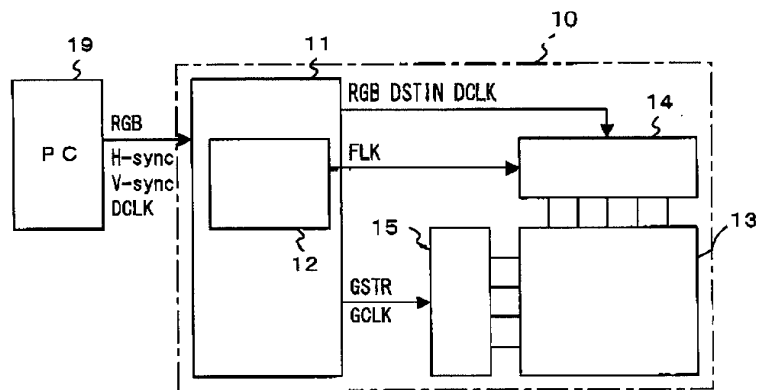
도면6



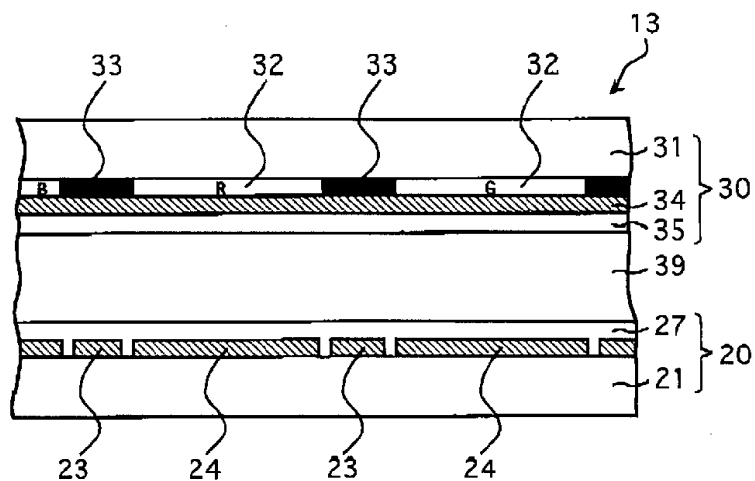
도면7



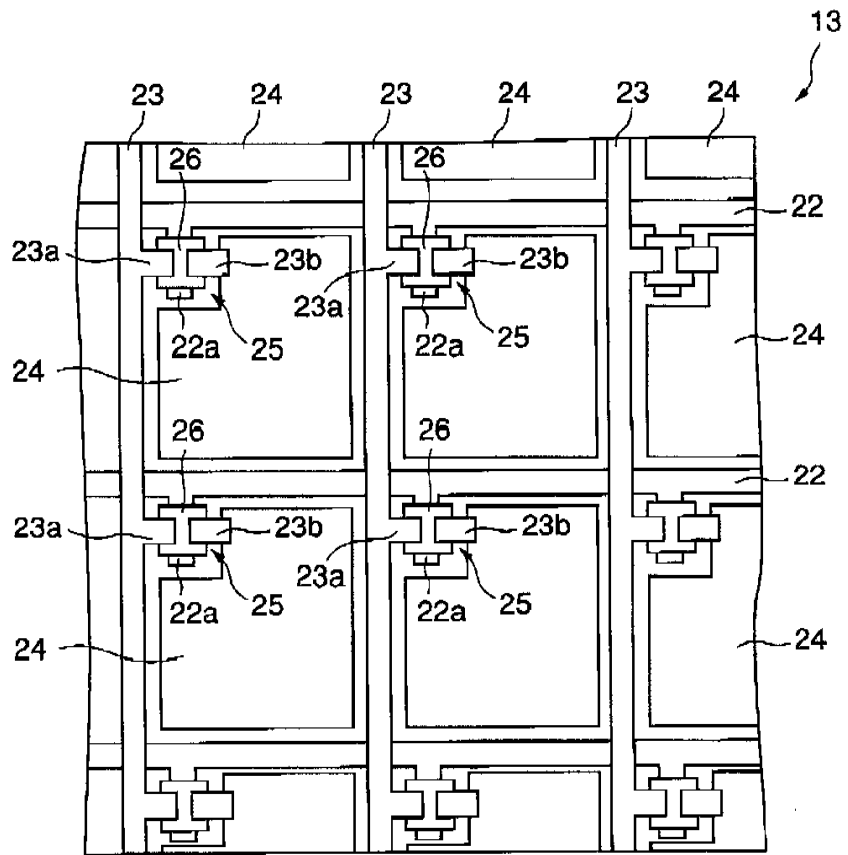
도면8



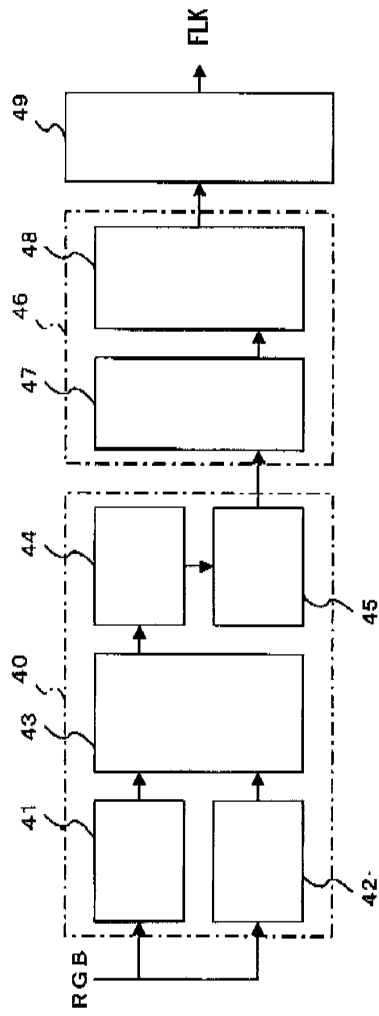
도면9



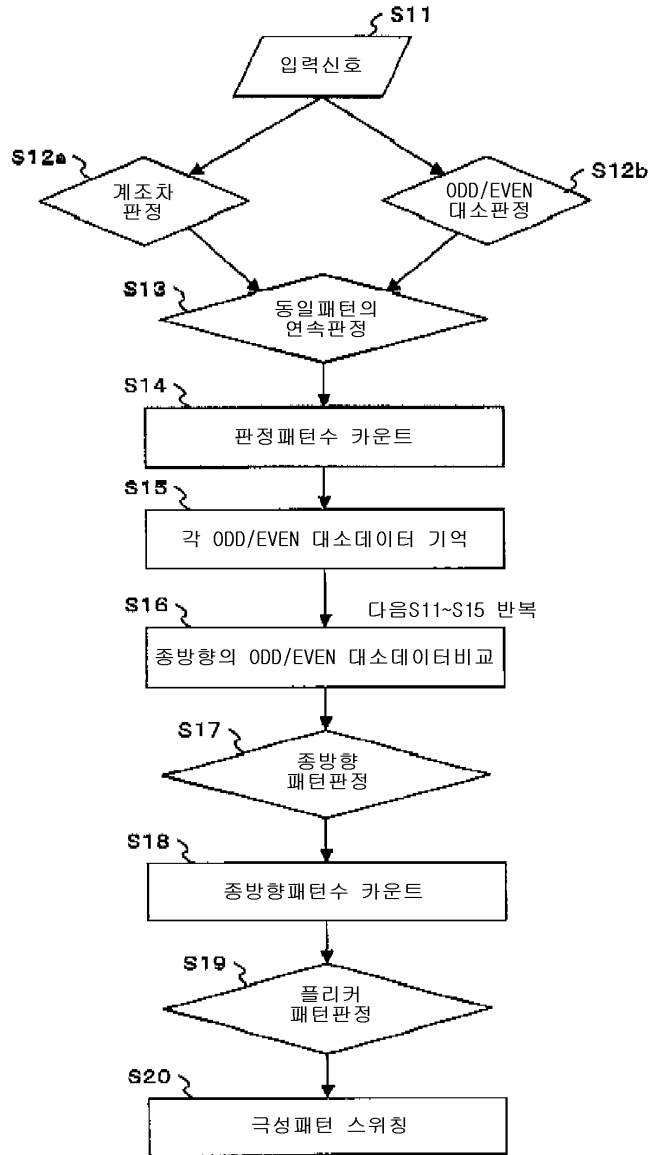
도면10



도면11



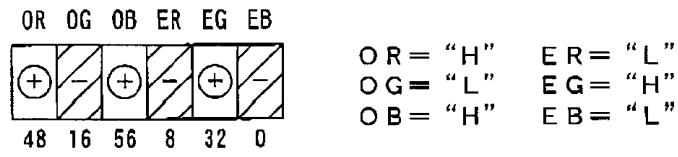
도면12



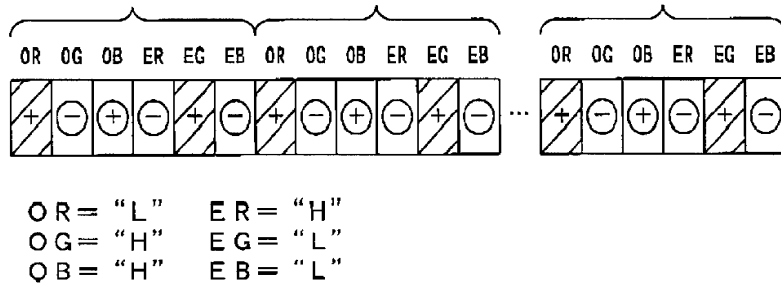
도면13

계조그룹	상위3비트			계조
	32	16	8	
(a)	0	0	0	0~7
(b)	0	0	1	8~15
(c)	0	1	0	16~23
(d)	0	1	1	24~31
(e)	1	0	0	32~39
(f)	1	0	1	40~47
(g)	1	1	0	48~55
(h)	1	1	1	56~63

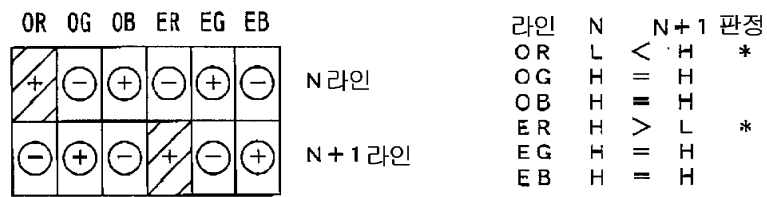
도면14



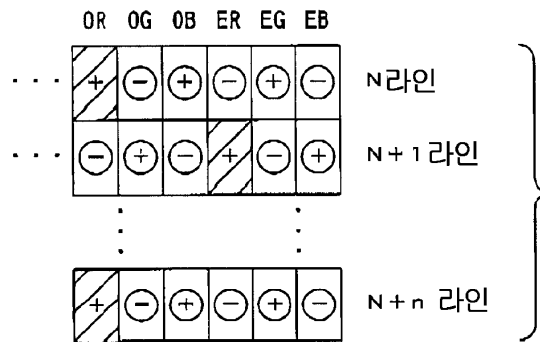
도면15



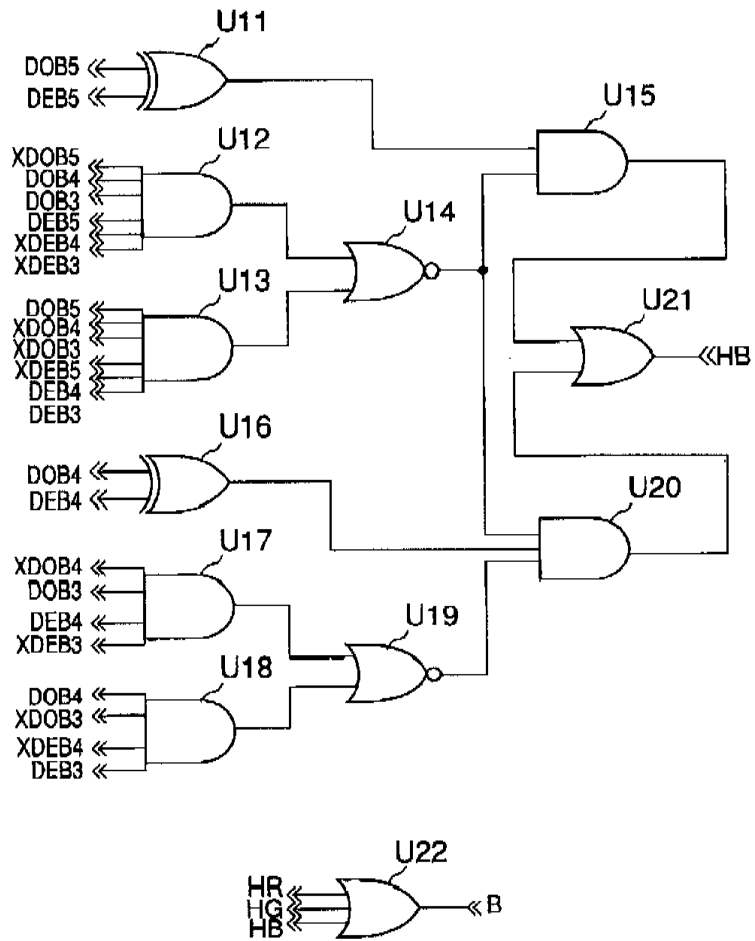
도면16



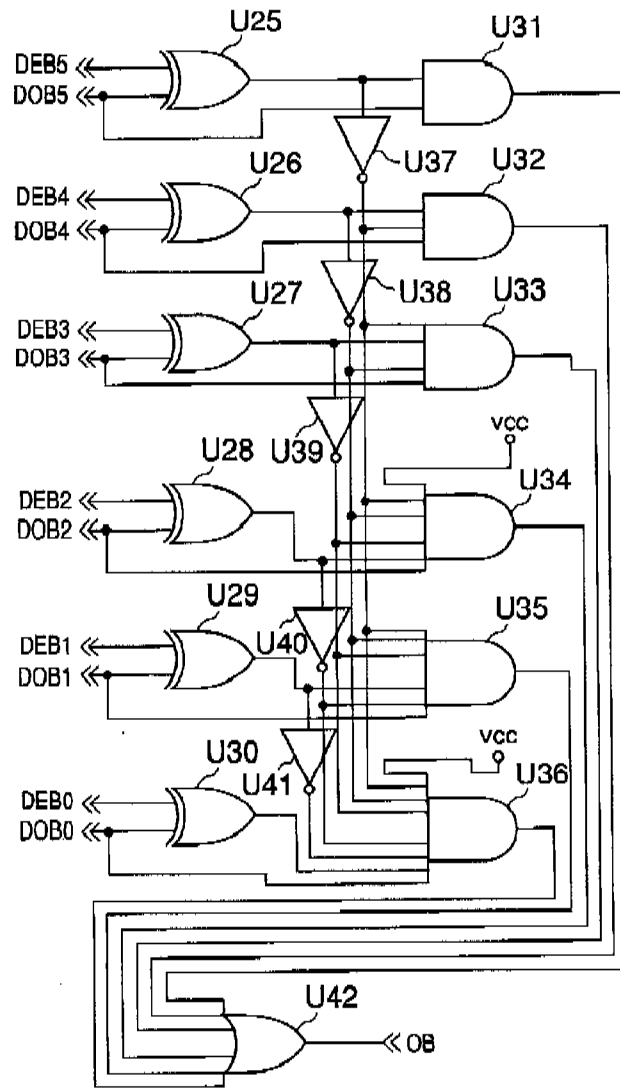
도면17



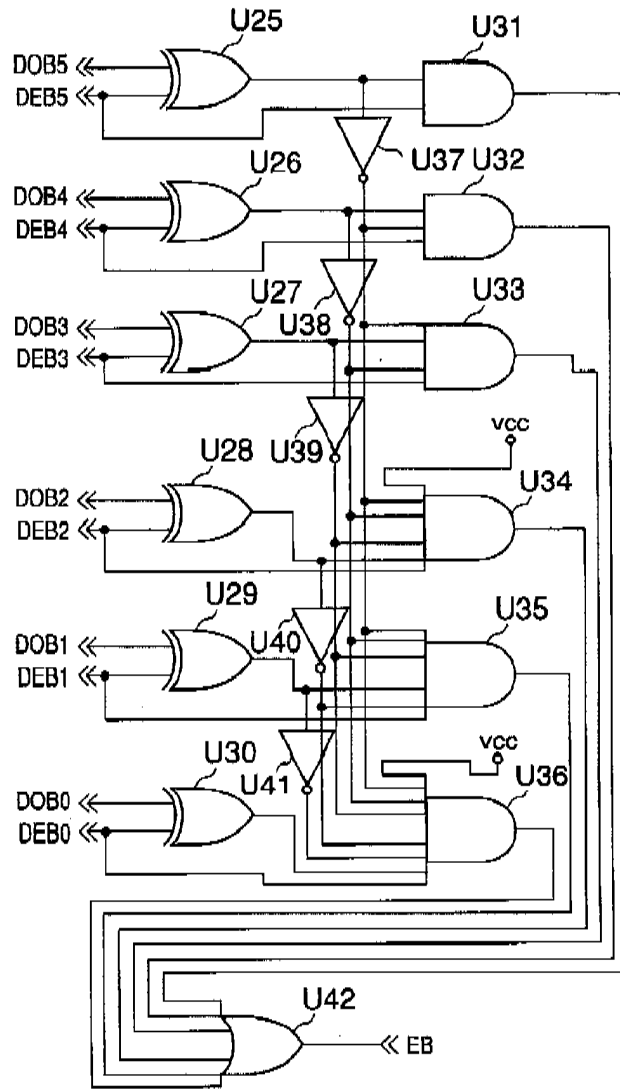
도면18



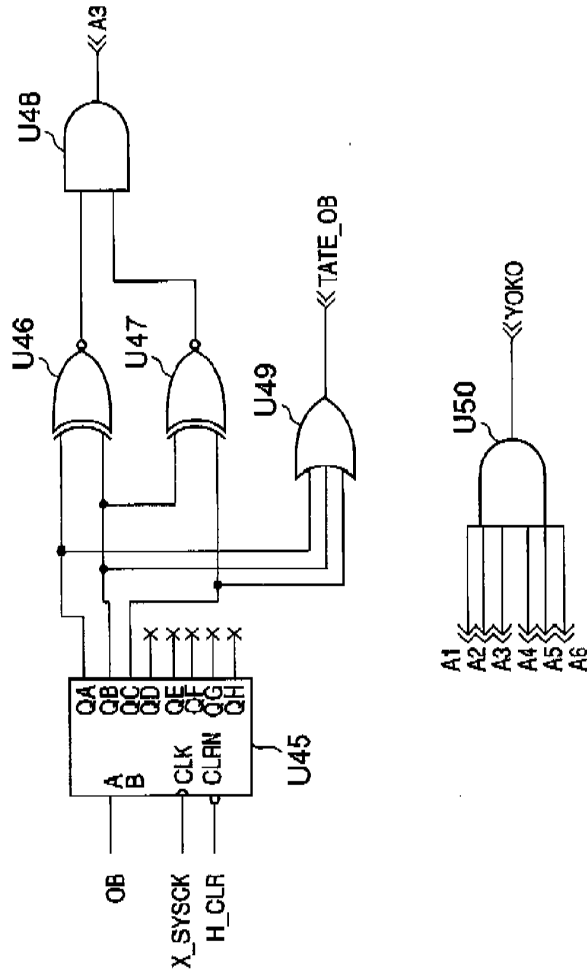
도면19



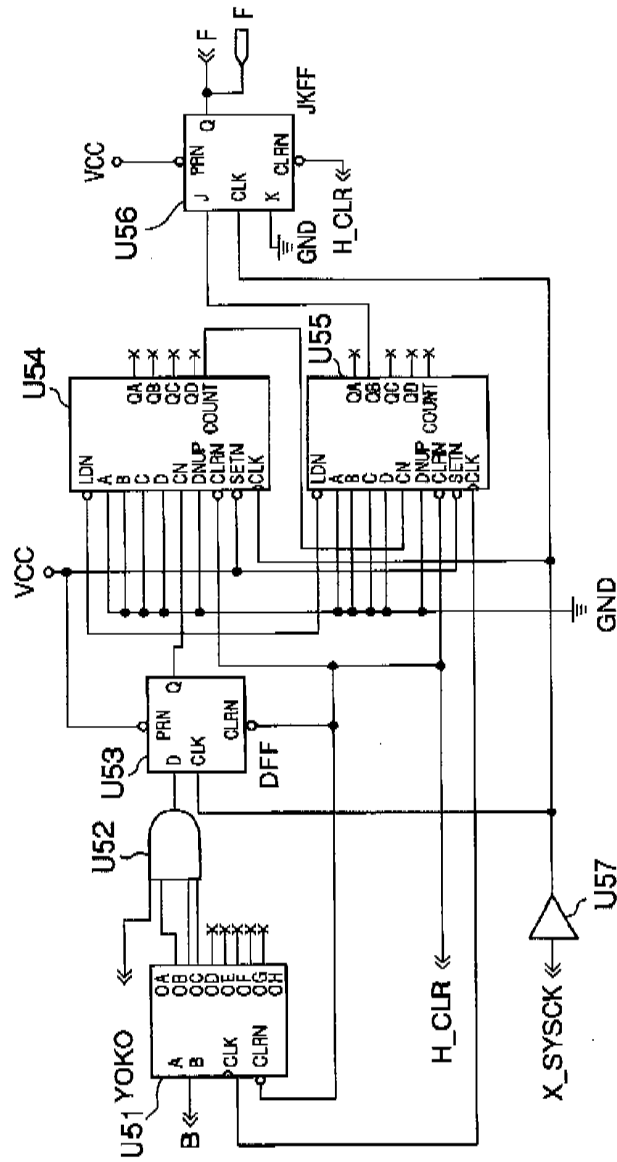
도면20



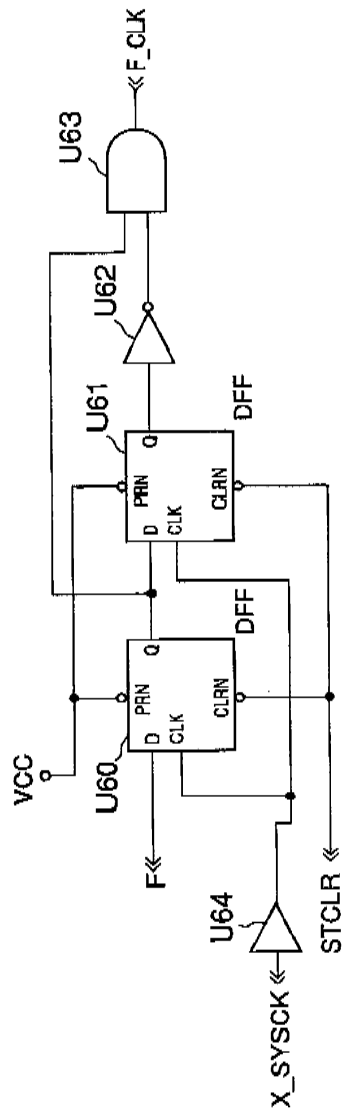
도면21



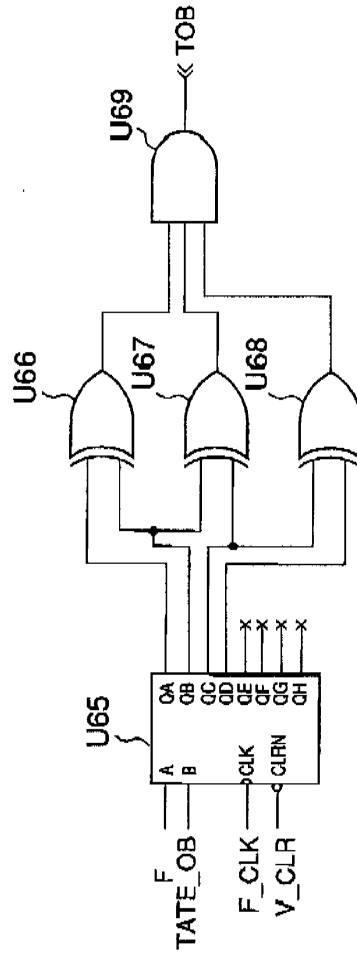
도면22



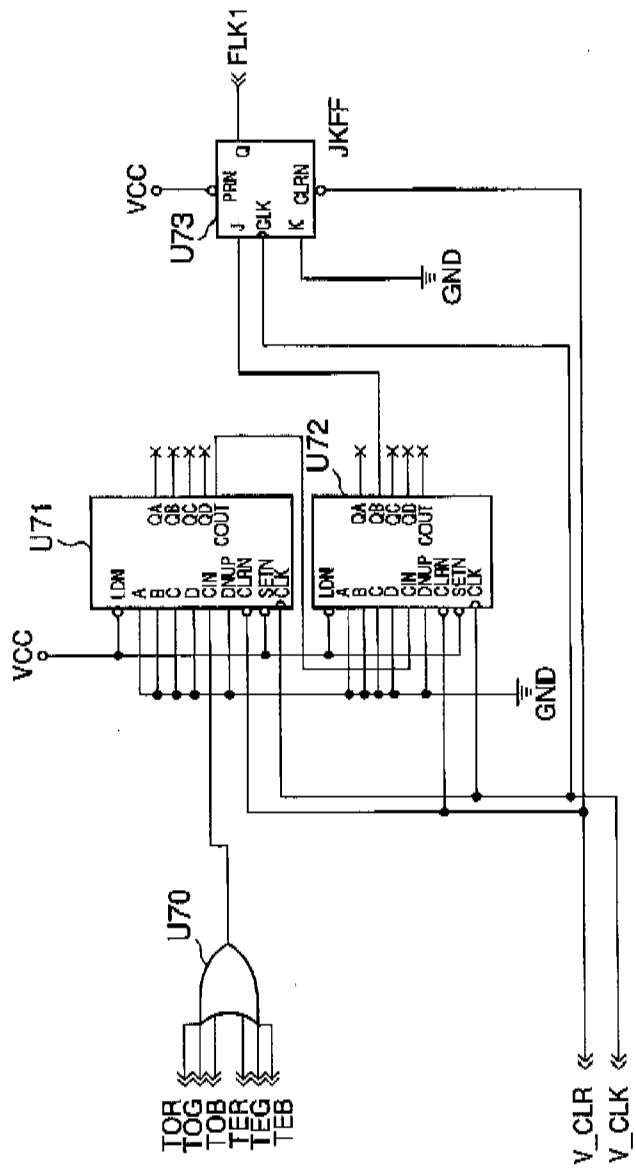
도면23



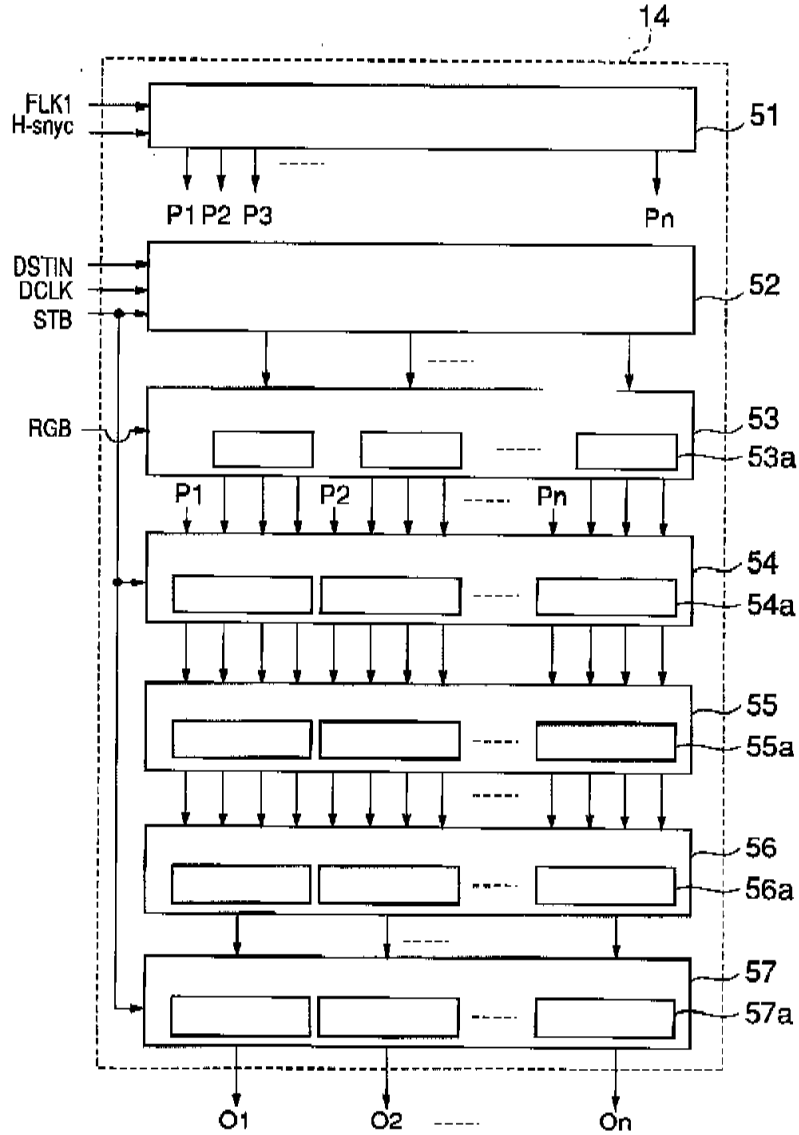
도면24



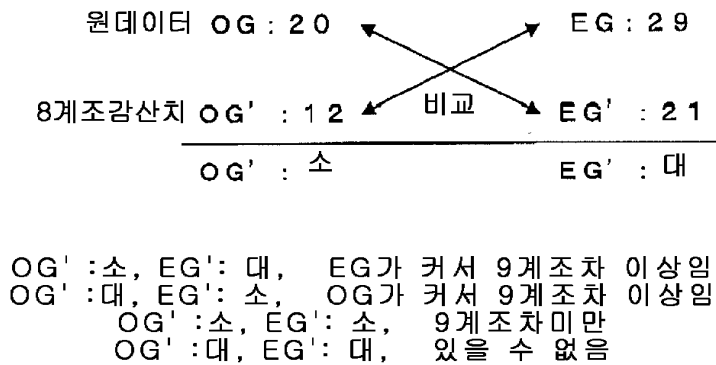
도면25



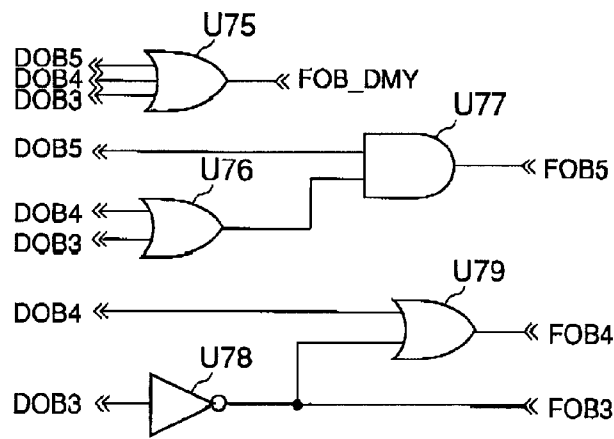
도면26



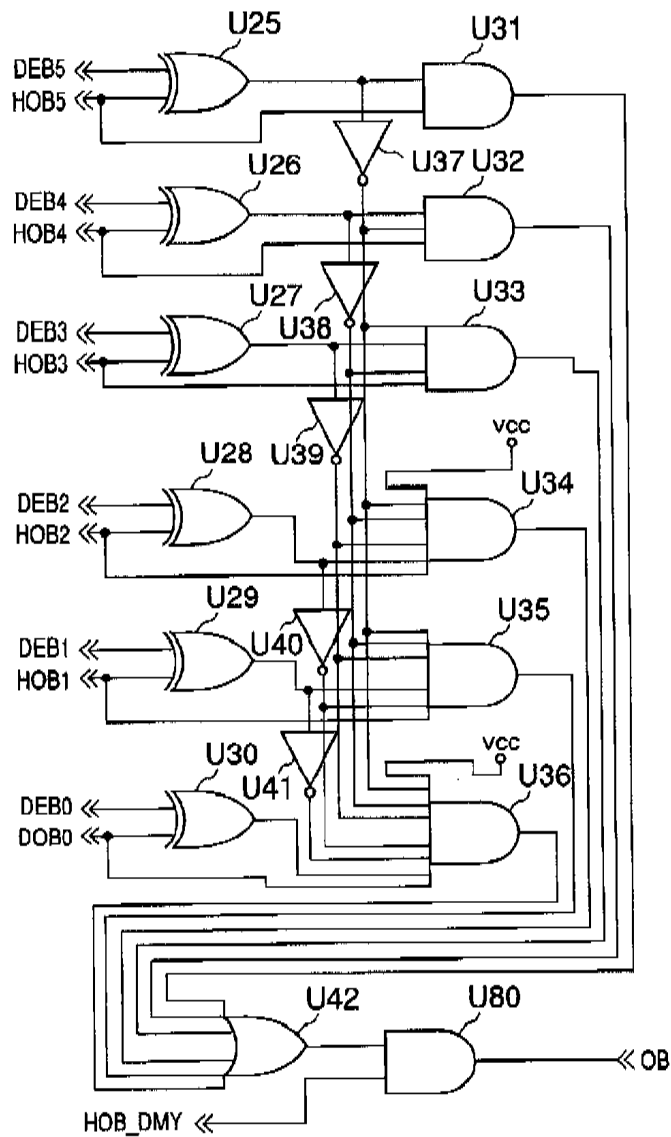
도면27



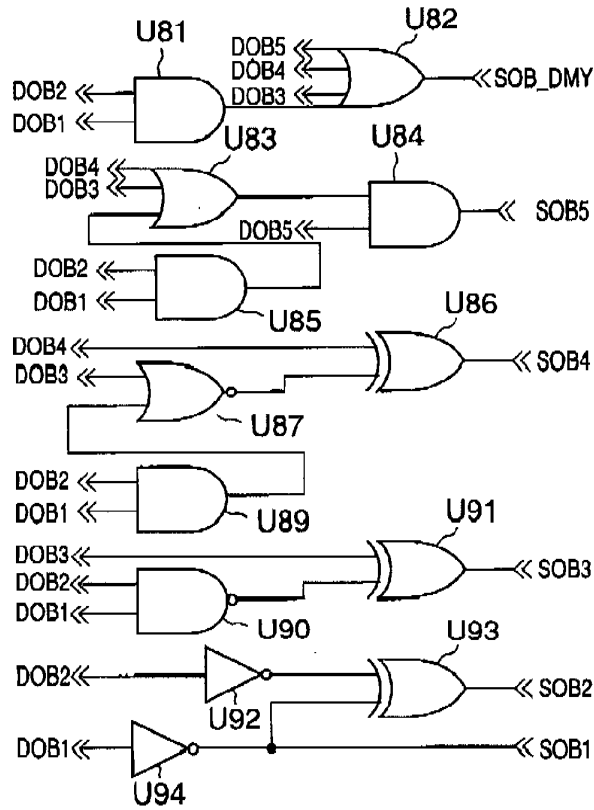
도면28



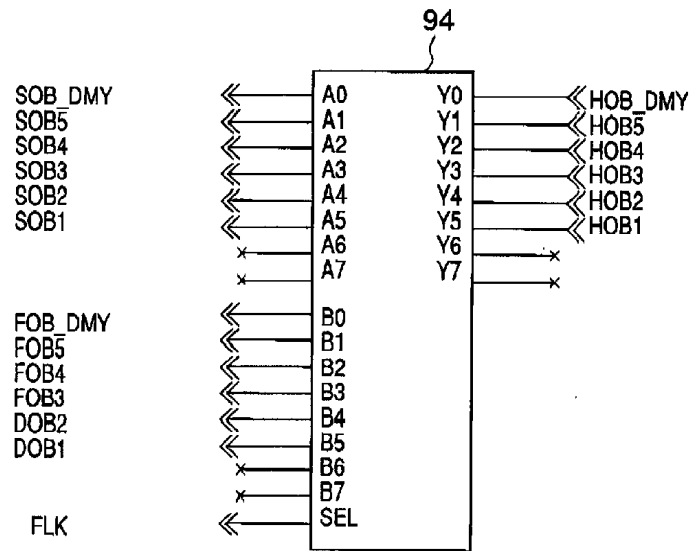
도면29



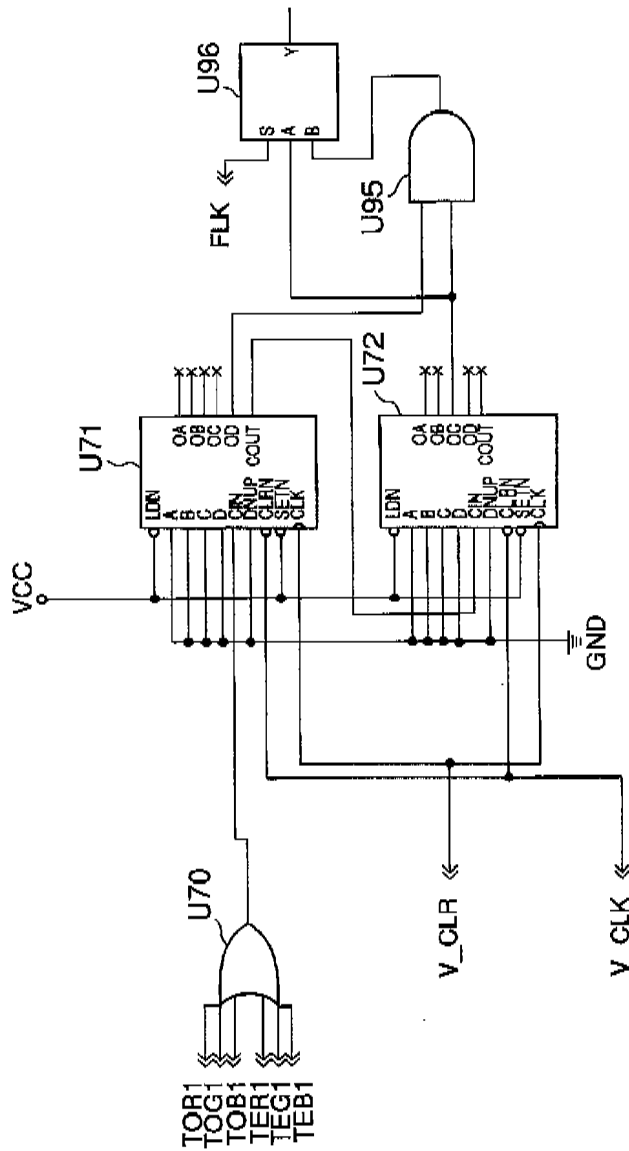
도면30



도면31



도면32



도면33

2 0계 조 (-) (비점등)	125계 조 (+) (점등)	3 3계 조 (-) (점등)	25계 조 (+) (점등)
125계 조 (+) (점등)	2 0계 조 (-) (비점등)	250계 조 (+) (점등)	3 3계 조 (-) (점등)

a

b

도면34

20계조 (-) (비점등)	125계조 (+) (점등)
125계조 (+) (점등)	20계조 (-) (비점등)

a

33계조 (-) (비점등)	250계조 (+) (점등)
250계조 (+) (점등)	33계조 (-) (비점등)

b

专利名称(译)	液晶显示器，驱动方法和驱动电路		
公开(公告)号	<a href="#">KR100718170B1</a>	公开(公告)日	2007-05-15
申请号	KR1020000075606	申请日	2000-12-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	FUKUTOKU SYOUICHI 후쿠도쿠쇼우이찌 NUKIYAMA KAZUHIRO 누키야마가즈히로		
发明人	후쿠도쿠쇼우이찌 누키야마가즈히로		
IPC分类号	G09G3/36 G02F1/133 G09F9/00 G09F9/35 G09G3/20		
CPC分类号	G09G2320/0247 G09G3/3648 G09G3/3688 G09G3/3614		
代理人(译)	MOON, KI桑		
优先权	1999354206 1999-12-14 JP		
其他公开文献	KR1020010062355A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供一种能够防止闪烁发生的液晶显示装置，驱动方法和驱动电路，并且还避免了不必要的极性图案的转换。

