

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월28일 10-0616711 2006년08월21일
(21) 출원번호 (22) 출원일자	10-2003-0040013 2003년06월20일	(65) 공개번호 (43) 공개일자	10-2004-0110621 2004년12월31일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	임경문 경기도광명시하안동30주공아파트1014-805
(74) 대리인	허용록

심사관 : 이병우

(54) 액정표시장치의 구동회로

요약

본 발명에 따른 액정표시장치의 구동회로는, 액정표시장치의 데이터 구동회로에 있어서, 디지털 화소 데이터를 래치하는 래치 회로와; 상기 래치 회로의 래치 출력을 아날로그 영상 신호로 변환하는 디지털 아날로그 변환기와; 상기 디지털 아날로그 변환기로 변환된 아날로그 영상 신호를 증폭하는 아날로그 앰프를 구비하며;

상기 아날로그 앰프는, 입력라인과 제1 단자 사이에 연결된 캐패시터와, 상기 제1 단자와 제2 단자 사이에 접속된 낸드(NAND) 게이트와, 상기 제1 단자와 제2 단자 사이에서 상기 낸드 게이트에 병렬로 접속된 스위치로 구성됨을 특징으로 한다.

이와 같은 본 발명에 의하면, 구동회로 일체형 액정표시장치에 있어서 구동회로의 아날로그 출력 신호를 보다 안정적으로 신호선에 전달함으로써, 상기 구동회로를 보다 효과적으로 집적하게 되는 효과가 있다.

대표도

도 4a

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 액정표시장치를 나타내는 블록도.

도 2는 도 1에 도시된 데이터 구동회로를 상세히 보여주는 블록도.

도 3은 본 발명에 의한 데이터 구동회로를 나타내는 블록도.

도 4a 내지 도 4c는 본 발명에 의한 아날로그 앰프의 구성의 실시예를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

54 : 출력버퍼 55 : 아날로그 앰프

60 : 낸드(NAND) 게이트 62 : 캐패시터

64, 64', 64'' : 입력단자 66 : 출력단자

68 : 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동회로에 관한 것으로, 특히 구동회로 일체형 액정표시장치에서 신호선의 RC 지연(delay)을 극복하도록 하는 아날로그 앰프가 채용된 액정표시장치의 데이터 구동회로에 관한 것이다.

최근 정지화상이나 동화상을 포함시킨 각종 화상을 표시하는 장치로서 액정 표시 장치(Liquid Crystal Display : LCD)가 널리 이용되고 있으며, 이는 경량, 박형, 저소비 구동 등의 특징과 함께 액정 재료의 개량 및 미세 화소 가공기술의 개발에 의해 화질이 가속도적으로 개선되고 있으며, 또한 그 응용범위가 점차 넓어지고 있는 추세이다.

이와 같은 상기 액정표시장치(Liquid Crystal Display : LCD)에는 일반적으로 표시장치의 화면을 이루는 액정 패널 상에 각각의 화소가 매트릭스 형태로 배열되어 있으며, 상기 각각의 화소에는 스위칭 소자로서의 박막트랜지스터가 형성되어 있고, 또한 상기 박막트랜지스터를 교차하여 지나가는 게이트 라인과 데이터 라인이 구비되어 있다.

이와 같은 액정표시장치를 액티브 매트릭스형 액정표시장치라고 하며, 도 1은 종래의 액티브 매트릭스형 액정표시장치를 나타내는 블록도이다.

도 1을 참조하면, 종래의 액티브 매트릭스형 액정표시장치는 외부의 비디오 카드(1)로부터 입력되는 영상 데이터를 액정 패널(6)에 공급하기 위한 데이터 구동회로(3)와, 상기 데이터 구동회로(3)에 신호 전압을 공급하는 감마전압회로(4)와, 상기 액정패널 상에 구비된 박막트랜지스터의 스위칭 동작을 제어하는 스캐닝 신호를 공급하는 게이트 구동회로(5), 및 상기 데이터 구동회로(3)와 게이트 구동회로(5)를 제어하기 위한 제어기(controller)(2)를 구비한다.

일반적으로 XGA(1024*768픽셀)급의 해상도를 가지는 액정패널(6)에는 1024*3 (RGB)개의 데이터 라인(data line)이 존재한다. 따라서, 일례로 XGA급의 해상도를 가지는 액정표시장치에는 384채널의 출력단을 가지는 데이터 구동회로(3)가 8개(384*8 = 3072) 사용되며, 200채널의 출력단을 가지는 게이트 구동회로(5)는 일반적으로 4개가 사용된다.

컴퓨터 등의 본체에 내장된 디지털 비디오 카드(1)로부터 공급되는 비디오 데이터는 제어기(2)의 중계를 통해 데이터 구동회로(3)로 공급된다. 다른 예로써, 모니터 등에서는 컴퓨터로부터 입력되는 아날로그 영상신호가 액정모니터에 내장된 인터페이스 모듈을 통해서 디지털 비디오 데이터로 변환된 후 액정표시장치로 입력되기도 한다.

상기 게이트 구동회로(5)는 각 스캐닝 라인에 1프레임 시간마다 1회 스캐닝 펄스를 인가하며, 통상 이 펄스의 타이밍은 상기 액정패널(6)의 상측에서 하측을 향해 순서대로 어긋나 있으며, 상기 데이터 구동회로(3)는 스캐닝 펄스가 인가되는 1행분의 화소에 대응하는 액정구동전압 즉, 신호 전압을 각 데이터 라인에 인가한다.

상기 스캐닝 펄스가 인가된 선택 화소에서는 게이트 라인에 접속된 박막트랜지스터의 게이트전극의 전압이 높아지며, 박막트랜지스터가 온(on)상태로 된다.

이 때, 상기 액정구동전압은 상기 데이터 라인으로부터 박막트랜지스터의 드레인, 소스간을 경유하여 액정에 인가되며, 액정용량과 보지용량을 합친 화소용량을 충전한다. 이 동작을 반복함으로써, 프레임 시간마다 반복하여 영상신호에 대응시킨 전압이 패널 전면의 화소용량에 인가되는 것이다.

도 2는 도 1에 도시된 데이터 구동회로를 상세히 보여주는 블록도이다.

도 2를 참조하면, 먼저 데이터 래치(41)(data latch)는 외부로부터 입력되는 비디오 데이터(10, 11, 12)를 화소(pixel) 단위로 래치한다. 이 때 기수(even) 및 우수(odd) 비디오 데이터를 입력받는 액정표시장치의 경우에는, 상기 데이터 래치(41)는 2화소 단위로 입력되는 비디오 데이터를 래치한다.

쉬프트 레지스터(40)는 입력되는 외부 클럭신호에 동기하여 비디오 데이터를 라인 래치에 저장시키기 위한 래치 인에이블 신호를 순차적으로 발생시킨다. 라인 래치(42)는 상기 래치 인에이블신호에 동기하여 입력되는 비디오 데이터를 순차적으로 저장한다.

상기 라인 래치(42)는 적어도 각각 1라인 크기의 (여기서는 1개의 데이터 구동회로에 연결되는 데이터 라인수; 일례로 384*6비트) 제 1, 2 레지스터(미도시)를 구비한다. 상기 라인 래치(42)는 1라인분의 비디오 데이터가 제 1 레지스터에 저장되면, 동시에 제 1 레지스터에 저장된 1라인분의 비디오 데이터를 제 2 레지스터로 이동시킨다. 이후 상기 라인 래치(42)는 제 1 레지스터에 다음 라인의 비디오 데이터를 순차적으로 저장한다.

또한, 도 2의 디지털 아날로그 변환기(43)(digital to analog converter)는 감마전압회로(4)로부터 복수개의 신호 전압을 인가 받는다. 이후 상기 라인 래치의 제 2레지스터로부터 공급되는 각각의 비디오 데이터에 대응하여 입력되는 복수개의 신호전압 중 적어도 1 또는 2개의 신호전압을 선택한다.

그리고, 상기 디지털 아날로그 변환기(43)는 선택된 신호전압을 상기 비디오데이터에 대응하여 이를 분압하고 출력 버퍼(44)를 통해 아날로그 영상신호로써 각각의 데이터 라인으로 출력한다.

종래의 경우에는 상기 액정 패널과 별개로 구동회로 기관 즉, 데이터 구동회로 및 게이트 구동회로가 형성된 별도의 기관이 설치되는 것이 일반적이었다.

그러나, 최근 들어 대형 유리 기관을 사용할 수 있는 저온 폴리 실리콘(poly silicon) 개발에 의해 회로의 집적화가 전개됨에 따라 디스플레이 신호처리에 관계되는 회로를 유리 기관 상에 집적할 수 있게 되었고, 이와 같이 집적하는 회로의 범위도 점차 확대되고 있는 추세에 있다.

즉, 이러한 종류의 구동회로 일체형 액정표시장치는, 유리 기관 위에 폴리 실리콘 등으로 박막트랜지스터(TFT)를 형성하고, 이들 박막트랜지스터를 이용하여 상기 액정패널의 화소 어레이부와 구동회로의 양자를 형성할 수 있는 것이다.

상기 폴리 실리콘은 아몰퍼스(amorphous) 실리콘에 비해 캐리어의 이동도가 훨씬 크므로, 구동 회로용 IC를 위한 트랜지스터 소자를 유리기관 상에 화소전극을 위한 스위칭 트랜지스터와 함께 형성할 수 있으며, 이에 따라 LCD 제작에 있어서 모듈 공정의 비용이 절감될 수 있고 동시에 완성될 LCD의 사용 소비전력 역시 낮춰질 수 있다.

다만, 이 경우 상기 유리 기관 상에 데이터 버스가 다니게 되기 때문에, 유리 기관의 면적이 크고 데이터 라인의 수가 많게 될수록, 상기 데이터 버스의 부하 용량이 커지게 된다. 이와 같이 상기 데이터 버스의 부하 용량이 커지면, 파형이 완만해지는 등의 문제 및 데이터 라인의 RC load가 커지는 문제가 발생하게 된다.

결국 상기 구동회로 일체형 액정표시장치의 경우 데이터 구동회로에서 출력되는 아날로그 전압이 보다 안정적으로 출력되어야 하는 것이며, 이를 위해 상기 출력 버퍼가 높은 출력으로 안정하게 동작되어야 함이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명은 구동회로 일체형 액정표시장치에서, 구동회로의 출력 버퍼로 NAND 게이트와 상기 NAND 게이트의 입, 출력부를 연결하는 스위치 등이 포함되는 아날로그 앰프를 구성함으로써, 큰 RC load를 갖는 신호선을 안정적으로 구동하도록 하는 액정표시장치의 구동회로를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 액정표시장치의 구동회로는, 액정표시장치의 데이터 구동회로에 있어서, 1라인 분의 디지털 화소 데이터를 래치하는 래치 회로와, 상기 래치 회로에 의해 출력된 1라인 분의 디지털 화소 데이터를 아날로그 영상 신호로 변환하는 디지털 아날로그 변환기와, 상기 디지털 아날로그 변환기에 의해 변환된 아날로그 영상 신호를 증폭하기 위한 다수의 아날로그 앰프를 갖는 출력버퍼를 구비하며, 상기 각 아날로그 앰프는, 입력라인과 제1 단자 사이에 연결된 캐패시터와, 상기 제1 단자와 제2 단자 사이에 접속된 낸드(NAND) 게이트와, 상기 제1 단자와 제2 단자 사이에서 상기 낸드 게이트에 병렬로 접속된 스위치로 구성됨을 특징으로 한다.

삭제

여기서, 상기 래치 회로에는, 외부로부터 입력되는 디지털 화소 데이터를 래치하는 데이터 래치와, 외부 클럭신호에 동기하여 상기 디지털 화소 데이터에 대한 래치인에이블 신호를 순차적으로 발생시키는 쉬프트 레지스터와, 상기 래치 인에이블신호에 동기하여 상기 디지털 화소 데이터를 순차적으로 저장하는 라인 래치가 포함된다.

또한, 상기 제1 단자는 2개의 단자로 구성되며, 상기 2개의 단자는 서로 단락되어 동일한 아날로그 영상 신호가 상기 캐패시터를 경유하여 입력된다.

또는, 상기 제1 단자는 2개의 단자로 구성되며, 어느 한 단자로 상기 아날로그 영상 신호가 상기 캐패시터를 경유하여 입력되고, 나머지 한 단자는 소정의 제어 신호가 입력된다.

또한, 상기 아날로그 앰프에는 상기 아날로그 앰프와 동일한 기능을 갖는 아날로그 앰프가 직렬로 다수가 연결될 수 있다.

또한, 상기 목적을 달성하기 위하여 본 발명의 다른 실시예에 따른 액정표시장치의 구동회로는, 액정표시장치의 데이터 구동회로에 있어서, 1라인 분의 디지털 화소 데이터를 래치하는 래치 회로와, 상기 래치 회로에 의해 출력된 1라인 분의 디지털 화소 데이터를 아날로그 영상 신호로 변환하는 디지털 아날로그 변환기와, 상기 디지털 아날로그 변환기에 의해 변환된 아날로그 영상 신호를 증폭하기 위한 다수의 아날로그 앰프를 갖는 출력버퍼를 구비하며, 상기 각 아날로그 앰프는, 입력라인과 제1 단자 사이에 연결된 캐패시터와, 상기 제1 단자와 제2 단자 사이에 접속된 노어(NOR) 게이트와, 상기 제1 단자와 제2 단자 사이에서 상기 노어 게이트에 병렬로 접속된 스위치로 구성됨을 특징으로 한다.

삭제

삭제

이와 같은 본 발명에 의하면, 구동회로 일체형 액정표시장치에 있어서 구동회로의 아날로그 출력 신호를 보다 안정적으로 신호선에 전달함으로써, 상기 구동회로를 보다 효과적으로 집적하게 되는 효과가 있다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다. 도 3은 본 발명에 의한 데이터 구동회로를 나타내는 블록도이다.

단, 본 발명에 의한 데이터 구동회로는 액정패널의 화소 어레이부와 동일한 기판 상에 형성되고, 이를 위해 상기 기판 상에 형성되는 박막트랜지스터(TFT)의 액티브층(Active layer)은 폴리 실리콘(poly silicon)으로 구성되며, 도 2에 도시된 종래의 데이터 구동회로의 구성요소와 동일한 구성에 대해서는 동일한 도면부호를 사용하도록 한다.

도 3을 참조하면, 상기 본 발명에 의한 데이터 구동회로는 데이터 래치, 쉬프트 레지스터, 라인 래치로 이루어진 래치회로와, 디지털 아날로그 변환기 및 아날로그 앰프로 구성되며, 상기 데이터 구동회로의 동작을 간단히 설명하면 다음과 같다.

먼저 데이터 래치(41)(data latch)는 외부로부터 입력되는 비디오 데이터(10, 11, 12)를 화소(pixel) 단위로 래치한다. 이 때 기수(even) 및 우수(odd) 비디오 데이터를 입력받는 액정표시장치의 경우에는, 상기 데이터 래치(41)는 2화소 단위로 입력되는 비디오 데이터를 래치한다.

쉬프트 레지스터(40)는 입력되는 외부 클럭신호에 동기하여 비디오 데이터를 라인 래치에 저장시키기 위한 래치 인에이블 신호를 순차적으로 발생시킨다. 라인 래치(42)는 상기 래치 인에이블신호에 동기하여 입력되는 비디오 데이터를 순차적으로 저장한다.

상기 라인 래치(42)는 적어도 각각 1라인 크기의 (여기서는 1개의 데이터 구동회로에 연결되는 데이터 라인수; 일례로 384*6비트) 제 1, 2 레지스터(미도시)를 구비한다. 상기 라인 래치(42)는 1라인분의 비디오 데이터가 제 1 레지스터에 저장되면, 동시에 제 1 레지스터에 저장된 1라인분의 비디오 데이터를 제 2 레지스터로 이동시킨다. 이후 상기 라인 래치(42)는 제 1 레지스터에 다음 라인의 비디오 데이터를 순차적으로 저장한다.

또한, 도 2의 디지털 아날로그 변환기(43)(digital to analog converter)는 감마전압회로(4)로부터 복수개의 신호 전압을 인가 받는다. 이후 상기 라인 래치의 제 2레지스터로부터 공급되는 각각의 비디오 데이터에 대응하여 입력되는 복수개의 신호전압 중 적어도 1 또는 2개의 신호전압을 선택한다.

그리고, 상기 디지털 아날로그 변환기(43)는 선택된 신호전압을 상기 비디오데이터에 대응하여 이를 아날로그 영상신호로 변환시키고, 상기 디지털 아날로그 변환기(43)에 의해 변환된 아날로그 영상 신호는 출력버퍼(54)를 통해 증폭되어 출력된다.

여기서, 상기 출력버퍼(54)는 다수개의 아날로그 앰프(analog amp)(55)로 구성되어 있으며, 상기 다수개의 아날로그 앰프(55)는 상기 디지털 아날로그 변환기(43)로부터 변환되는 각각의 아날로그 영상신호를 각각의 데이터 라인에 증폭시켜 전달하기 위해 각각의 데이터 라인에 대응되도록 형성되어 있다.

본 발명에 적용되는 구동회로 일체형 액정표시장치의 경우, 유리 기판 상에 데이터 버스가 다니게 되고, 또한 유리 기판의 면적이 크고 데이터 라인의 수가 많게 되므로 상기 데이터 버스의 부하 용량이 커지게 되며 결국 데이터 라인의 RC load가 커지는 문제가 발생하게 된다.

이러한 문제를 극복하기 위해서는 상기 데이터 라인으로 출력되는 아날로그 영상 데이터를 보다 안정적으로 출력시켜야 하는 것이며, 본 발명은 이를 위해 상기 아날로그 앰프의 구성을 종래와 다르게 하였다.

도 4a 내지 도 4c는 본 발명에 의한 아날로그 앰프의 구성의 실시예를 나타내는 도면이다.

즉, 이는 도 3에 도시된 데이터 구동회로의 출력버퍼(54) 내부에 구비된 각각의 아날로그 앰프(55) 구성에 대한 도면이다.

도 4a를 참조하면, 상기 아날로그 앰프는, 입력라인(61)과 제1 단자(64) 사이에 연결된 캐패시터(62)와, 상기 제1 단자(64)와 제2 단자(66) 사이에 접속된 낸드(NAND) 게이트(60)와, 상기 제1 단자(64)와 제2 단자(66) 사이에서 상기 낸드 게이트(60)에 병렬로 접속된 스위치(68)로 구성된다.

여기서, 상기 제1 단자(64)는 2개의 단자로 이루어져 있고, 상기 2개의 단자(64)는 서로 단락되어 동일한 아날로그 영상 신호가 상기 캐패시터(62)를 경유하여 입력되며, 또한 상기 제1 단자(64)와 제2 단자(66)를 연결하는 스위치(68)는 전압의 초기화를 위한 스위치이다.

이러한 상기 아날로그 앰프의 동작을 설명하면, 우선 상기 제1 단자(64)와 제2 단자(66)를 연결하는 스위치(68)를 닫아 낸드 게이트(60)의 입, 출력을 상기 낸드 게이트에 제공되는 전원 전압의 중간전위로 초기화하며, 상기 초기화된 전압은 제1 단자에 접속된 캐패시터(62)에 저장된다.

다음으로 디지털 아날로그 변환기(도 3의 43)에서 변환되는 아날로그 영상신호가 상기 캐패시터(62)를 경유하여 상기 제1 단자를 통해 입력되고, 상기 아날로그 영상신호의 전압과 상기 초기화된 전압의 차이 분에 해당하는 전압이 상기 제2 단자(66)를 통해 출력된다.

결과적으로 상기 제2 단자(66)를 통해 출력되는 아날로그 전압은 상기 디지털 아날로그 변환기(도 3의 43)에서 변환된 아날로그 영상신호가 증폭된 값이며, 이는 각각 대응되는 데이터 라인으로 전달된다.

이는 상기 데이터 라인으로 출력된 신호를 모니터하여, 상기 디지털 아날로그 변환기(도 3의 43)에서 변환된 아날로그 영상신호에 피드백(feedback)하는 것이며, 이를 통해 아날로그 앰프(도 3의 55)를 통해 출력되는 전압을 제어할 수 있게 되고, 결국 데이터 구동회로의 아날로그 출력 신호를 상기 제어를 통해 보다 안정적으로 데이터 라인에 전달하는 것이다.

도 4b는 상기 아날로그 앰프의 다른 실시예를 나타내는 도면으로 이를 참조하면, 상기 도 4a에서 설명된 아날로그 앰프가 직렬로 다수개 연결되어 있는 것이다.

즉, 입력라인(61)과 제1 단자(64) 사이에 연결된 캐패시터(62)와, 상기 제1 단자(64)와 제2 단자(66) 사이에 접속된 낸드(NAND) 게이트(60)와, 상기 제1 단자(64)와 제2 단자(66) 사이에서 상기 낸드 게이트(60)에 병렬로 접속된 스위치(68)로 구성된 단수의 동일한 아날로그 앰프를 직렬로 복수개의 단으로 구성(cascade 연결)하는 것이며, 이는 보다 효과적인 오프셋(offset) 제어를 위함이다.

또한, 도 4c는 상기 아날로그 앰프의 또 다른 실시예를 나타내는 도면으로, 이는 입력라인(61)과 제1 단자(64', 64'') 사이에 연결된 캐패시터(62)와, 상기 제1 단자(64', 64'')와 제2 단자(66) 사이에 접속된 낸드(NAND) 게이트(60)와, 상기 제1 단자(64', 64'')와 제2 단자(66) 사이에서 상기 낸드 게이트(60)에 병렬로 접속된 스위치(68)로 구성됨은 도 4a의 구성과 동일하나, 상기 제1 단자(64', 64'')는 2개의 단자를 갖는다. 상기 제1 단자 중 어느 한 단자(64')로 상기 디지털 아날로그 변환기(도 3의 43)에서 변환된 아날로그 영상 신호가 상기 캐패시터(62)를 경유하여 입력되고, 나머지 한 단자(64'')는 별도의 제어(control) 신호가 입력됨을 그 특징으로 한다.

여기서, 상기 아날로그 영상 신호가 입력되는 단자(64')와 상기 제2 단자(66)는 앞서 설명한 바와 같은 초기화 스위치(68)에 의해 연결된다.

이는 두 신호, 즉 아날로그 영상 신호와 제어 신호 중 어느 하나라도 low 이면 항상 high 가 출력되는 낸드 게이트의 특성을 활용하는 것으로, 두 입력단자(64', 64'') 중 어느 한 단자에 별도의 제어(control) 신호를 공급하면, 강제적으로 출력 상태를 사용자 임의로 고정시킬 수 있는 기능이 추가될 수 있는 것이다.

이는 일례로 디지털 데이터의 상위 비트(bit)의 상태에 따라 출력되는 아날로그 영상 신호를 블랙(black)으로 고정시킬 수 있는 등의 기능, 멀티-컬러 모드(multi-color mode) 선택 기능, 화면 마스크 등에 활용될 수도 있다.

또한, 도 4a 내지 도 4c를 통해 설명된 아날로그 앰프에 있어서, 그 구성 요소인 낸드(NAND) 게이트(60)는 필요에 따라 노어(NOR) 게이트(미도시)로 변경하여 적용할 수도 있으며, 뿐만 아니라 다른 구성을 통해 XOR 등의 논리 게이트가 확장 적용될 수도 있는 것이다.

발명의 효과

이상의 설명에서와 같이 본 발명에 따른 액정표시장치의 구동회로에 의하면, 구동회로 일체형 액정표시장치에 있어서 구동회로의 아날로그 출력 신호를 보다 안정적으로 신호선에 전달함으로써, 상기 구동회로를 보다 효과적으로 집적하게 되는 효과가 있다.

(57) 청구의 범위

청구항 1.

액정표시장치의 데이터 구동회로에 있어서,

1라인 분의 디지털 화소 데이터를 래치하는 래치 회로와,

상기 래치 회로에 의해 출력된 1라인 분의 디지털 화소 데이터를 아날로그 영상 신호로 변환하는 디지털 아날로그 변환기와,

상기 디지털 아날로그 변환기에 의해 변환된 아날로그 영상 신호를 증폭하기 위한 다수의 아날로그 앰프를 갖는 출력버퍼를 구비하며,

상기 각 아날로그 앰프는,

입력라인과 제1 단자 사이에 연결된 캐패시터와, 상기 제1 단자와 제2 단자 사이에 접속된 낸드(NAND) 게이트와, 상기 제1 단자와 제2 단자 사이에서 상기 낸드 게이트에 병렬로 접속된 스위치로 구성됨을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 2.

제 1항에 있어서,

상기 래치 회로에는,

외부로부터 입력되는 디지털 화소 데이터를 래치하는 데이터 래치와,

외부 클럭신호에 동기하여 상기 디지털 화소 데이터에 대한 래치인에이블 신호를 순차적으로 발생시키는 쉬프트 레지스터와,

상기 래치 인에이블신호에 동기하여 상기 디지털 화소 데이터를 순차적으로 저장하는 라인 래치가 포함됨을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 3.

제 1항에 있어서,

상기 제1 단자는 2개의 단자로 구성되며, 상기 2개의 단자는 서로 단락되어 동일한 아날로그 영상 신호가 상기 캐패시터를 경유하여 입력됨을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 4.

제 1항에 있어서,

상기 제1 단자는 2개의 단자로 구성되며, 어느 한 단자로 상기 아날로그 영상 신호가 상기 캐패시터를 경유하여 입력되고, 나머지 한 단자는 소정의 제어 신호가 입력됨을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 5.

삭제

청구항 6.

제 1항에 있어서,

상기 아날로그 앰프에는 상기 아날로그 앰프와 동일한 기능을 갖는 아날로그 앰프가 직렬로 다수가 연결됨을 특징으로 하는 액정표시장치의 데이터 구동회로.

청구항 7.

액정표시장치의 데이터 구동회로에 있어서,

1라인 분의 디지털 화소 데이터를 래치하는 래치 회로와,

상기 래치 회로에 의해 출력된 1라인 분의 디지털 화소 데이터를 아날로그 영상 신호로 변환하는 디지털 아날로그 변환기와,

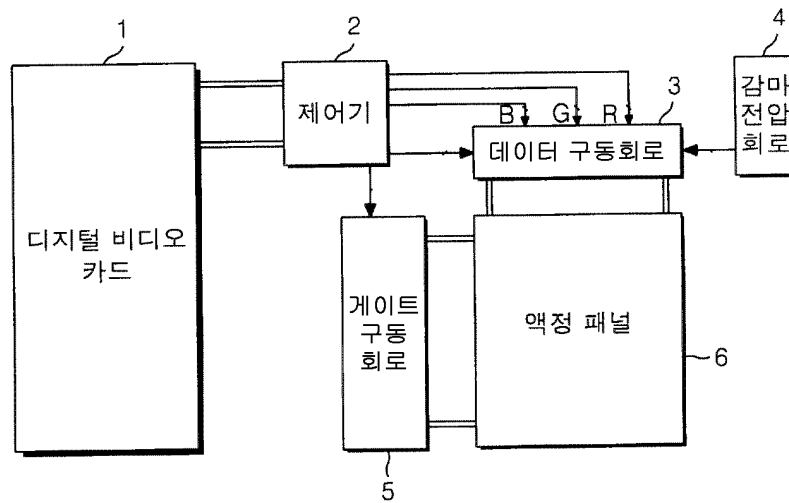
상기 디지털 아날로그 변환기에 의해 변환된 아날로그 영상 신호를 증폭하기 위한 다수의 아날로그 앰프를 갖는 출력버퍼를 구비하며,

상기 각 아날로그 앰프는,

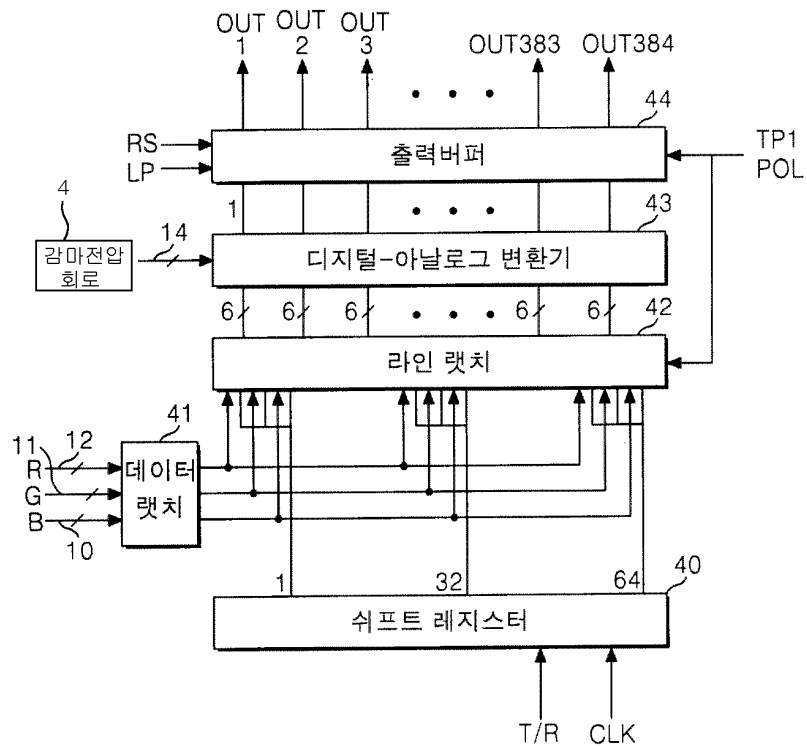
입력라인과 제1 단자 사이에 연결된 캐패시터와, 상기 제1 단자와 제2 단자 사이에 접속된 노어(NOR) 게이트와, 상기 제1 단자와 제2 단자 사이에서 상기 노어 게이트에 병렬로 접속된 스위치로 구성됨을 특징으로 하는 액정표시장치의 데이터 구동회로.

도면

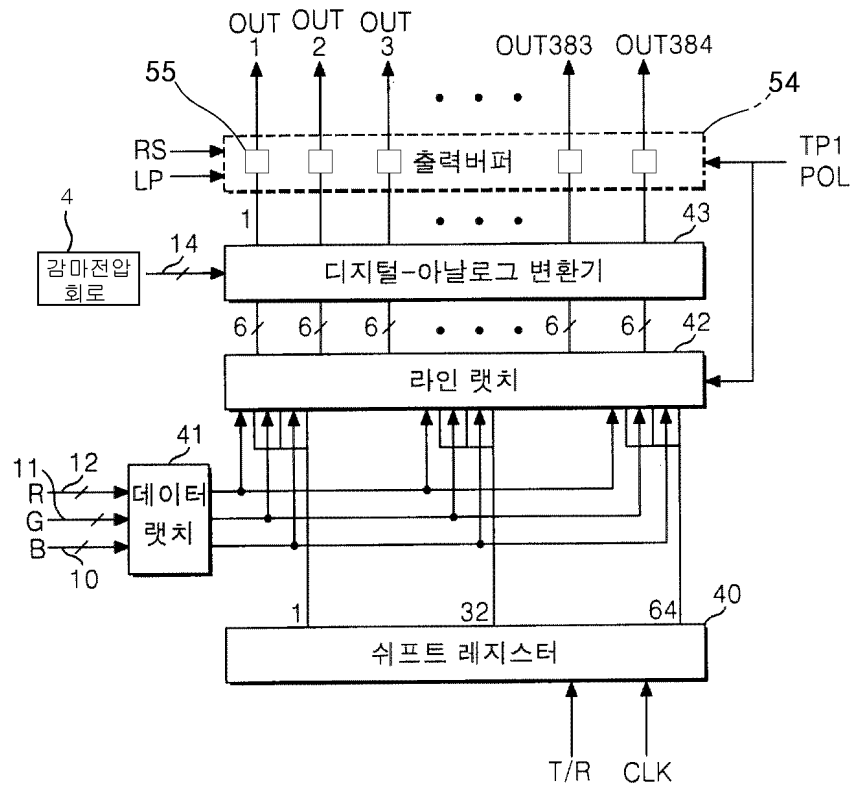
도면1



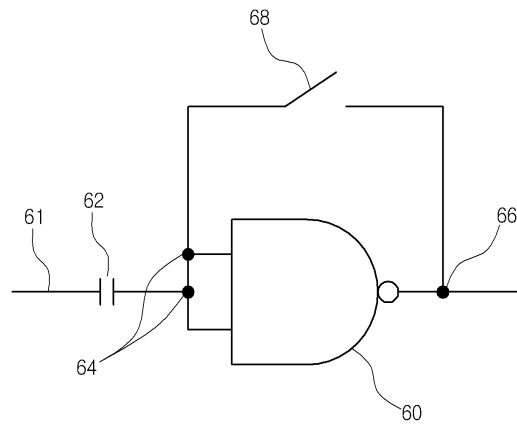
도면2



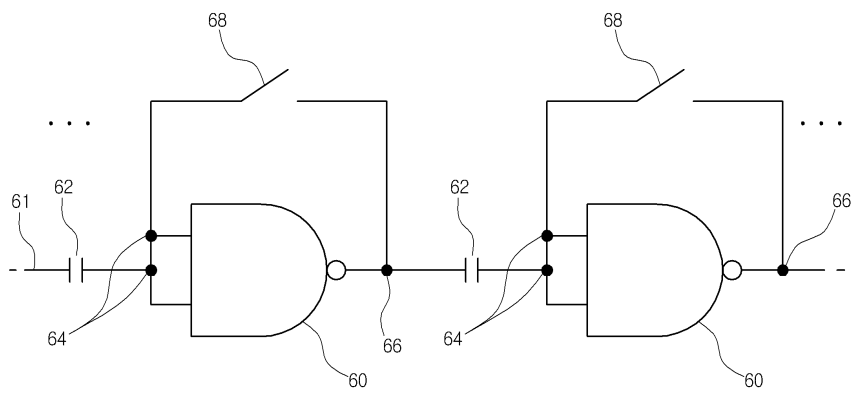
도면3



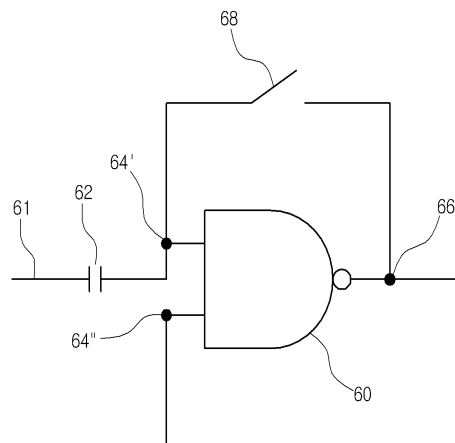
도면4a



도면4b



도면4c



专利名称(译)	一种液晶显示器的驱动电路		
公开(公告)号	KR100616711B1	公开(公告)日	2006-08-28
申请号	KR1020030040013	申请日	2003-06-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM KYOUNGMOON		
发明人	LIM,KYOUNGMOON		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/027 G09G2300/0408 G09G2320/0209 G09G3/3688		
其他公开文献	KR1020040110621A		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置的驱动电路是液晶显示装置的数据驱动电路，包括：锁存电路，用于锁存数字像素数据；一种数模转换器，用于将锁存电路的锁存输出转换为模拟视频信号；以及具有用于放大的模拟图像信号的模拟放大器转换到数字 - 模拟转换器；以及连接在所述模拟放大器，所述输入线和所述第一端子电容器之间，与非连接的第一端子和所述第二端子（之间与非门，以及与第一端子和第二端子之间的与非门并联连接的开关。根据本发明的作为，由驱动器电路的模拟输出信号传送到在驱动电路一体型液晶显示装置中的更稳定的信号线时，存在更有效地与驱动电路集成的效果。图4a

