

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년07월06일
G09G 3/36 (2006.01)	(11) 등록번호	10-0596611
G09G 3/20 (2006.01)	(24) 등록일자	2006년06월27일

(21) 출원번호	10-2005-0079311(분할)	(65) 공개번호	10-2005-0091681
(22) 출원일자	2005년08월29일	(43) 공개일자	2005년09월15일
(62) 원출원	특허10-2002-0031302		
	원출원일자 : 2002년06월04일	심사청구일자	2002년06월04일

(30) 우선권주장 JP-P-2001-00171887 2001년06월07일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 아까이 아끼히토
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 신마루노우찌빌딩가부시
키가이샤 히타치세이사쿠쇼 지적재산권본부 내

구도 야스유키
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 신마루노우찌빌딩가부시
키가이샤 히타치세이사쿠쇼 지적재산권본부 내

오오까도 가즈오
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 신마루노우찌빌딩가부시
키가이샤 히타치세이사쿠쇼 지적재산권본부 내

구로까와 가즈나리
일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 신마루노우찌빌딩가부시
키가이샤 히타치세이사쿠쇼 지적재산권본부 내

히가 아즈히로
일본 가나가와켄 요코하마시 도즈카쵸 요시다쵸 292번지가부시키가이
샤 히다찌 화상정보시스템 내

(74) 대리인 장수길
구영창

심사관 : 나용수

(54) 표시 장치 및 표시용 구동 회로

요약

본 발명은, 1 수평 기간 내에, 화소를 선택하기 위한 선택 전압 및 화소를 비선택하기 위한 비선택 전압을, 화소로 출력하기 위한 게이트선 구동 회로와, 1 수평 기간 내에, 표시 패널의 2 라인 이상의 화소에, 비선택 전압을 출력하는 비오버랩 기간을 설정하기 위한 레지스터를 구비한다.

대표도

도 2

색인어

표시 장치, 구동 회로, 비오버랩 기간, 표시 화소, 화소 전극

명세서

도면의 간단한 설명

도 1은 액정 표시 장치의 구조를 설명하는 도면.

도 2는 본 발명의 제1 실시예에 따른 게이트선 구동 회로의 동작을 나타내는 타이밍도.

도 3은 본 발명의 제1 실시예에 따른 실제 기계 적용 테스트에서의 게이트 펄스 폭과 표시 휘도와의 관계를 도시한 도면.

도 4는 본 발명의 제1 실시예에 따른 게이트선 구동 회로의 구성을 도시한 블록도.

도 5는 본 발명의 제1 실시예에 따른 게이트선 구동 회로의 동작을 나타내는 타이밍도.

도 6은 본 발명의 제2 실시예에 따른 게이트선 구동 회로의 구성을 도시한 블록도.

도 7은 본 발명의 제2 실시예에 따른 게이트선 구동 회로 내의 비오버랩 기간 생성부의 구성을 도시한 블록도.

도 8은 본 발명의 제2 실시예에 따른 게이트선 구동 회로 내의 비오버랩 기간 생성부의 동작을 도시한 타이밍도.

도 9는 본 발명의 제2 실시예에 따른 게이트선 구동 회로의 동작을 나타내는 타이밍도.

도 10은 주사 빈도와 소비 전력과의 관계를 도시한 도면.

도 11은 게이트선 구동 회로의 동작을 나타내는 타이밍도.

도 12는 본 발명의 제3 실시예에 따른 게이트선 구동 회로의 구성을 도시한 블록도.

도 13은 본 발명의 제3 실시예에 따른 게이트선 구동 회로 내의 비주사 타이밍 생성부의 구성을 도시한 블록도.

도 14는 본 발명의 제3 실시예에 따른 게이트선 구동 회로 내의 비주사 타이밍 생성부의 동작을 나타내는 타이밍도.

도 15는 본 발명의 제3 실시예에 따른 게이트선 구동의 동작을 나타내는 타이밍도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 액정 패널

2 : 게이트 드라이버

3 : 드레인 드라이버

- 4 : 전원 전압
- 5 : 드레인선
- 6 : 게이트선
- 7 : 공통 전극
- 8 : 화소 전극
- 9 : TFT(Thin Film Transistor)
- 10 : Cadd
- 11 : 액정

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 화소가 매트릭스 형상으로 배치된 표시 패널을 갖는 표시 장치 및 계조 전압을 인가하는 표시 화소를 선택하기 위한 표시용 구동 회로에 관한 것으로, 특히 액정이나 유기 EL, 플라즈마를 이용한 표시 장치 및 그 표시용 구동 회로에 관한 것이다.

JP-A-6-161390은, 복수의 화소 전극과 대향 전극 사이에 액정 재료를 봉입하여, 이 복수의 화소 전극에 스위칭 트랜지스터를 각각 접속하고, 이 스위칭 트랜지스터를 온·오프시키는 주사 신호를, 주사 신호 공급 회로로부터 주사 신호 배선을 통해 스위칭 트랜지스터로 공급하고, 화상 신호를 화상 신호 공급 회로로부터 화상 신호 배선과 스위칭 트랜지스터를 통해 화소 전극으로 공급함과 함께, 인접하는 주사 신호 배선의 주사 신호를, 부가 용량을 통해 화소 전극으로 공급하고, 또한, 주사 신호의 스위칭 트랜지스터를 온시키는 전압 레벨의 전후 양측에서, 보상 전압을 인가하는 것을 개시하고 있다. 즉, JP-A-6-161390은 주사 신호의 비오버랩(Non-Overlap) 기간에, 주사 신호의 오프 전압을 변화시키는 것을 개시하고 있다.

JP-A-11-64821은 서로 교차하는 복수개의 신호선과 복수개의 주사선과의 각 교점 근방에 스위치 소자를 개재하여 배치되는 화소 전극을 포함하는 어레이 기판과, 이 어레이 기판에 대향하는 대향 기판과, 어레이 기판과 대향 기판 사이에 유지되는 광 변조층을 포함하는 표시 패널과, 신호선에 영상 신호 전압을 공급하는 신호선 구동 수단과, 주사선에 스위치 소자를 온 상태로 하는 제1 전압과 스위치 소자를 오프 상태로 하는 제2 전압을 포함하는 주사 펄스를 공급하는 주사선 구동 수단을 개시하며, 또한, 하나의 주사선에 스위치 소자를 통해 접속되는 화소 전극은 다른 주사선과 유전체층을 개재하여 전기적으로 용량을 형성하고, 하나의 주사선의 스위치 소자의 온 상태 기간과 다른 주사선의 스위치 소자의 온 상태 기간이 실질적으로 중첩되지 않은 것을 개시하고 있다.

JP-A-10-221676은 행상(行狀)으로 배치한 복수의 게이트선이 접속된 V 스캐너와, 열상(列狀)으로 배치한 복수의 신호선이 접속된 H 스캐너와, 게이트선 및 신호선의 각 교차부에 형성된 화소부를 개시하고, 또한, V 스캐너를, 홀수 게이트선이 접속되는 제1 V 스캐너와, 짝수 게이트선이 접속되는 제2 V 스캐너를 분할하여 배치하고, 제1 V 스캐너의 n 게이트선에는 NAND 회로 및 버퍼 회로를 직렬로 접속하고, NAND 회로의 비접속 입력단에 제2 V 스캐너의 n-1 게이트선의 종단을 인버터 회로를 통해 접속하며, 제2 V 스캐너의 n 게이트선에는 NAND 회로 및 버퍼 회로를 직렬로 접속하고, NAND 회로 비접속 입력단에 제1 V 스캐너의 n-1 게이트선의 종단을 인버터 회로를 통해 접속함으로써, 제1 V 스캐너 및 제2 V 스캐너의 각각의 게이트선이 중복되어 선택되는 것을 방지하는 것을 개시하고 있다. 그리고, 제1 V 스캐너 및 제2 V 스캐너에 접속된 버퍼 회로 및 NAND 회로를 통해 하나의 게이트선마다 선택 펄스를 교대로 공급하도록 하여, 인접하는 게이트 펄스가 오버랩하는 것을 방지하는 것을 개시하고 있다.

라인 펄스에 의해, 1 주사 기간이 설정되고, 1 주사 기간 $\times$ 구동 라인 수로 1 프레임 기간이 설정된다. 게이트 펄스는 프레임 펄스가 하이 레벨일 때 라인 펄스의 하강에 동기하여 선두 라인에 게이트선 선택 전압을 인가한다. 그 후, 라인 펄스에 동기하여, 다음 라인으로 순차 인가하는 것으로 한다. 이 게이트 드라이버의 출력을, 예를 들면, Cadd 구성의 패널에 적용한 경우, 특히 노멀 블랙의 액정에 있어서, 후의 표시 휘도가 상승하여, 적절한 콘트라스트를 얻을 수 없는 경우가 있다. 이 표시 휘도 상승은 액정 패널의 구조가 Cadd 구조인 것에 기인한다. 화소 전극은 전단의 게이트선과 Cadd를 통해 접속되어 있다. 전단의 게이트선에 하이 전압이 인가되면, Cadd를 통해 화소 전극이 고전압측으로 천이하기 때문에, 그 만큼 표시 휘도가 상승하는 것이다.

그러나, 어떠한 종래의 기술에서도, 이 표시 휘도가 상승하여, 콘트라스트가 저하하는 것까지는 고려되어 있지 않다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 콘트라스트를 향상시킨 표시 장치 및 그 표시용 구동 회로를 제공하는 것이다.

또한, 본 발명의 목적은, 소비 전력을 저감한 표시 장치 및 그 표시용 구동 회로를 제공하는 것이다.

따라서, 게이트 펄스에 의한 화소 전극의 전압 변동량을 적게 하는 것을 고려하면, 게이트 펄스의 진폭을 작게 하는 방법, 혹은 펄스 폭을 작게 하는 방법이 고려된다. 단, 전자는 TFT의 ON, OFF에 필요한 전압이기 때문에, 후자의 게이트 펄스 폭에 착안하였다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명은, 1 수평 기간 내에, 표시 패널의 2 라인 이상의 화소에, 비선택 전압을 출력하는 비오버랩 기간을 설정 가능하게 하였다. 즉, 1 수평 기간 내에, 화소가 비선택되는 게이트 펄스 신호의 비선택 신호 레벨의 기간을 설정 가능하게 하였다. 이것에 의해서, 콘트라스트를 향상시킬 수 있다.

또한, 상기 목적을 달성하기 위해, 본 발명은, 표시 데이터가 표시되는 표시 영역 기간에서의 게이트 펄스 신호의 주파수를 상대적으로 높게 하고, 표시 데이터가 비표시되는 비표시 영역 기간에서의 게이트 펄스 신호의 주파수를 상대적으로 낮게 하였다. 이것에 의해, 소비 전력을 저감시킬 수 있다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1의 (a)에 액정 표시 장치의 구조도를 도시한다. 도 1의 (b)에 화소부의 구조도를 도시한다. 액정 표시 장치는, 화소가 매트릭스 형상으로 배치된 액정 패널(1)과, 표시 데이터에 따른 계조 전압을 생성하여 액정 패널의 각 화소로 인가하는 드레인 드라이버(3)와, 계조 전압을 인가하는 화소를 라인 단위로 선택하는 (액정 패널을 주사하는) 게이트 드라이버(2)와, 드레인 드라이버(3)와 게이트 드라이버(4)로 공급하는 전원 전압(4)을 생성하여 공급하기 위한 전원 회로를 구비한다. 이 중에서, 액정 패널(1)은 화소마다 TFT(Thin Film Transistor)(9)가 배치되어 있고, 이것에 접속하는 드레인선(5)과 게이트선(6)이 매트릭스 형상으로 배선되어 있다. TFT(9)의 소스가 화소 전극(8)에 접속된다. 화소 전극(8)은, 액정(11)을 사이에 두고 대향측에 있는 공통 전극(7)과의 인가 전압의 차로 표시 휘도를 제어한다. 드레인 드라이버(3)는 각 드레인선(5)에 계조 전압을 출력하고, 전원 회로(4)는 드레인 드라이버(3)와 게이트 드라이버(2)로 각각의 구동 전압을 공급함과 함께 공통 전극(7)으로 공통 전압을 출력한다. 게이트 드라이버(2)는 게이트선에 선택 기간을 나타내는 타이밍 펄스를 출력한다. 그리고, 라인 펄스에 의해, 1 주사 기간(1 라인분의 화소를 선택하기 위한 기간)이 설정되고, 1 주사 기간 $\times$ 구동 라인 수로 1 프레임 기간이 설정된다. 게이트 펄스는 프레임 펄스가 하이 레벨일 때 라인 펄스의 하강에 동기하여 선두 라인에 게이트선 선택 전압을 인가한다. 그 후, 라인 펄스에 동기하여, 다음 라인에 순차 인가한다. 단, 게이트 드라이버(2)는, 1 라인마다 순차 화소를 선택할 수도 있고, 복수 라인마다 순차 화소를 선택할 수도 있다. 화소 전극(8)은 전단(n-1단)의 게이트선(6)과 Cadd(10)를 통해 접속되어 있다.

도 2에 게이트의 펄스 폭을 작게 한 경우에서의 Cadd 구조에서의 액정 인가 전압의 파형을 도시한다. 이 경우에도 액정 패널(1)이 Cadd 구조이기 때문에, 전단(n-1단)의 게이트 펄스 인가 시에 인가 전위가 고전위측으로 천이한다. 그러나, 게이트 펄스 폭을 작게 함으로써, 인가 전압이 고전위로 천이하는 시간이 짧게 되어, 실효값의 상승량도 작아진다.

도 3은 구동 라인을 162 라인으로 한 경우의 1 수평 기간에 대한 게이트 펄스 폭의 비율과 휘도 특성과의 관계이다. 게이트 펄스 폭을 종래의 1 수평 기간과 그 50% 폭과의 경우에서 비교해 보면, 표시 휘도에 차이가 있고, 전압 실효값으로

200mV의 차가 있다. 즉, 실제 기계 적용 테스트에서도 게이트 펄스 폭을 작게 함으로써, 목표 표시 휘도에 근접할 수 있다는 것을 알 수 있었다. 여기서, 1 수평 기간이란, 라인 펄스 신호의 간격 즉, 라인 펄스 신호가 하강하고 나서 (또는 상승하고 나서), 다음에 하강할 때까지(또는 상승할 때까지)의 기간을 말한다.

따라서, 본 발명의 게이트선 구동 회로에서, 게이트 펄스 폭을 작게 함과 함께 펄스 폭을 조정 가능하게 하는 것으로 하였다.

도 4는 본 발명의 제1 실시예에 따른 게이트선 구동 회로의 블록도를 도시한 것으로, 참조 번호(801)는 게이트 펄스 신호, 참조 번호(802)는 주사 데이터를 발생하는 주사 데이터 발생 회로, 참조 번호(803)는 레벨 시프터, 참조 번호(804)는 게이트 펄스를 출력하는 게이트선 구동부, 참조 번호(805)는 라인 펄스 신호, 참조 번호(806)는 프레임 펄스 신호, 참조 번호(807)은 펄스 폭 신호이다. 그리고, 게이트 드라이버(2)는, 라인 펄스 신호(805) 및 프레임 펄스 신호(806)와, 게이트의 펄스 폭 신호(807)의 입력을 받는다. 또한, 펄스 폭 신호(807)는 1 수평 기간을 주기로 하고, 하이 폭은 게이트 펄스 폭으로 한다.

주사 데이터 발생 회로(802)는 입력된 프레임 펄스 신호(806)와 라인 펄스 신호(805)를 기초로 게이트선 선택 전압의 인가 타이밍을 생성한다. 여기서는, 프레임 펄스 신호가 하이 레벨일 때 라인 펄스 신호(805)의 하강에 동기하여 선두 라인에 게이트선 선택 전압을 인가한다. 그 후, 라인 펄스 신호(805)에 동기하여, 다음 라인에 순차 인가하는 것으로 한다. 또한, 여기서, 출력하는 주사 데이터의 하이 폭은 1 수평 기간의 신호가 된다.

주사 데이터 발생 회로(802)의 출력인 주사 데이터 A와 외부로부터 입력된 펄스 폭 신호(807B)로 다음의 수학식 1의 연산을 행하여, 게이트 펄스 C를 생성한다.

$$\text{수학식 1} \\ C = A * B$$

레벨 시프터(803)는 논리 회로의 동작 전원 Vcc-GND로부터, 게이트선 구동부(804)의 동작 전원 VGH-VGL로 레벨 변환한다.

게이트선 구동부(804)로는 레벨 시프터(803)에서 변환한 신호를 입력하고, 전원 회로(4)로부터 공급되는 선택 전압 VGH, 비선택 전압 VGL을 버퍼 출력한다. 게이트 펄스 신호는, 하이 레벨인 경우에 선택 전압 VGH로 되고, 로우 레벨인 경우에 비선택 전압 VGL로 된다. 또한, 그 역으로도 할 수 있다. 선택 전압 VGH의 크기 및 비선택 전압 VGL의 크기의 각각은 일정한 것이 바람직하다. 또한, 선택 전압 VGH를 오프 상태로 하는 기간은 비선택 전압 VGL을 온 상태로 하는 기간이다.

이상, 설명한 구성과 동작에 의해, 본 발명의 제1 실시예에 따른 액정의 게이트 드라이버(2)는, 1 수평 기간보다도 게이트 펄스 폭을 작게 함으로써, 액정 인가 전압의 실효값을 이상 값에 근접시킬 수 있다. 또한, 외부로부터 주어지는 펄스 폭 신호의 하이 폭을 변경함으로써, 게이트 펄스 폭을 조정할 수 있다. 따라서, 본 발명의 목적인, 적절한 콘트라스트를 얻을 수 있다.

이하, 본 발명의 제2 게이트선 구동 회로의 실시예를, 도 6 내지 도 9를 참조하여 설명한다.

도 6은 본 발명의 제2 실시예에 따른 게이트선 구동 회로의 블록도를 도시한 것이다. 본 발명은, 게이트 펄스 폭을 작게 하기 위해 비오버랩 기간(어떤 게이트선으로도 선택 전압이 입력되지 않은 기간)을 설정함으로써 게이트 펄스 폭을 작게 한다. 이 비오버랩 기간을 조정 가능하게 함으로써 게이트 펄스 폭도 가변으로 한다.

참조 번호(808)는 기준 클럭 신호, 참조 번호(809)는 모든 게이트선의 선택 전압이 오프 상태로 되는 비오버랩 기간 정보, 참조 번호(810)는 비오버랩 기간 파형을 생성하는 비오버랩 기간 생성부, 참조 번호(811)는 비오버랩 기간 정보(809)를 저장하는 레지스터이다. 또한, 비오버랩 기간 대신에, 비오버랩 타이밍(게이트 펄스를 하강시키는 타이밍)을 레지스터에 설정하여도 된다. 또한, 비오버랩 기간 대신에, 1 수평 기간 내의 선택 전압을 인가하는 기간을 설정하여도 된다.

그리고, 게이트 드라이버(2)는, 기준 클럭 신호(808)와, 라인 펄스 신호(805)와, 프레임 펄스 신호(807)와, 비오버랩 기간 정보(809)의 입력을 받는다. 비오버랩 기간은 기준 클럭 수에 의해 규정하는 것으로 하였기 때문에, 비오버랩 기간 정보(809)는 지정된 기준 클럭 수가 된다.

외부로부터 입력되는 비오버랩 기간 정보(809)는 우선 레지스터(811)에 저장된다. 저장된 비오버랩 기간 정보(809)를 나타내는 기준 클럭 수는 비오버랩 기간 생성부(810)에서 사용된다. 즉, 비오버랩 기간 정보(809)는, 비오버랩 기간을 결정하기 위한 기준 클럭의 수의 정보이다.

비오버랩 기간 생성부(810)는 기준 클럭과 비오버랩 기간 정보(809)인 기준 클럭 수를 기초로 하여 비오버랩 기간 파형 E를 생성한다. 이 파형 E는 비오버랩 기간(809)을 나타내는 Vcc, 그 이외의 기간을 나타내는 GND의 신호이다. 이들 주사 데이터 발생 회로(802)의 출력인 주사 데이터 D와 비오버랩 생성부 출력 E로 다음의 수학식 2의 연산을 행하여, 목표로 하는 게이트 펄스 F를 얻는다.

$$\text{수학식 2} \\ F = D * \bar{E}$$

레벨 시프터(803)는 게이트 펄스 F에 대하여, 논리 회로의 동작 전원 Vcc-GND로부터, 게이트선 구동부(804)의 동작 전원 VGH-VGL로 레벨 변환한다.

게이트선 구동부(804)로는 레벨 시프터(803)에서 변환한 신호를 입력하고, 전원 회로(4)로부터 공급되는 선택 전압 VGH, 비선택 전압 VGL을 버퍼 출력한다.

다음에, 비오버랩 기간 생성부(810)의 보다 상세한 동작에 대하여 설명한다.

도 7에 비오버랩 기간 생성부(810) 내의 블록도를 도시한다. 비오버랩 기간 생성부(810)는 카운터(1101)와 비교기(1102)를 구비한다. 여기서의 카운터(1101)는 라인 카운터의 하강으로 리셋되는 구성으로 되어 있다. 단, 카운터(1101)는 라인 카운터의 상승으로 리셋되는 구성으로 되어 있어도 무방하다.

기준 클럭 신호(808)를 이 카운터(1101)에서 카운트(a)하고, 설정한 비오버랩 기간의 클럭 수 m과 비교한다. $m \geq a$ 에서 비오버랩 기간을 나타내는 Vcc를, $m < a$ 에서 GND의 신호를 출력한다. 도 5에 도시한 비오버랩 기간 생성부(810)의 입출력 신호의 타이밍차트로 알 수 있는 바와 같이, 비오버랩 기간 생성부(810)의 출력 E는 주기가 1 수평 기간이며, 하이 폭은 설정된 기준 클럭 수로 규정된 펄스 신호가 된다.

또한, 주사 데이터 A는, 하이 레벨의 폭이 1 수평 기간이고, 1 프레임 펄스 주기로 로우 레벨로부터 하이 레벨로 변화한다. 펄스 폭 신호 B는, 하이 레벨의 폭이 1 수평 기간보다도 짧고, 1 수평 주기로 로우 레벨로부터 하이 레벨로 변화한다. 게이트 펄스 C는, 하이 레벨의 폭이 1 수평 기간보다도 짧고, 1 프레임 기간 주기로 로우 레벨로부터 하이 레벨로 변화한다. 또한, 게이트 펄스 C는, 전단의 게이트 펄스 C에 대하여, 하이 레벨이 되는 타이밍이, 1 수평 기간 지연된다.

도 8에, 비오버랩 기간 생성부의 동작을 나타내는 타이밍도를 도시한다. 비오버랩 기간은, 기준 클럭 a의 10개분이다. 비오버랩 기간은, 1 수평 기간(1H) 보다도 짧다.

여기서, 프레임 펄스 신호(806), 라인 펄스 신호(805), 주사 데이터 발생 회로 출력, 비오버랩 생성부 출력, 게이트 펄스, 액정 인가 전압의 타이밍차트를 도 9에 통합하여 나타낸다. 게이트선 구동 회로(1001)의 출력 F는 주사 데이터 발생 회로(1002)의 출력 D와 비오버랩 기간 생성부(810)의 출력 E와의 수학식 2의 연산으로 얻어진 신호가 된다. 따라서, 액정 인가 전압의 변동량을 도 9에 도시한 빗금친 부분으로 억제할 수 있다. 도 9와 같이, 비오버랩 생성부 출력 E가 하이 레벨인 경우에, 게이트 펄스 F가 로우 레벨로 되고, 비오버랩 생성부 출력 E가 로우 레벨인 경우에, 게이트 펄스 F가 하이 레벨로 된다.

이상, 설명한 구성과 동작에 의해, 본 발명의 제2 실시예에 따른 액정의 게이트 드라이버(2)는, 비오버랩 기간을, 기준 클럭 수의 설정에 의해, 게이트 펄스 폭을 임의로 변위시켜, 액정 인가 전압의 실효값을 이상 값에 근접시킬 수 있게 되었다. 따라서, 본 발명의 목적인, 적정한 콘트라스트를 얻을 수 있다. 다음에, 본 발명의 제3 게이트선 구동 회로의 실시예를, 도 10 내지 도 15를 참조하여 설명한다.

종래의 액정 구동 장치에 있어서, 패널의 일부만을 표시하는 파셜 표시라는 기능이 있다. 그러나, 파셜 표시 시에 전체 화면을 주사하면, 비표시 영역의 주사에 의한 불필요한 전력을 소비한다.

따라서, 본 발명에서는, 도 11에 도시한 바와 같이, 비표시 영역은 표시 영역보다도 지연된 주기로 주사함으로써, 저소비 전력화가 가능하다고 생각하였다.

먼저, 도 10에 주사 빈도(n 프레임에 1 회)와 패널의 충방전에서의 소비 전력과의 관계를 도시한다. 여기서의 소비 전력은 1 프레임에 1 회 주사한 경우를 1로서 표기하고 있다. 이 도 10으로부터, 20 프레임에 1 회 이내이면, 비표시부의 주사 빈도를 저감함으로써, 저소비 전력화에 효과가 있다는 것이 판명되었다. 단, 주사 빈도를 저감시키면, 비주사 기간이 증가하고, 게이트 누설에 의해 DC 전압이 인가되어, 화질이 악화된다. 따라서, 설정에 의해 주사 빈도를 조정할 수 있도록 하였다.

다음에, 본 발명의 제3 실시예에 따른 게이트선 구동 회로의 블록도를 도 12에 도시한다.

참조 번호(1604)는 파셜 표시 기능 정보, 참조 번호(1605)는 파셜 표시 시의 비주사 타이밍을 생성하는 비주사 타이밍 생성부, 참조 번호(1606)는 파셜 표시 기능 정보(1604)를 저장하는 레지스터이다.

그리고, 게이트 드라이버(2)는, 프레임 펄스 신호(806), 라인 펄스 신호(805), 파셜 표시 기능 정보(1604)의 입력을 받는다. 파셜 표시 기능 정보(1604)는 표시 영역의 개시 라인 SS와 종료 라인 SE, 비표시 영역의 주사 빈도 SCN으로 한다(n = SCN). 이 후, 주사 빈도는 n 프레임에 1 회를 전제로 설명한다.

외부로부터 입력되는 파셜 표시 기능 정보(1604)는 레지스터(1606)에 저장된다. 저장된 파셜 표시 기능 정보(1604)인 표시 영역의 개시 라인 SS와 종료 라인 SE의 데이터와 비표시 영역의 주사 빈도 n은 비주사 타이밍 생성부(1605)에서 사용된다. 파셜 표시 기능 정보(1604)가 입력된 경우에, 레지스터(1604)가 재기입되는(재설정) 것이 바람직하다.

비주사 타이밍 생성부(1605)에는 프레임 펄스 신호(806), 라인 펄스 신호(805), 표시 영역의 개시 라인 SS와 종료 라인 SE, 주사 빈도 n이 입력된다. 우선, 비주사의 타이밍 생성부(1605)에서는, 라인 펄스 신호(805)와 표시 영역 데이터로부터 표시 라인을 나타내는 GND, 비표시 라인을 나타내는 Vcc의 비표시 라인 신호 G와, 프레임 펄스 신호(806)와 주사 빈도 n(n 프레임에 1 회 주사)으로부터 비표시 영역을 주사하는 프레임을 나타내는 Vcc, 주사하지 않은 프레임을 나타내는 GND의 비표시 주사 신호 H를 생성한다. 이 비표시 라인 신호 G와 비표시 주사 신호 H로 다음의 수학식 3의 연산을 행하고, 주사 기간은 GND, 비주사 기간은 Vcc로 하는 비주사 타이밍 신호 I를 출력한다.

$$\text{수학식 3} \\ I = G * \bar{H}$$

도 13에, 비주사 타이밍 생성부(1605) 내의 블록도를 도시한다. 비주사 타이밍 생성부(1605)는 라인 카운터(1701), 비교기(1702), n진수 카운터(1703), 비교기(1704)를 구비한다. 상술한 프레임 내의 표시 라인과 비표시 라인을 나타내는 신호 G는 라인 카운터(1701)와 비교기(1702)에 의해 생성된다. 또한, 여기서의 카운터(1701)에서 프레임 펄스의 상승 시에 리셋되는 구성으로 되어 있다. 단, 카운터(1701)에서 프레임 펄스의 하강 시에 리셋되는 구성으로 되어 있어도 무방하다. 라인 펄스 신호(805)를 이 카운터(1701)에서 카운트하고, 개시 라인 SS, 종료 라인 SE에 의해 각각 비교된다. LP < SS, LP > SE에서 비표시 라인을 나타내는 Vcc를, SS ≤ LP ≤ SE에서 표시 라인을 나타내는 GND의 비표시 영역 파형 G를 출력한다. 비표시 영역의 주사와 비주사 프레임을 나타내는 신호 H는 n진수 카운터(1703)와 비교기(1704)에 의해 생성된다. 프레임 펄스 신호(806)를 n진수 카운터(1703)로 카운트하고, 설정한 주사 빈도 n과 비교한다. 카운터(1703)가 0으로 된 경우에 비표시 영역에서 주사하는 것을 나타내는 Vcc를, 그 이외의 경우에는 비표시 영역에서 주사하지 않는 것을 나타내는 GND의 비표시 영역 주사 신호 H를 출력한다.

또한, 이 비표시 영역 파형 G, 비표시 영역 주사 신호 H로 상기한 수학식 3의 연산을 행하고, 비주사 타이밍 생성부(1605)의 비주사 타이밍 파형 I를 생성한다.

그 예로서, 도 14에 2 라인 표시하고, 3 라인 이후를 비표시로 한 경우의 비주사 타이밍 생성부(1605)의 타임차트를 도시한다.

또한, 비주사 타이밍 파형 I와 주사 데이터 J로 다음의 수학식 4의 연산을 행하여, 게이트선 구동 회로(1601)의 게이트 펄스 K를 얻는다.

수학식 4

$$K = J * \bar{I}$$

여기서 프레임 펄스, 라인 펄스, 주사 데이터 발생 회로 출력, 비주사 타이밍 생성부 출력, 게이트 펄스의 타이밍차트를 도 15에 통합하여 도시한다.

이상, 설명한 구성과 동작에 의해, 본 발명의 제3 실시예에 따른 액정의 게이트 드라이버(2)는, 비표시 영역의 주사 빈도를 저감하는, 예를 들면, 수 프레임에 1 회 주사하게 함으로써, 게이트선의 충방전에 의한 소비 전력 저감이 가능해진다. 따라서, 본 발명의 목적인, 저소비 전력화를 도모할 수 있다.

이상 설명한, 본 발명의 각 실시예는, 조합하는 것이 가능하다. 이에 따라, 적절한 콘트라스트가 얻어져서, 저소비 전력화를 실현할 수 있다.

레지스터(809) 및 레지스터(1604)는, CPU의 불휘발성 메모리에 내장된다. 그리고, CPU가, 불휘발성 메모리로부터 그 값을 판독하여, 레지스터(809) 및 레지스터(1604)에 설정한다.

본 발명의 실시예의 게이트 드라이버(2)에 의해, 주사 신호의 하이 폭을 조정하기 위한 비오버랩 기간을 설정하고, 그 기간을 기준 클럭 수로 규정하여, 조절가능하게 하였다. 이에 의해, 액정 인가 실효값의 변동량을 삭감할 수 있고, 액정 인가 전압의 실효값을 이상값에 근접시킴으로써, 적절한 콘트라스트를 얻을 수 있을 수 있다. 또한, 과열 표시 기능으로 비표시 영역의 주사 빈도를 설정에 의해 조절 가능하게 하였다. 이에 의해, 주사 빈도를 저감함으로써, 비표시 영역의 게이트선 충방전 횟수가 적어져서, 저소비 전력화를 실현할 수 있다.

발명의 효과

본 발명의 실시예는, 라인 수가 적은 소형의 액정 패널을 구동시키는 데 최적이다. 또한, 중형, 대형의 액정 패널을 구동하는 경우에도, 마찬가지로의 효과를 얻을 수 있다.

본 발명에 따르면, 게이트 펄스 폭을 적정화함으로써, 표시 화상의 콘트라스트를 향상할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따르면, 비표시 영역의 게이트선 충방전 횟수가 감소하여, 액정 구동 장치의 소비 전력을 저감한다는 효과를 발휘한다.

(57) 청구의 범위

청구항 1.

표시 데이터가 표시되기 위한 표시 장치로서,

서로 교차하는 복수의 드레인선 및 복수의 게이트선과, 상기 복수의 드레인선 및 상기 복수의 게이트선에 접속된 복수의 화소를 갖는 표시 패널과,

상기 표시 데이터에 따른 계조 전압을 상기 드레인선을 통하여 상기 화소에 인가하기 위한 데이터 드라이버와,

상기 계조 전압을 인가할 상기 화소를 1 라인마다 순차적으로 선택하기 위한 스캔 드라이버를 구비하고,

상기 화소의 각 라인은, 1 프레임 기간 내에 1회이면서 또한 1 수평 기간 내에 1회, 상기 1 수평 기간보다 짧은 기간, 상기 스캔 드라이버에 의해서 선택되고,

각 게이트선은, 상기 화소의 라인이 선택되는 경우에 상기 스캔 드라이버로부터 선택 전압을 공급받고, 상기 화소의 라인이 선택되지 않는 경우에 상기 스캔 드라이버로부터 비선택 전압을 공급받으며,

상기 제(n-1) 번째의 게이트선 - 단, 상기 n은 정수임 - 에 대한 상기 선택 전압의 공급이 종료하고 나서 상기 제n 번째의 게이트선에 대한 상기 선택 전압의 공급이 개시할 때까지 사이에, 제(n-1) 번째의 게이트선과 제n 번째의 게이트선 양자가 상기 비선택 전압을 공급받는

표시 장치.

청구항 2.

제1항에 있어서,

상기 제(n-1) 번째의 게이트선에 대한 상기 선택 전압의 공급이 종료하고 나서 상기 제n 번째의 게이트선에 대한 상기 선택 전압의 공급이 개시할 때까지 사이는, 상기 제(n-1) 번째의 게이트선과 상기 제n 번째의 게이트선 양자가 선택되지 않는 비오버랩 기간인 표시 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 화소는 화소 전극과, 상기 화소 전극 및 상기 데이터 드라이버에 접속된 드레인선과 상기 스캔 드라이버에 접속된 상기 제n 번째의 게이트선에 접속된 스위치와, 상기 제(n-1) 번째의 게이트선과 상기 화소 전극 사이에 접속된 Cadd를 갖는 표시 장치.

청구항 4.

제2항에 있어서,

외부로부터 상기 비오버랩 기간을 설정하기 위한 레지스터를 구비한 표시 장치.

청구항 5.

표시 데이터를 표시하기 위한 표시 장치로서,

복수의 화소가 매트릭스 형상으로 배치된 표시 패널과,

상기 표시 데이터에 따른 계조 전압을 상기 표시 패널로 인가하기 위한 데이터 드라이버와,

상기 계조 전압을 인가할 상기 화소를 1 라인마다 순차적으로 선택하기 위한 스캔 드라이버를 구비하고,

상기 화소의 각 라인은, 1 프레임 기간 내에 1회이면서 또한 1 수평 기간 내에 1회, 상기 1 수평 기간보다 짧은 기간, 상기 스캔 드라이버에 의해서 선택되고,

상기 화소의 인접하는 2 개 이상의 라인의 선택 기간들 사이에, 상기 화소의 인접하는 2 개 이상의 라인이 상기 스캔 드라이버에 의해서 선택되지 않는 비오버랩기간이 있는

표시 장치.

청구항 6.

제5항에 있어서,

상기 비오버랩 기간은, 상기 표시 데이터가 표시되는 표시 영역 기간과 상기 표시 데이터가 비표시되는 비표시 영역 기간을 식별하기 위한 파셜 표시 기능 정보의 입력에 따라 변화하는 표시 장치.

청구항 7.

제5항에 있어서,

상기 화소는, 화소 전극과, 상기 화소 전극 및 상기 데이터 드라이버에 접속된 드레인선과 상기 스캔 드라이버에 접속된 게이트선에 접속된 스위치와, 상기 스위치에 접속된 상기 게이트선에 인접하는 다른 게이트선과 상기 화소 전극과의 사이에 접속된 Cadd를 갖는 표시 장치.

청구항 8.

제5항에 있어서,

외부로부터 상기 비오버랩 기간을 설정하기 위한 레지스터를 구비한 표시 장치.

청구항 9.

제5항에 있어서,

상기 데이터 드라이버는, 드레인선을 통하여 상기 게조 전압을 상기 화소로 출력하고,

상기 스캔 드라이버는, 상기 화소의 라인을 선택하는 경우 게이트선을 통하여 선택 전압을 상기 화소에 출력하고, 상기 화소의 라인을 선택하지않는 경우에, 상기 게이트선을 통하여 비선택 전압을 상기 화소의 라인에 출력하며,

상기 스캔 드라이버는, 상기 비오버랩 기간에 상기 비선택 전압을 인접하는 2 개 이상의 게이트선을 통하여 상기 화소의 인접하는 2 개 이상의 라인에 출력하는 표시 장치.

청구항 10.

제9항에 있어서,

상기 스캔 드라이버는,

1 프레임 기간 주기로 변화하고 또한 1 프레임 기간 내의 1 수평 기간에 하이 레벨과 로우 레벨 중 어느 한 쪽 레벨이 되는 데이터 신호와, 1 수평 기간 주기로 변화하고 또한 상기 1 수평 기간 내의 1 수평 기간보다 짧은 기간에 하이 레벨과 로우 레벨 중 어느 한 쪽 레벨이 되는 펄스 신호에 기초하여, 상기 1 수평 기간 주기로 변화하고 또한 상기 1 수평 기간 내의 1 수평 기간보다 짧은 기간에 하이 레벨과 로우 레벨 중 어느 한 쪽 레벨이 되는 게이트 펄스 신호를 상기 화소의 1 라인마다 생성하기 위한 생성 회로와,

상기 게이트 펄스 신호에 따라서, 상기 선택 전압 및 상기 비선택 전압을 상기 화소에 출력하기 위한 게이트선 구동 회로를 구비하고,

상기 게이트선 구동 회로는 상기 1 수평 기간 중의 1 수평 기간보다 짧은 기간에 상기 선택 전압을 상기 화소의 라인에 출력하고 상기 1 수평 기간 중의 1 수평 기간보다 짧은 기간 이외의 기간에 상기 비선택 전압을 상기 화소의 라인에 출력하며,

상기 비오버랩 기간은 상기 1 수평 기간 중의 1 수평 기간보다 짧은 기간 이외의 기간인 표시 장치.

청구항 11.

제10항에 있어서,

상기 스캔 드라이버는,

1 프레임 기간 주기로 변화하는 프레임 펄스 신호와 1 수평 기간 주기로 변화하는 라인 펄스 신호에 기초하여 상기 데이터 신호를 상기 화소의 1 라인마다 생성하기 위한 생성 회로를 구비한 표시 장치.

청구항 12.

제10항에 있어서,

상기 표시 패널은 상기 표시 데이터가 표시되는 표시 영역과 상기 표시 데이터가 비표시되는 비표시 영역을 구비하고,

상기 게이트 펄스 신호의 주파수는 상기 표시 영역의 기간 중에 높고 상기 비표시 영역 기간 중에 낮은 표시 장치.

청구항 13.

제9항에 있어서,

상기 스캔 드라이버는,

1 수평 기간보다 짧은 비오버랩 기간이며 외부로부터 입력된 비오버랩 기간을 설정하기 위한 레지스터와,

상기 레지스터에 설정된 상기 비오버랩 기간에 기초하여, 1 수평 기간 주기로 변화하고 또한 상기 1 수평 기간보다 짧은 기간에 하이 레벨과 로우 레벨 중 어느 한 쪽 레벨이 되는 비오버랩 기간 신호를 생성하기 위한 생성 회로와,

1 프레임 기간 주기로 변화하고 또한 1 프레임 기간 내의 1 수평 기간에 하이 레벨과 로우 레벨 중 어느 한 쪽 레벨이 되는 데이터 신호와 상기 비오버랩 기간 신호에 기초하여, 상기 1 수평 기간 주기로 변화하고 또한 상기 1 수평 기간과 상기 비오버랩 기간의 차분의 기간에 하이 레벨과 로우 레벨의 어느 한 쪽 레벨이 되는 게이트 펄스 신호를 상기 화소의 1 라인마다 생성하기 위한 생성 회로와,

상기 게이트 펄스 신호에 따라서, 상기 선택 전압 및 상기 비선택 전압을 상기 화소의 라인에 출력하기 위한 게이트선 구동 회로를 구비하고,

상기 게이트선 구동 회로는 1 수평 기간 중의 상기 차분의 기간에 상기 선택 전압을 상기 화소의 라인에 출력하여, 상기 1 수평 기간 중의 상기 비오버랩 기간에 상기 비선택 전압을 상기 화소의 1 라인마다 출력하는 표시 장치.

청구항 14.

제13항에 있어서,

상기 스캔 드라이버는,

1 프레임 기간 주기로 변화하는 프레임 펄스 신호와 1 수평 기간 주기로 변화하는 라인 펄스 신호에 기초하여 상기 데이터 신호를 생성하기 위한 생성 회로와,

상기 레지스터에 설정된 상기 비오버랩 기간에 기초하여 상기 비오버랩 기간 신호를 생성하기 위한 생성 회로를 구비한 표시 장치.

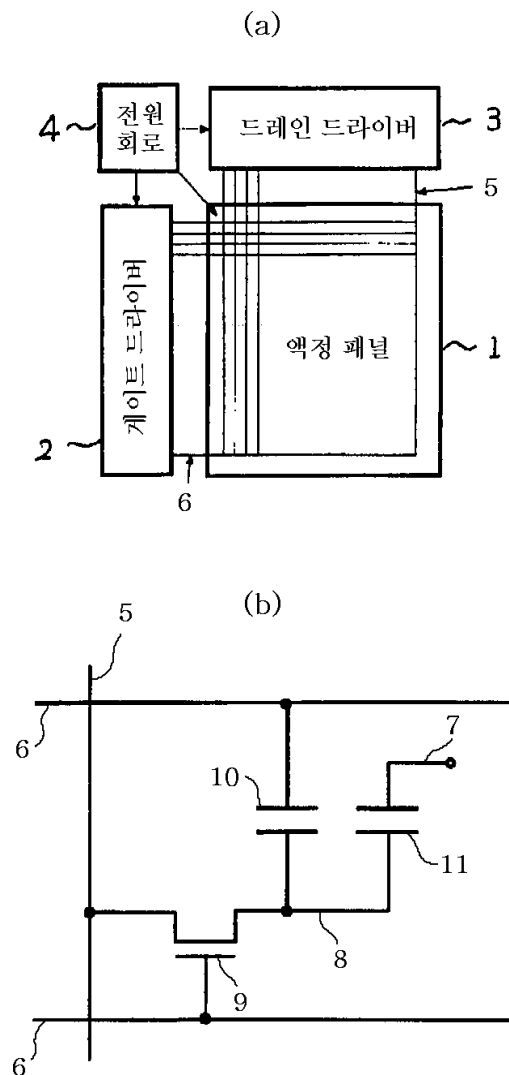
청구항 15.

제14항에 있어서

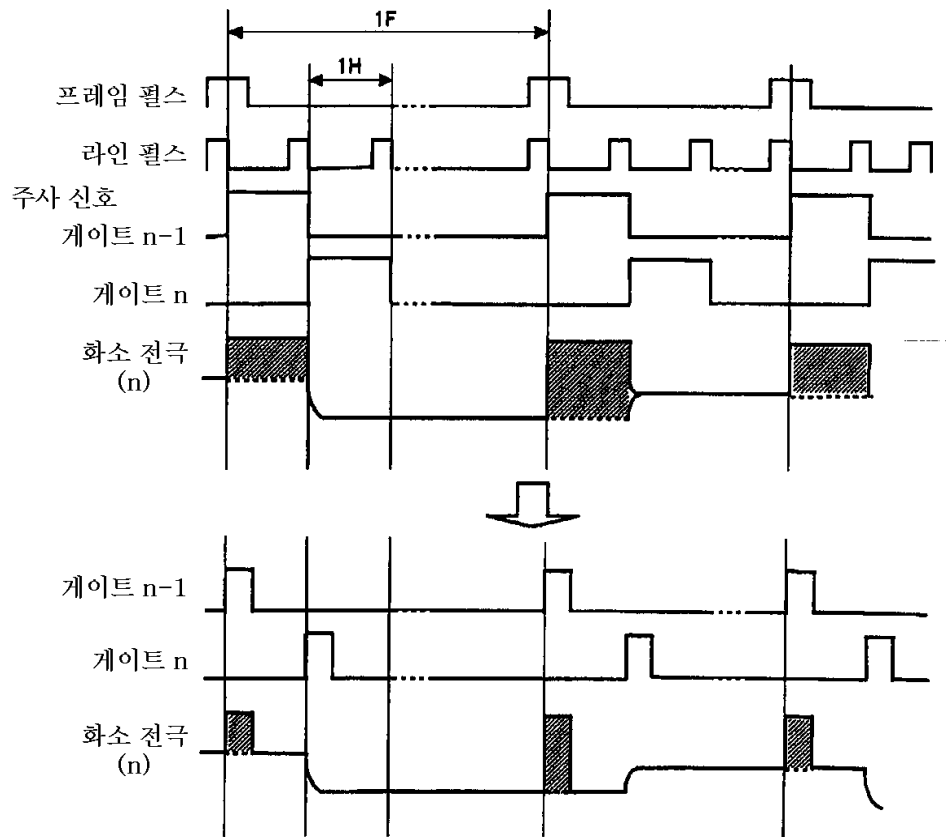
상기 레지스터는 상기 비오버랩 기간을 결정하기 위해 기준 클럭 수를 설정하고, 상기 비오버랩 기간 신호를 생성하기 위한 생성 회로는 기준 클럭 신호와 상기 기준 클럭 수에 기초하여 상기 비오버랩 기간 신호를 생성하는 표시 장치.

도면

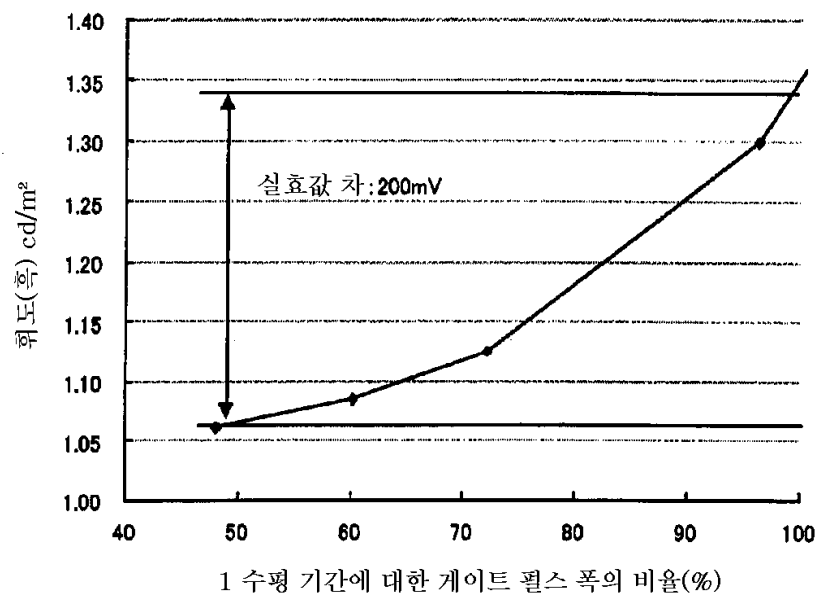
도면1



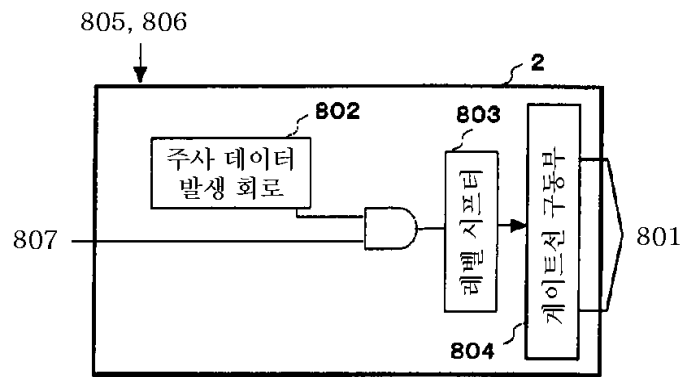
도면2



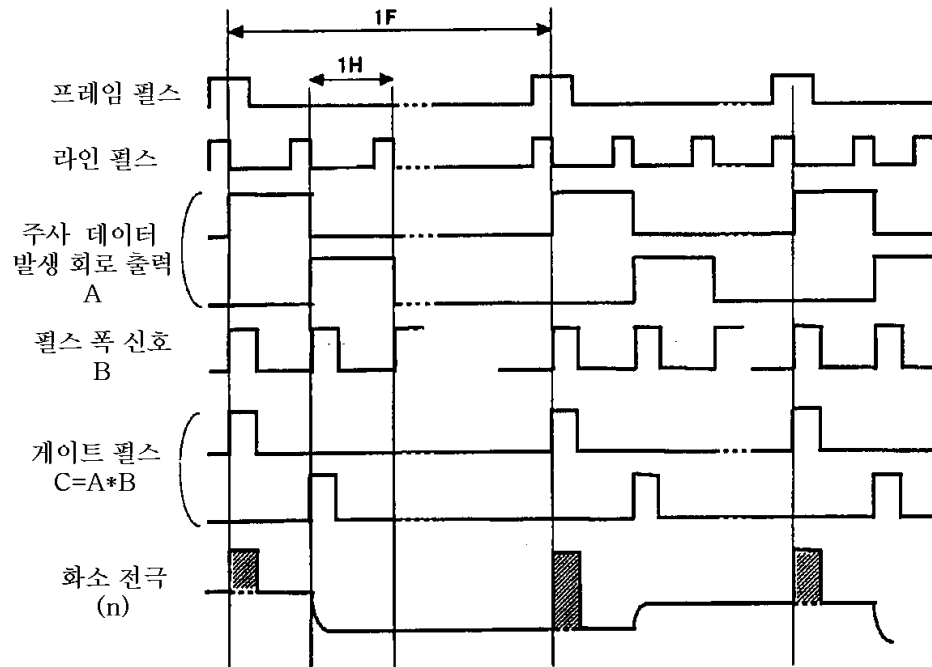
도면3



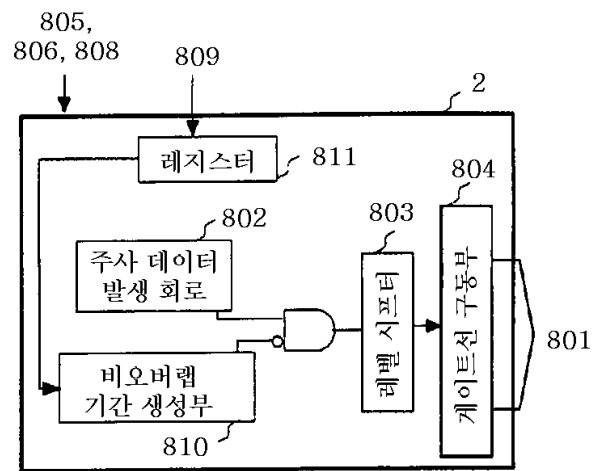
도면4



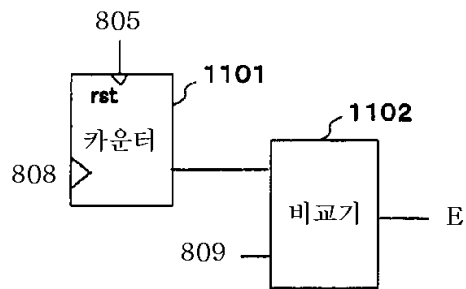
도면5



도면6

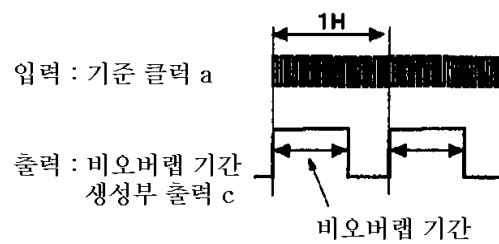


도면7

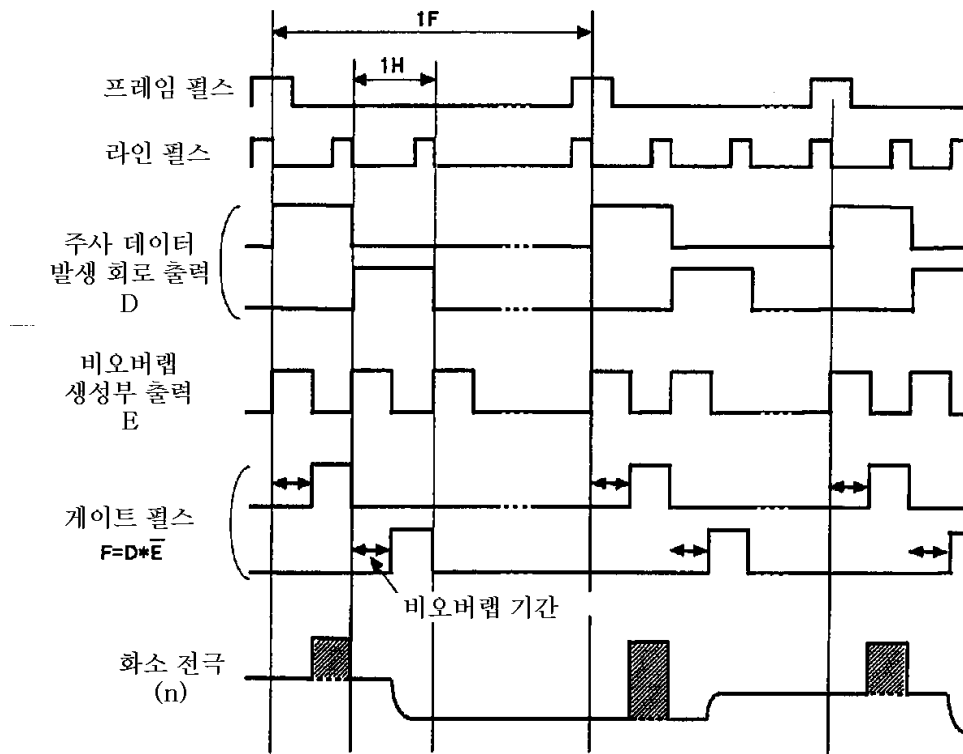


도면8

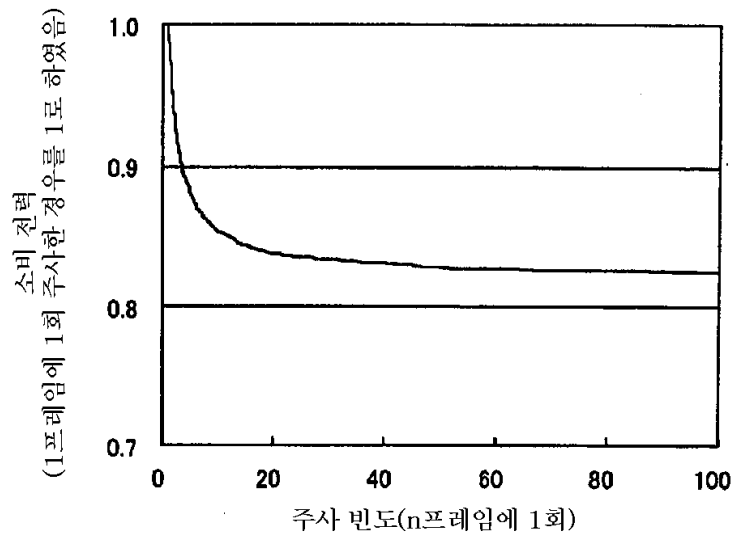
예) 비오버랩 기간 : 10클럭



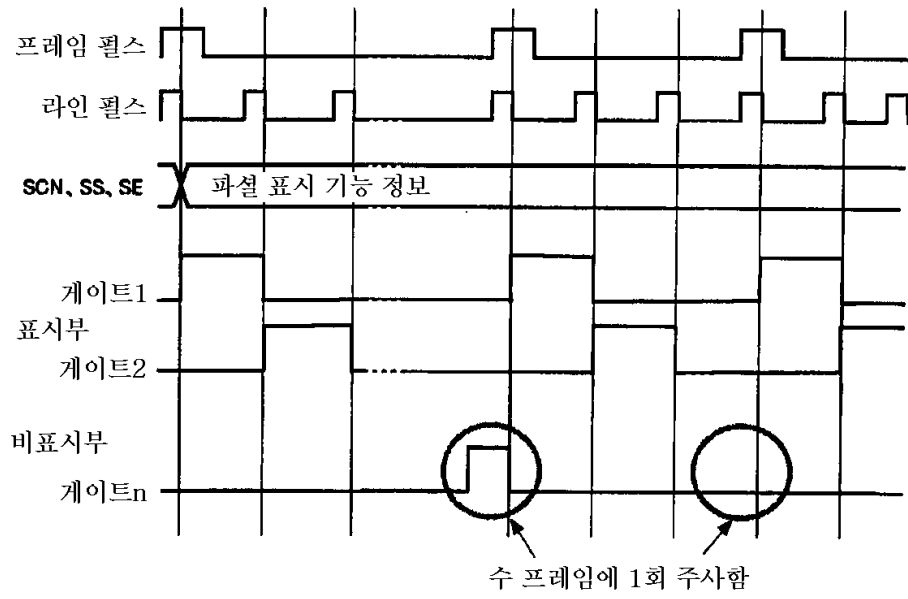
도면9



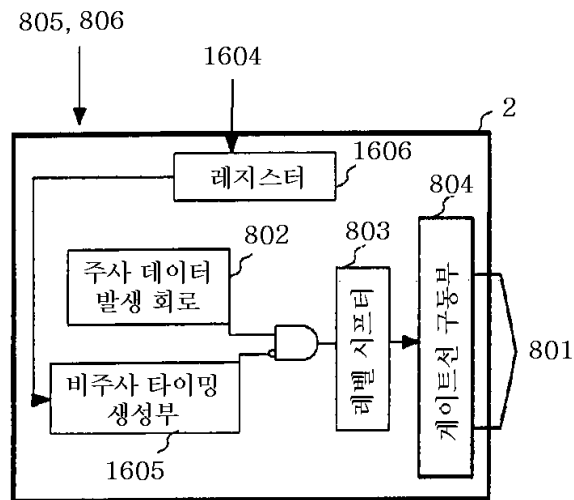
도면10



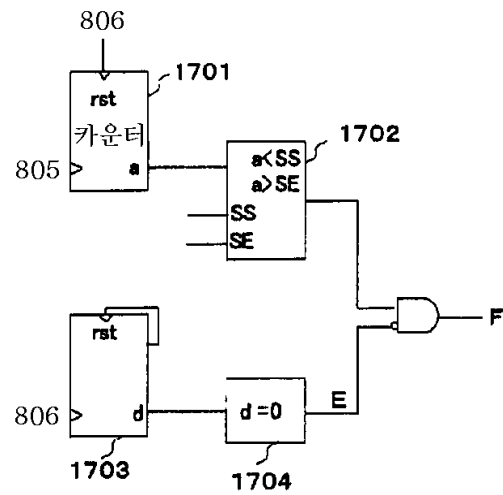
도면11



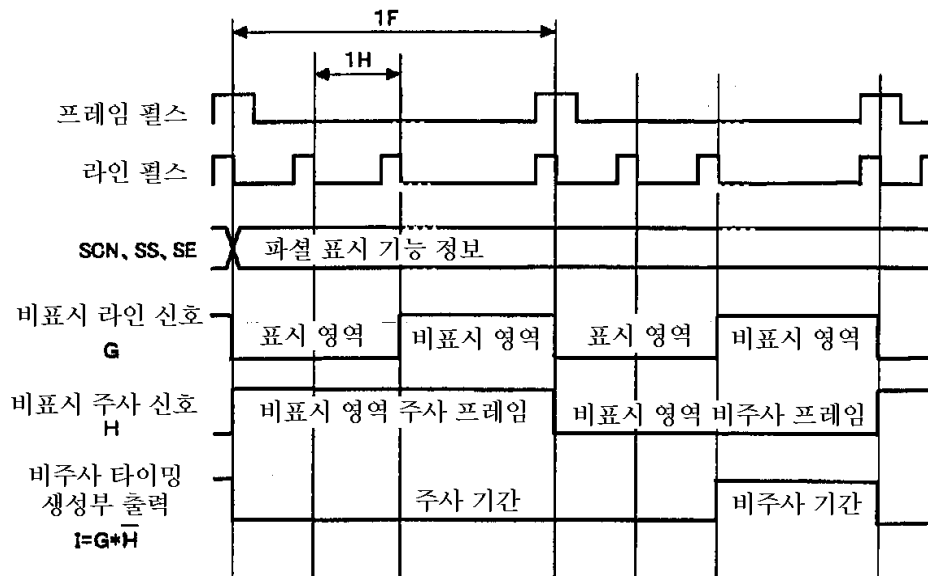
도면12



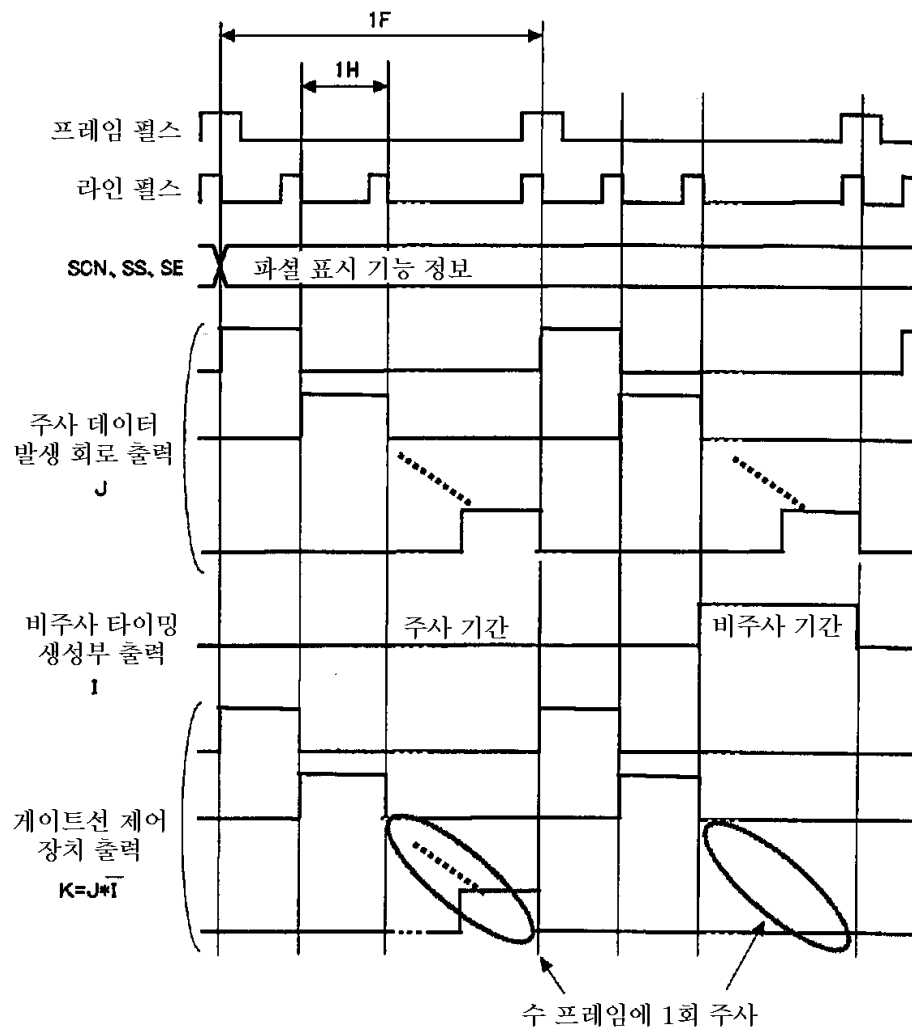
도면13



도면14



도면15



专利名称(译)	显示装置和显示驱动电路		
公开(公告)号	KR100596611B1	公开(公告)日	2006-07-06
申请号	KR1020050079311	申请日	2005-08-29
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	AKAI AKIHITO 아까이아끼히토 KUDO YASUYUKI 구도야스유키 OOKADO KAZUO 오오까도가즈오 KUROKAWA KAZUNARI 구로까와가즈나리 HIGA ATSUHIRO 히가아쓰히로		
发明人	아까이아끼히토 구도야스유키 오오까도가즈오 구로까와가즈나리 히가아쓰히로		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G3/00		
CPC分类号	G09G2310/065 G09G3/3659 G09G2330/021 G09G3/3677		
代理人(译)	CHANG, SOO KIL		
优先权	2001171887 2001-06-07 JP		
其他公开文献	KR1020050091681A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，包括：栅极线驱动电路，用于在一个水平周期内输出用于选择像素的选择电压和用于选择像素的非选择电压，以及用于设置用于向像素输出非选择电压的非重叠时段的寄存器。2 指数方面 显示装置，驱动电路，非重叠时段，显示像素，

