

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/1333

(45) 공고일자 2005년08월17일
(11) 등록번호 10-0508001
(24) 등록일자 2005년08월04일

(21) 출원번호 10-2002-0087302
(22) 출원일자 2002년12월30일

(65) 공개번호 10-2004-0060502
(43) 공개일자 2004년07월06일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 정운호
서울특별시구로구구로1동주공아파트111-1202

(74) 대리인 특허법인네이트

심사관 : 김정훈

(54) 구동회로 일체형 액정표시장치용 어레이 기판의 제조 방법

요약

구동회로 일체형 액정표시장치용 어레이 기판의 제조 방법이 개시되어 있다. 본 발명은, 비정질 실리콘의 결정화 공정에 의하여 다수의 그레이인을 갖는 기판과; 상기 기판 위에 일체형으로 배치되며, 상기 그레이인의 크기 보다 작은 크기의 채널을 갖는 박막 트랜지스터를 포함하여 구성되는 것을 특징으로 하고, 상기 박막 트랜지스터의 채널이 상기 그레이인의 경계에 배치되지 않도록 상기 결정화 공정시 액티브 형성에 필요한 얼라인 키를 제공하는 것을 특징으로 한다.

대표도

도 8

색인어

SLS, 그레이인 바운더리, 균일성 향상, System on panel

명세서

도면의 간단한 설명

도 1은 종래의 SLS 결정화 방법에 이용되는 장치를 도시한 도면.

도 2a 내지 도 2c는 종래의 SLS 방법에 의해 비정질 실리콘막을 결정화하는 과정을 도시한 도면.

도 3은 종래의 SLS 방법에 의해 형성된 다결정 실리콘으로 제작한 박막 트랜지스터의 전류-전압 특성을 도시한 그래프.

도 4 및 도 5는 종래의 SLS 방법에 의해 형성된 다결정 실리콘으로 제작한 박막 트랜지스터를 이용한 TFT의 채널 배치도를 도시한 도면.

도 6은 본 발명의 실시예에 적용되는 SLS 방법으로 다결정 실리콘을 제조하는데 이용되는 마스크.

도 7a 내지 도 7d는 본 발명의 실시예에 적용되는 비정질 실리콘을 결정화하는 과정을 도시한 도면.

도 8 및 9는 본 발명의 실시예에 따른 TFT의 채널 배치도를 도시한 단면도.

<도면의 주요부분에 대한 부호의 설명>

310, 330 : 그레이н 폭

320, 340 : TFT 채널 폭

300 : 구동 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(LCD ; Liquid Crystal Display)에 관한 것으로, 좀더 상세하게는 고기능의 다양한 회로를 글라스 기판에 직접화하기 위한 구동회로 일체형 액정표시장치 제조 방법에 관한 것이다.

최근에 소비전력이 낮고, 휴대성이 양호한 기술집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display) 소자로 각광 받고 있다.

일반적으로 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 삽입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직임으로써 액정 분자의 움직임에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

액정표시장치의 하부기판은 스위칭 소자인 박막 트랜지스터를 포함하는데, 박막 트랜지스터에 사용되는 액티브층은 비정질 실리콘(Amorphous Silicon)이 주류를 이루고 있다. 이는 비정질 실리콘이 저온에서 저가의 유리 기판과 같은 대형 기판 상에 형성하는 것이 가능하기 때문이다.

그런데, 이러한 비정질 실리콘을 이용한 박막 트랜지스터를 구동하기 위해서는 구동 회로가 필요하다. 구동 회로는 다수의 CMOS(Complementary Metal-Oxide-Semiconductor)소자를 포함하는 데, 이런 CMOS 소자를 형성하기 위해서는 단결정 실리콘(Single Crystal Silicon)이 이용된다.

상기 단결정 실리콘에 구동회로를 형성하는 경우 액정표시장치의 가격이 매우 높아지므로, 다결정 실리콘(Poly-Si)을 이용한 박막 트랜지스터를 채용하는 액정표시장치가 널리 연구 및 개발되고 있다. 다결정 실리콘을 이용한 액정표시장치에서는 박막 트랜지스터와 구동 회로를 동일한 기판 상에 형성할 수 있으며, 박막 트랜지스터와 구동 회로를 연결하는 과정이 불필요하므로 공정이 간단해 진다.

이러한 다결정 실리콘은 형성하는 방법 중 최근 레이저를 이용하여 순차측면고상법(Sequential lateral Solidification : 이하 SLS 방법이라고 함)에 의해 결정화하는 방법이 제안되어 널리 연구되어 있다.

상기 SLS 방법은 실리콘의 그레이н이 실리콘 액상 영역과 실리콘 고상영역의 경계면에서 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 것으로, 레이저 에너지의 크기와 레이저빔의 조사 범위를 적절하게 이동하여 그레이н을 소정의 길이만큼 측면성장시킴으로써, 실리콘 그레이н의 크기를 향상시킬 수 있다.

이러한, SLS 결정화 방법에 대하여 이하 첨부한 도면을 참조하여 설명한다.

먼저, 도 1은 SLS 결정화 방법에 이용되는 장치를 도시한 것이다.

SLS 결정화 장치는 광원(1)과 감쇄기(3), 초점 렌즈(9), 마스크(11), 이미징 렌즈(13), 및 비정질 실리콘을 포함하는 시료(17)가 놓이는 이동 스테이지(19)가 순차적으로 배열되어 있다. 상기 감쇄기(3)와 초점 렌즈(9) 사이 및 이미징 렌즈(13)와 이동 스테이지(19) 사이에는 입사된 빛을 소정의 각도로 반사하여 빛의 방향을 변화시키기 위한 반사경(5, 7, 15)이 각각 위치한다.

상기 광원(1)은 엑시머 레이저(Excimer Laser)로서 감쇄기(3)는 엑시머 레이저로부터 발생된 레이저빔이 소정 에너지를 갖도록 조절하기 위한 것이다. 초점 렌즈(9)와 이미징 렌즈(13)는 레이저빔을 집속시키는 역할을 하는데, 특히 초점 렌즈(9)는 불균일한 레이저빔의 초점 거리를 같게 하여 투과되는 레이저빔의 에너지를 균일하게 한다. 다음, 마스크(11)는 패터닝되어 있어 레이저빔을 소정의 모양으로 투과시키는 역할을 한다.

따라서, 광원(1)에서 방출된 레이저빔은 감쇄기(3)를 통과하여 에너지 크기가 조절되고, 반사경(5, 7)에서 반사되어 초점 렌즈(9)에 의해 집속된다. 이어, 레이저빔은 마스크(11)에 의해 일부만 통과되고 이미징 렌즈(13)와 반사경(15)을 거쳐 시료(17)에 조사된다. 다음, 시료(17)가 높은 이동 스테이지(19)를 이동시켜 레이저빔 조사를 반복한다.

도 2a 내지 도 2c에는 도 1의 장치를 이용하여 SLS 결정화 방법에 의해 비정질 실리콘막을 결정화하는 과정을 도시하였다.

먼저, 도 2a에 도시한 바와 같이, 비정질 실리콘막(20)의 A 영역에 레이저빔을 1차 조사하여 결정을 성장시킨다. 실리콘은 액상영역과 고상영역의 경계면에서부터 측면 성장을 하므로, 레이저빔이 조사된 영역(A)의 양끝에서부터 그레인(22)이 성장되어 결정이 만나는 부분(IIa선)에서 성장을 멈춘다.

도 2b를 참조하면, 비정질 실리콘막(20)의 B영역에 레이저빔을 2차 조사하여 결정을 성장시킨다. 이 때, B영역은 레이저빔이 1차 조사된 영역(도 2a의 22)이 결정화 핵으로 작용하여 성장이 이루어진다. 이러한 결정 성장은 IIb선에서 멈추게 되며, 도시한 바와 같이 2차 레이저빔 조사 후에는 더욱 큰 그레인(23)이 생성된다.

도 2c를 참조하면, 비정질 실리콘막(20)의 C영역에 레이저빔을 3차 조사하여 결정을 성장시키는데, 이 때의 C영역은 레이저빔이 2차 조사된 B영역의 일부를 포함한다. 따라서, C 영역 중 B영역과 일부 중첩되는 영역(BC영역)에 형성되는 그레인을 레이저빔의 2차 조사시 생성된 그레인(도 2b의 23)이 결정화 핵으로 작용하여 더욱 큰 그레인(24)이 성장된다.

이와 같은 방법으로 레이저빔 조사를 반복하여 비정질 실리콘이 형성된 박막 전체를 주사(scanning)함으로써, 그레인의 크기가 큰 다결정 실리콘을 제작할 수 있다. 또한 같은 위치에 조사되는 레이저빔의 회수가 적어지므로 수율이 높아진다.

그러나, SLS 방법으로 성장된 그레인은 그레인의 크기가 방향에 따라서 크게 다르기 때문에, SLS 방법으로 형성된 다결정실리콘을 이용하여 박막 트랜지스터에 적용할 경우 박막 트랜지스터의 특성 또한 그레인의 성장 방향에 따라 크게 달라진다.

SLS 방법에 의해 형성된 다결정 실리콘을 이용한 박막 트랜지스터의 전류-전압 특성 그래프를 도 3에 도시하였는데, 소스와 드레인 방향 즉, 전류가 흐르는 채널의 방향과 결정의 성장 방향이 일치하는 경우(실선), 45도를 이루는 경우(짧은 점선), 90도를 이루는 경우(긴 점선)에 대해, 각각 드레인 전압(V_d)이 0.1V 일 때와 10V 일 때를 나타낸 것이다. 여기서, 가로축은 게이트 전압(V_g)을, 세로축은 드레인 전류(I_d)를 나타낸다. 도시한 바와 같이, 채널 방향과 결정의 성장 방향이 이루는 각이 작을수록 그레인 경계(grain boundary) 수가 적기 때문에 전류-전압 특성이 우수하다는 것을 알 수 있다.

도 4 및 도 5를 참조하면, 도 1의 다결정 실리콘 박막을 사용하여 TFT를 제작한 경우를 예시한 것으로 그레인 사이즈(grain Size)가 채널 사이즈에 비해서 작은 경우이다.

도 4는 채널의 현재 경로 방향과 결정 성장 방향이 90도의 각을 이루고 있다.

그러나, 도 5는 결정 성장 방향과 채널의 방향이 일치되어 있다.

도 5의 박막 트랜지스터가 도 4의 박막 트랜지스터에 비해서 그레인 경계(Grain Boundary)영향을 덜 받기 때문에 박막 트랜지스터 특성이 우수하다.

따라서, 박막 트랜지스터의 채널 방향과 결정의 성장 방향이 일치될 경우 소자의 특성은 최대가 되나, 채널 방향과 결정의 성장 방향이 90도를 이룰 경우에는 소자 특성이 최소가 되므로, SLS 방법에 의해 형성된 다결정 실리콘막을 박막 트랜지스터에 이용할 경우 균일한 특성을 얻기가 힘들게 된다. 또한, 가장 우수한 특성의 박막 트랜지스터를 제작하더라도 그 특성은 게이트 드라이버(Gate Driver) 및 데이터 드라이버(Data Driver)를 내장할 수 있는 수준에 불과하다는 문제점이 있어 왔다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위하여 안출한 것으로 액티브 패턴 시 한 개의 그레인 안에 소자의 채널이 한 개 이상 형성 될 수 있도록 소자를 배치하여 소자의 특성을 단결정에 유사한 상태로 만들기 위한 구동회로 일체형 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에서는 비정질 실리콘의 결정화 공정에 의하여 다수의 그레인을 갖는 기관과; 상기 기관 위에 일체형으로 배치되며, 상기 그레인의 크기 보다 작은 크기의 채널을 갖는 박막 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 한다.

보다 바람직하게는, 상기 박막 트랜지스터의 채널이 상기 그레인의 경계에 배치되지 않도록 상기 결정화 공정시 액티브 형성에 필요한 얼라인 키를 제공하는 것을 특징으로 한다.

이하 본 발명의 바람직한 실시예를 도면을 통해 상세히 설명한다.

도 6 은 본 발명의 실시예에 적용되는 SLS 방법으로 다결정 실리콘을 제조하는데 이용되는 마스크이다.

도시한 바와 같이, 마스크(100)는 제 1 내지 제 4 영역(110, 120, 130, 140)으로 나누어져 있다. 제 1 영역(110)은 가로 방향으로 연장된 스트라이프 패턴(111)으로 이루어져 있고, 제 2 영역(120)은 세로 방향으로 연장된 스트라이프 패턴(121)을 가지며, 제 3 영역(130)은 가로 방향의 스트라이프 패턴(131)을 가지고 있는데, 이 패턴(131)은 제 1 영역의 스트라이프 패턴(111) 사이의 간격(이하 슬릿 이라함)(112)에 대응하도록 되어 있다. 다음으로, 제 4 영역(140)은 세로 방향의 스트라이프 패턴(141)을 가지며, 이 패턴(141)은 제 2 영역의 슬릿(122)과 대응하여 제 2 영역의 스트라이프 패턴(1210)과 엇갈리게 배치되어 있다.

각 영역의 스트라이프 패턴(111, 121, 131, 141)은 차광막으로 형성되어 있어, 레이저빔을 조사하였을 때 레이저빔이 투과하지 못하도록 하고, 슬릿(112, 122, 132, 142)은 레이저빔이 투과되도록 투명하게 되어 있다. 이 때, 결정화될 비정질 실리콘의 모든 영역이 레이저빔에 노출될 수 있도록 하기 위해서는 스트라이프 패턴(111, 121, 131, 141)의 폭은 슬릿(112, 122, 132, 142)의 폭 보다 작거나 같게 하는 것이 바람직하다. 스트라이프 패턴(111, 121, 131, 141)의 폭은 2 μ m 내지 10 μ m 정도로 할 수 있는데, 스트라이프 패턴(111, 121, 131, 141)의 폭은 레이저빔의 에너지 밀도(Energy Density)나 박막의 상태 등에 따라 달라질 수 있다.

이러한 마스크(100)에서 제 1 내지 제 4 영역(110, 120, 130, 140)은 순서에 관계없이 배열할 수 있다. 이 때, 제 1 내지 제 4 영역(110, 120, 130, 140)의 폭(가로 길이)은 동일한 것이 바람직하다.

도 7a 내지 도 7d는 본 발명의 실시예에 적용되는 비정질 실리콘을 결정화하는 과정을 도시한 것이다.

도 7a에 도시한 바와 같이, 도 6의 마스크(100)로 비정질 실리콘 막이 형성된 기관(200)에 레이저빔을 1차 조사하여 실리콘을 결정화시킨다. 이 때, 결정화는 레이저 빔에 노출된 부분에서만 이루어지므로, 상기 마스크(도 6의 100)의 슬릿에 대응하는 영역(210)에서만 결정화가 진행되며, 가장자리에서부터 진행하여 서로 다른 그레인이 만나는 경계부분(Va선)에서 멈춘다.

이어, 도 7b에 도시한 바와 같이, 기관(200)을 마스크 폭의 1/4 만큼 좌측으로 이동시킨 후, 레이저 빔을 2차 조사하여 결정화를 진행한다. 여기서 레이저 빔이 1차 조사된 영역에는 마스크(도 6의 100)의 제 2 영역(120)이 대응되므로, 제 2 영역(120)의 슬릿(122)에 대응하는 영역(220)에서만 결정화가 일어난다. 이 때, 도 7a의 결정 성장 방향과 수직인 방향으로 결정화가 일어나 Vb 선에서 성장을 멈추는데, 레이저빔이 1차 조사된 영역과 중첩되는 영역에서는 1차 레이저빔 조사시 형성된 그레인(도 7a의 211, 212)이 결정화 핵으로 작용하여 도 7a의 그레인(211, 212)보다 큰 그레인(221, 222)이 성장된다.

다음, 도 7c에 도시한 바와 같은 기관(200)을 마스크(100) 폭의 1/4 만큼 좌측으로 이동시킨 후, 레이저 빔을 3차 조사하여 실리콘막을 결정화시킨다. 여기서 도면 부호 230은 3차 레이저빔이 조사되어 결정화가 진행되는 영역으로서, 2차 레이저빔이 조사된 영역과 중첩되는 영역에서는 2차 레이저빔의 조사시 생성된 그레인(221, 222)이 결정화 핵으로 작용하여 이보다 더 큰 그레인(231, 232)이 생성된다.

다음 도 7d에 도시한 바와 같이, 기관(200)을 마스크(도 6의 100) 폭의 1/4 만큼 좌측으로 이동시킨 후, 레이저 빔을 4차 조사하여 실리콘을 결정화시킨다. 이 때, 레이저빔이 조사되는 영역은 도면부호 240에 해당하며, 이 영역(240)에서는 3차 레이저빔 조사시 생성된 그레인(231, 232)이 결정화 핵으로 작용하여 결정화가 이루어지므로, 도시한 바와 같이 정사각형 형태의 그레인(241, 242)이 성장된다.

이러한 과정을 반복함으로써 결정의 크기가 크고 균일한 다결정 실리콘막을 형성할 수 있으므로, 이 다결정 실리콘막으로 제조된 박막 트랜지스터의 특성은 채널의 방향에 영향을 받지 않고, 균일한 특성을 가지게 된다.

도 8은 본 발명의 실시예에 따른 박막 트랜지스터의 채널 배치도를 도시한 단면도이다.

도 8을 참조하면, 도 7a 내지 도 7d의 방법으로 형성된 도 7d와 같은 형태의 결정화 박막을 액티브(Active)로 사용하기 위한 기관(300)상의 박막 트랜지스터(T)의 채널(ch) 배치를 예시한 것이다. 그레인의 폭(310, 330)이 채널의 폭(320, 340)보다 커서 상기 박막 트랜지스터(T)의 채널(ch)에는 그레인의 경계(Boundary)가 존재하지 않게 된다.

도 8 및 도 9의 차이점은 박막 트랜지스터의 채널 방향이 상이한 것인데, 상기 박막 트랜지스터 채널 내에 그레인의 경계가 존재하지 않으므로, 방향의 차이에 따른 박막 트랜지스터의 특성 차이는 없다.

단, 그레인의 크기가 박막 트랜지스터의 채널의 크기보다 커야 하므로, 상기 그레인 크기를 키우거나, 노광 능력을 향상시켜 상기 박막 트랜지스터의 채널 크기를 감소시켜야 한다.

또한, 본 발명의 구동회로 일체형 평판 디스플레이를 제조하기 위하여 박막 트랜지스터 채널이 그레인 경계에 걸리지 않도록 어레이(Array)하여야 한다. 이를 위하여 결정화 공정시 액티브(Active) 형성에 필요한 얼라인 키(Align Key)를 만들어 주어야 한다.

또한, 회로 설계 및 마스크 제작 시 결정 박막의 형태를 고려하여 박막 트랜지스터를 배치하여야 한다.

본 발명의 실시예는 하나의 구체적인 실시예에 지나지 않으며, 본 발명의 요지를 벗어나지 않는 범위 내에서 본 발명의 구성요소의 많은 변형 및 변경이 가능함을 물론이며, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니된다.

발명의 효과

본 발명에 따른 구동회로 일체형 액정표시장치 제조 방법은, 다결정 실리콘막을 이용하여 액정 표시 장치의 박막 트랜지스터 기관을 제조할 경우, CMOS와 같은 소자를 포함하는 구동 회로를 박막 트랜지스터 기관 상에 함께 형성할 수 있어, 공정을 감소시키고 제조 비용을 감소시킬 수 있다.

또한, 상기 박막 트랜지스터의 채널이 1개의 결정으로 형성되므로 상기 TFT 채널 내에 그레인의 경계가 존재하지 않으므로, 방향의 차이에 따른 TFT 특성 차이는 없다.

게다가, 상기 박막 트랜지스터의 특성은 단결정과 유사한 수준이 될 수 있고, 게이트 드라이버(Gate Driver)와 데이터 드라이버(Data Driver) 모두를 일체형으로 형성할 수 있다. 노광 기술의 개발에 따라서는 매우 복잡한 CPU 등의 고기능의 다양한 구동 회로를 일체형으로 집적할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 비정질 실리콘층을 형성하는 단계와;

상기 비정질 실리콘층을 결정화 공정을 진행함으로써 다수의 사각형 모양의 그레인(grain)을 갖는 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층을 패터닝하여 폴리실리콘 패턴과, 얼라인 키를 형성하는 단계와;

상기 얼라인 키를 이용하여 마스크 공정을 실시함으로써 상기 폴리실리콘의 패턴 내의 사각형 모양의 그레인 하나의 영역 내에 채널이 형성되도록 박막 트랜지스터를 형성하는 단계

를 포함하고, 상기 사각형 모양의 그레인의 경계가 상기 박막트랜지스터의 채널을 이루는 영역에는 위치하지 않도록 하는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이 기판의 제조 방법.

청구항 2.

삭제

청구항 3.

제 1항에 있어서,

상기 비정질 실리콘층의 결정화 공정은,

제 1 방향으로 다수의 스트라이프 패턴을 가지는 제 1 영역과, 상기 제 1 영역의 스트라이프 패턴과 엇갈리게 배치된 스트라이프 패턴을 가지는 제 2 영역과, 제 2 방향으로 다수의 스트라이프 패턴을 가지는 제 3 영역과, 상기 제 3 영역의 스트라이프 패턴과 엇갈리게 배치된 스트라이프 패턴을 가지는 제 4 영역을 포함하는 마스크를 준비하는 단계와;

상기 마스크를 통해 비정질 실리콘층이 형성되어 있는 기판에 1차 레이저빔을 조사하는 단계와;

상기 1차 레이저빔이 조사된 기판을 상기 마스크의 폭의 1/4 만큼 이동시켜 2차 레이저빔을 조사하는 단계와;

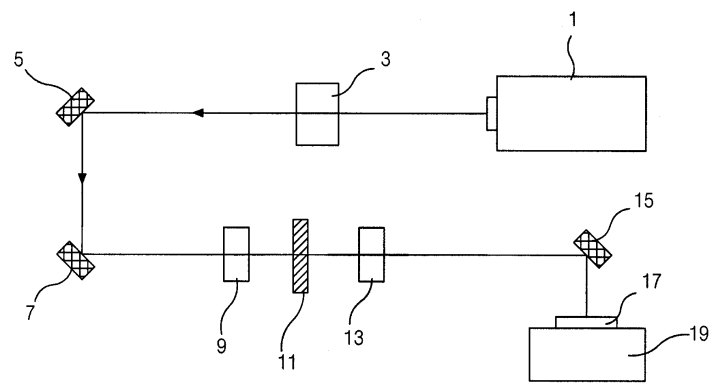
상기 2차 레이저빔이 조사된 기판을 상기 마스크 폭의 1/4 만큼 이동시켜 3차 레이저빔 조사를 실시하는 단계와;

상기 3차 레이저빔이 조사된 기판을 상기 마스크 폭의 1/4 만큼 이동시켜 4차 레이저빔 조사를 실시하는 단계

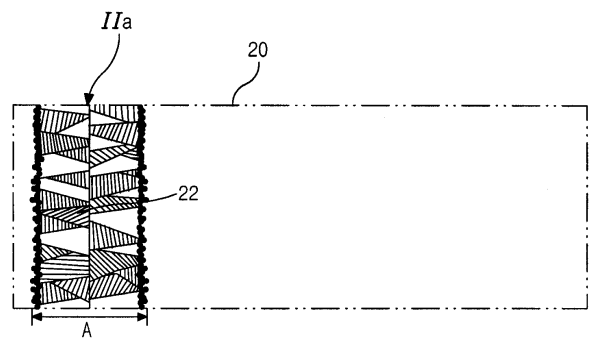
를 포함하는 구동회로 일체형 액정표시장치용 어레이 기판의 제조 방법.

도면

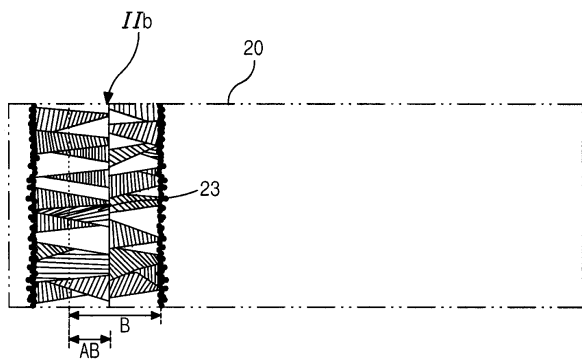
도면1



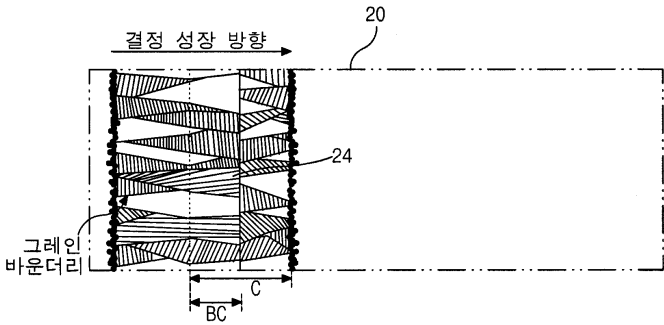
도면2a



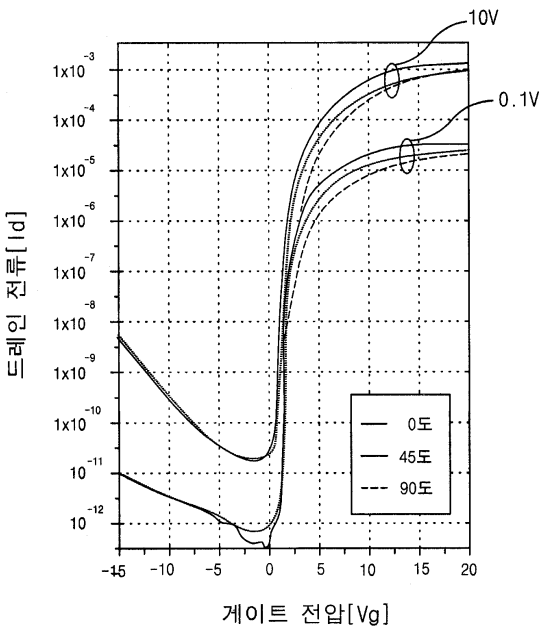
도면2b



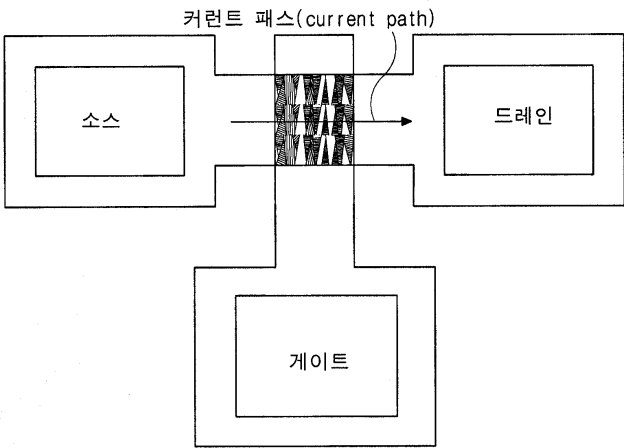
도면2c



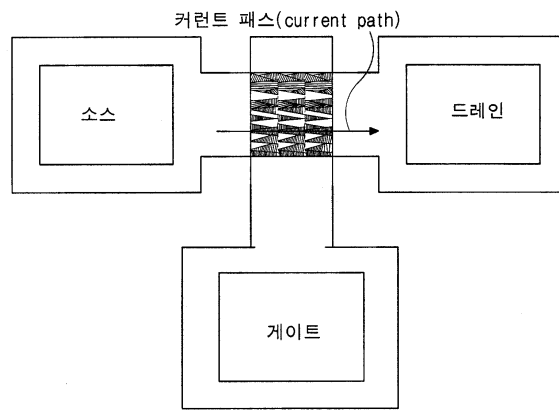
도면3



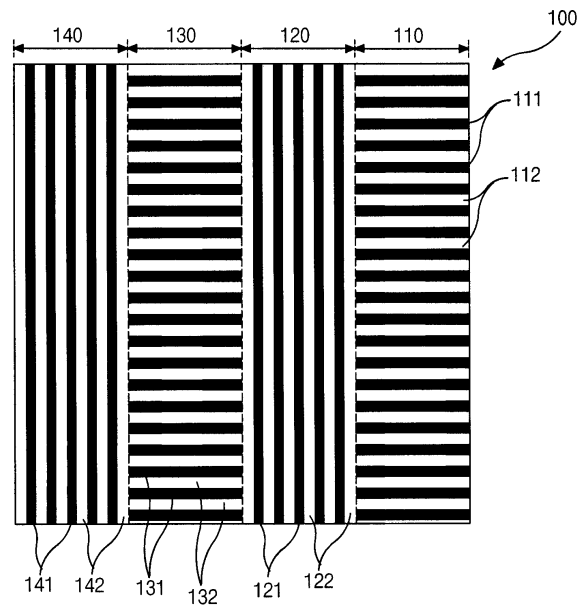
도면4



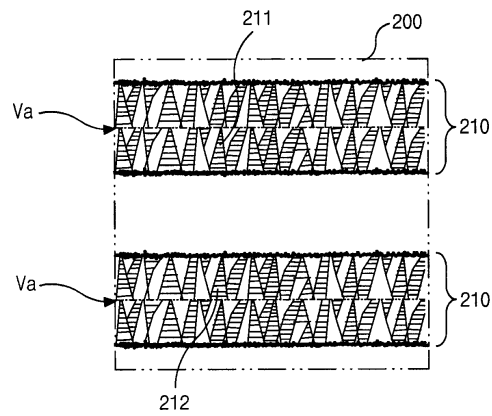
도면5



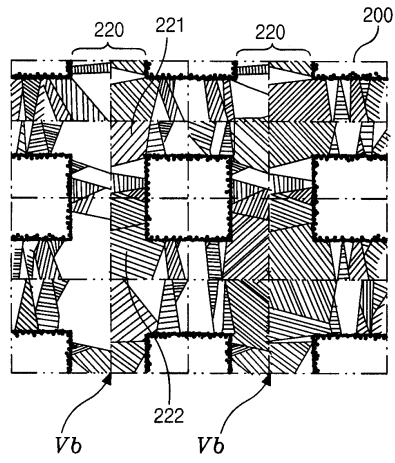
도면6



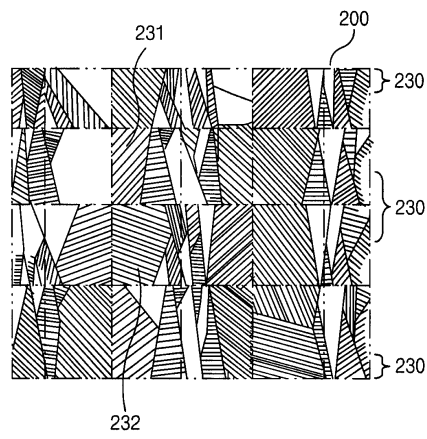
도면7a



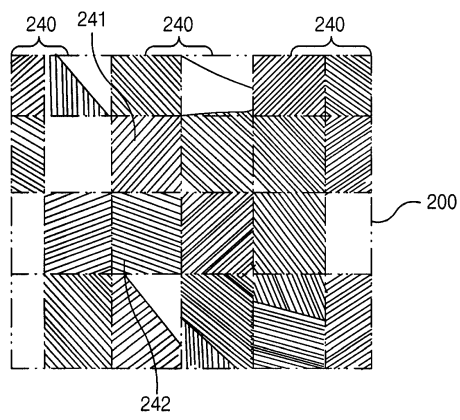
도면7b



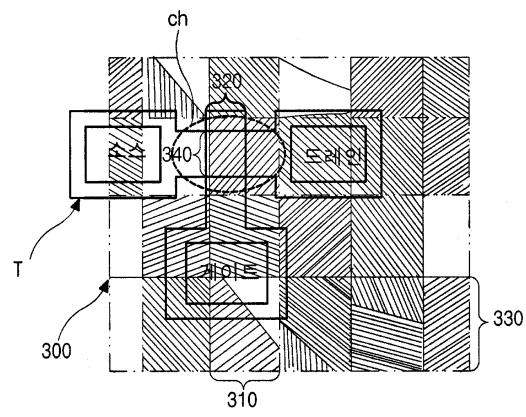
도면7c



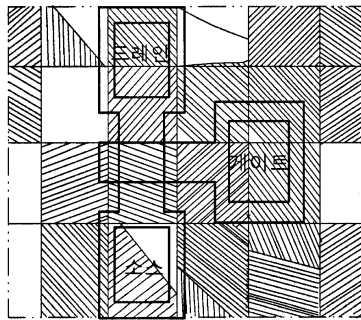
도면7d



도면8



도면9



专利名称(译)	制造与驱动电路集成的液晶显示装置的阵列基板的方法		
公开(公告)号	KR100508001B1	公开(公告)日	2005-08-17
申请号	KR1020020087302	申请日	2002-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG YUNHO		
发明人	JUNG,YUNHO		
IPC分类号	G02F1/1333 H01L27/12 H01L21/84 H01L29/786 H01L21/77 H01L21/20 H01L29/04		
CPC分类号	H01L29/78675 H01L21/2026 H01L27/1285 H01L29/04 H01L27/1296 H01L21/02532 H01L21/02595 H01L21/02678		
其他公开文献	KR1020040060502A		
外部链接	Espacenet		

摘要(译)

公开了一种制造包含驱动电路的液晶显示装置的阵列基板的方法。半导体器件本发明涉及一种半导体器件，包括：通过非晶硅的结晶过程具有多个晶粒的衬底；一种薄膜晶体管，其沟道小于晶粒尺寸，薄膜晶体管的特征在于，提供在结晶过程中有源形成所需的对准键，使得薄膜晶体管的沟道不设置在晶粒的边界处。8 指数方面 SLS，晶界，均匀性改善，体系上面板

