



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0044049
(43) 공개일자 2008년05월20일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0112858

(22) 출원일자 2006년11월15일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김철민

서울 강남구 대치동 은마아파트 27-607

이기창

서울 서초구 반포4동 미도아파트 309-803

최양화

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장
LCD총괄MD사업팀 LTPS팀

(74) 대리인

특허법인가산

전체 청구항 수 : 총 15 항

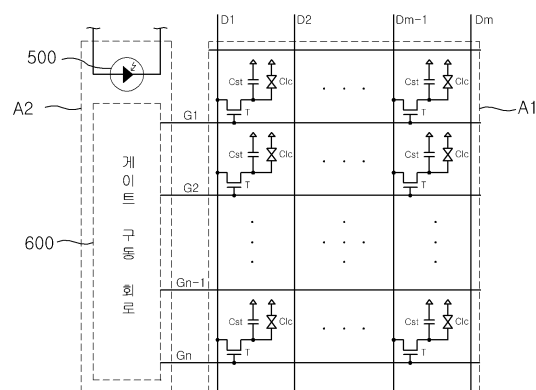
(54) 표시 장치와 그 제조 방법

(57) 요약

본 발명은, 화상을 표시하는 표시 영역과 주변 영역이 정의된 패널과, 상기 표시 영역에 형성된 복수의 박막 트랜지스터와, 상기 주변 영역에 형성된 p형 박막 트랜지스터 및 n형 박막 트랜지스터 및 상기 표시 영역 또는 상기 주변 영역에 수평 구조로 형성된 적어도 하나의 포토 다이오드를 포함하는 표시 장치 및 그 제조 방법을 제시한다.

이와 같은, 본 발명은 다결정 실리콘을 이용한 박막 트랜지스터 형성시 n형 박막 트랜지스터, p형 박막 트랜지스터 및 포토 다이오드를 별도의 공정 증가 없이 함께 형성할 수 있으며, 이러한 소자들을 이용하여 다양한 주변 회로를 구성할 수 있다. 따라서, 각종 소자들을 별도 제작하여 실장하는 것에 비하여 제조 원가를 절감할 수 있으며, 박형화에 유리하다.

대표도 - 도1



특허청구의 범위

청구항 1

화상을 표시하는 표시 영역과 주변 영역이 정의된 패널과,
상기 표시 영역에 형성된 복수의 박막 트랜지스터와,
상기 주변 영역에 형성된 p형 박막 트랜지스터 및 n형 박막 트랜지스터 및
상기 표시 영역 또는 상기 주변 영역에 수평 구조로 형성된 적어도 하나의 포토 다이오드를 포함하는 표시 장치.

청구항 2

청구항 1에 있어서,
상기 박막 트랜지스터는 저온 다결정 실리콘 박막으로 형성된 활성층을 포함하는 표시 장치.

청구항 3

청구항 1에 있어서,
상기 주변 영역에는 p형 박막 트랜지스터 및 n형 박막 트랜지스터 중 적어도 하나의 박막 트랜지스터로 구성된 구동 회로가 형성된 표시 장치.

청구항 4

청구항 1에 있어서,
상기 포토 다이오드는 저온 다결정 실리콘 박막으로 형성된 활성층을 포함하는 표시 장치.

청구항 5

청구항 4에 있어서,
상기 포토 다이오드의 활성층은,
상기 p형 박막 트랜지스터 형성시 형성된 p형 영역과,
상기 n형 박막 트랜지스터 형성시 형성된 n형 영역 및
상기 p형 영역과 상기 n형 영역 사이에 형성된 진성 영역을 포함하여 형성된 표시 장치.

청구항 6

청구항 1에 있어서,
상기 패널은,
컬러 필터가 격자 구조로 배열된 제 1 기판 및 복수의 박막 트랜지스터가 격자 구조로 배열된 제 2 기판을 포함하는 액정 표시 패널인 표시 장치.

청구항 7

표시 영역과 주변 영역이 정의된 기판을 마련하는 단계;
상기 표시 영역에 복수의 박막 트랜지스터를 격자 형태로 형성하는 단계;
상기 주변 영역에 p형 박막 트랜지스터 및 n형 박막 트랜지스터를 형성하는 단계; 및
상기 표시 영역 또는 상기 주변 영역에 적어도 하나의 포토 다이오드를 형성하는 단계; 를 포함하고,
상기 포토 다이오드는 상기 p형 박막 트랜지스터 및 n형 박막 트랜지스터와 동시에 형성하는 표시 장치의 제조 방법.

청구항 8

청구항 7에 있어서,

상기 포토 다이오드의 형성 단계는,

기관 상부에 p형 박막 트랜지스터용 활성층, n형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층을 형성하는 단계;

상기 p형 박막 트랜지스터용 활성층에 p형 이온 주입시 상기 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 일측 영역에 p형 이온을 동시에 주입하는 단계; 및

상기 n형 박막 트랜지스터용 활성층에 n형 이온 주입시 상기 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 타측 영역에 n형 이온을 동시에 주입하는 단계; 를 포함하는 표시 장치의 제조 방법.

청구항 9

청구항 8에 있어서,

상기 p형 박막 트랜지스터용 활성층, n형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층 중 적어도 하나의 활성층은 저온 다결정 실리콘 박막으로 형성하는 표시 장치의 제조 방법.

청구항 10

청구항 7에 있어서,

상기 포토 다이오드를 수평 구조로 형성하는 표시 장치의 제조 방법.

청구항 11

기관 상부에 p형 박막 트랜지스터용 활성층, n형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층을 형성하는 단계;

상기 p형 박막 트랜지스터용 활성층의 중앙 영역을 사이에 두고 양측 영역에 p형 영역을 형성하고, 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 일측 영역에 p형 영역을 형성하는 단계;

상기 n형 박막 트랜지스터용 활성층의 중앙 영역을 사이에 두고 양측 영역에 n형 영역을 형성하고, 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 타측 영역에 n형 영역을 형성하는 단계; 를 포함하는 표시 장치의 제조 방법.

청구항 12

청구항 11에 있어서,

상기 p형 박막 트랜지스터용 활성층, 상기 n형 박막 트랜지스터용 활성층 및 상기 포토 다이오드용 활성층 중 적어도 하나의 활성층에는 중앙 영역의 양측에 저농도 이온 영역을 형성하는 단계; 를 더 포함하는 표시 장치의 제조 방법.

청구항 13

청구항 11에 있어서,

상기 p형 영역을 형성하는 단계는,

전체 상부에 도전막을 형성한 다음 이를 패터닝하여 형성한 1차 도전막 패턴을 이온 주입 마스크로 이용한 이온 주입 공정을 통해 p형 이온을 활성층에 주입하여 해당 활성층의 일부 영역에 p형 영역을 형성하는 표시 장치의 제조 방법.

청구항 14

청구항 11에 있어서,

상기 p형 영역을 형성하는 단계는,

전체 상부에 도전막을 형성한 다음 이를 패터닝하여 형성한 1차 도전막 패턴을 이온 주입 마스크로 이용한 이온 주입 공정을 통해 p형 이온을 활성층에 주입하여 일부 영역에 p형 영역을 형성하고,

상기 n형 영역을 형성하는 단계는,

상기 1차 도전막 패턴 상부에 배리어막을 형성한 다음 이를 패터닝하여 형성한 배리어막 패턴을 이온 주입 마스크로 이용한 이온 주입 공정을 통해 n형 이온을 활성층에 주입하여 일부 영역에 n형 영역을 형성하는 표시 장치의 제조 방법.

청구항 15

청구항 11에 있어서,

상기 n형 박막 트랜지스터용 활성층, p형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층 중 적어도 하나의 활성층은,

기관 상부에 저온 비정질 실리콘 박막을 형성하는 단계; 및

상기 실리콘 박막을 고상 결정화법, 엑시머 레이저 결정화법 및 금속 유도 결정화법 중의 어느 하나의 방법으로 결정화하는 단계; 를 포함하여 형성한 저온 다결정 실리콘 박막으로 형성하는 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 표시 장치와 그 제조 방법에 관한 것으로, 보다 상세하게는 다결정 실리콘을 이용한 박막 트랜지스터 형성시 주변 회로 및 포토 다이오드를 별도의 공정 증가 없이 함께 형성한 표시 장치와 그 제조 방법에 관한 것이다.
- <18> 액정 표시 장치(Liquid Crystal Display; LCD)는 화소 전극, 박막 트랜지스터(Thin Film Transistor; TFT) 등이 형성된 박막 트랜지스터 기판과, 공통 전극, 컬러 필터 등이 형성된 컬러 필터 기판 및 두 기판 사이에 위치한 액정층으로 구성된다. 여기서, 액정 표시 장치는 두 개의 기판 사이에 전압을 인가하여 액정을 구동시키고 광의 투과율을 제어함으로써 화상을 표시한다.
- <19> 이러한 액정 표시 장치의 박막 트랜지스터는 반도체층으로 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 사용하여 형성된다. 비정질 실리콘으로 제조된 박막 트랜지스터는 비정질 실리콘막의 균일성이 우수하여 특성이 안정된 장점을 갖고 있다. 하지만, 비정질 실리콘 박막 트랜지스터는 전하 이동도가 낮기 때문에 소자의 응답 속도가 느린 단점이 있다. 따라서, 비정질 실리콘 박막 트랜지스터는 빠른 응답속도를 요하는 고해상도 표시 패널이나 게이트 또는 데이터 드라이버의 구동 소자에 적용하기에는 어려운 단점이 있다.
- <20> 반면, 다결정 실리콘으로 제조된 박막 트랜지스터는 전하 이동도가 높아 빠른 응답속도를 요하는 고해상도 액정 표시 패널에 적합할 뿐 아니라 주변 구동 회로들을 표시 패널 내에 내장할 수 있는 장점을 갖고 있다.
- <21> 한편, 디지털 컨버전스(digital convergence)의 기술적 환경 도래로 액정 표시 장치에 화상 표시의 본래 기능 외에 다른 부가 기능을 구현하려는 노력들이 시도되고 있다. 예를 들어, 액정 표시 장치에 자동 휘도 조절 기능, 터치 스크린(touch screen) 기능, 스캐너(scanner) 기능 등이 부가되고 있다. 이러한 부가 기능들을 구현하기 위해서는 액정 표시 패널에 포토 다이오드(photo diode)와 같은 수광 소자가 마련되어야 하는데, 이러한 수광 수자들은 회로 구성이 용이한 박막 트랜지스터 기판에 마련되는 것이 보통이다.
- <22> 그러나, 종래 기술에 있어서는 박막 트랜지스터 기판과 포토 다이오드를 함께 제작하는 것이 어려웠기 때문에 박막 트랜지스터 기판에는 연결 회로만 형성하고, 별도로 제작된 포토 다이오드를 박막 트랜지스터 기판의 연결 회로 상에 실장하는 방식으로 전술한 부가 기능 등을 구현하였다. 따라서, 포토 다이오드의 제작 및 실장에 따라 제조 원가가 상승하는 문제점이 있었다. 또한, 박형화가 어려운 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <23> 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로, 다결정 실리콘 박막을 이용한 박막 트랜지스터 형성시 주변 회로 및 포토 다이오드를 별도의 공정 증가 없이 함께 형성함으로써, 제조 원가를 절감할 수 있고, 박형화에 유리한 표시 장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <24> 상기의 목적을 달성하기 위한 본 발명에 따른 표시 장치는, 화상을 표시하는 표시 영역과 주변 영역이 정의된 패널과, 상기 표시 영역에 형성된 복수의 박막 트랜지스터와, 상기 주변 영역에 형성된 p형 박막 트랜지스터 및 n형 박막 트랜지스터 및 상기 표시 영역 또는 상기 주변 영역에 수평 구조로 형성된 적어도 하나의 포토 다이오드를 포함한다.
- <25> 상기 박막 트랜지스터는 저온 다결정 실리콘 박막으로 형성된 활성층을 포함하는 것이 바람직하다.
- <26> 상기 주변 영역에는 p형 박막 트랜지스터 및 n형 박막 트랜지스터 중 적어도 하나의 박막 트랜지스터로 구성된 구동 회로가 형성될 수 있다. 이러한 포토 다이오드는 저온 다결정 실리콘 박막으로 형성된 활성층을 포함하는 것이 바람직하다.
- <27> 상기 포토 다이오드의 활성층은 상기 p형 박막 트랜지스터 형성시 형성된 p형 영역과, 상기 n형 박막 트랜지스터 형성시 형성된 n형 영역 및 상기 p형 영역과 상기 n형 영역 사이에 형성된 진성 영역을 포함하여 형성되는 것이 바람직하다.
- <28> 상기 패널은 컬러 필터가 격자 구조로 배열된 제 1 기판 및 복수의 박막 트랜지스터가 격자 구조로 배열된 제 2 기판을 포함하는 액정 표시 패널로 형성되는 것이 바람직하다.
- <29> 상기의 목적을 달성하기 위한 본 발명에 따른 표시 장치의 제조 방법은, 표시 영역과 주변 영역이 정의된 기판을 마련하는 단계; 상기 표시 영역에 복수의 박막 트랜지스터를 격자 형태로 형성하는 단계; 상기 주변 영역에 p형 박막 트랜지스터 및 n형 박막 트랜지스터를 형성하는 단계; 및 상기 표시 영역 또는 상기 주변 영역에 적어도 하나의 포토 다이오드를 형성하는 단계; 를 포함하고, 상기 포토 다이오드는 상기 p형 박막 트랜지스터 및 n형 박막 트랜지스터와 동시에 형성한다.
- <30> 상기 포토 다이오드의 형성 단계는, 기판 상부에 p형 박막 트랜지스터용 활성층, n형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층을 형성하는 단계; 상기 p형 박막 트랜지스터용 활성층에 p형 이온 주입시 상기 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 일측 영역에 p형 이온을 동시에 주입하는 단계; 및 상기 n형 박막 트랜지스터용 활성층에 n형 이온 주입시 상기 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 타측 영역에 n형 이온을 동시에 주입하는 단계; 를 포함한다.
- <31> 상기 p형 박막 트랜지스터용 활성층, n형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층은 적어도 하나의 활성층은 저온 다결정 실리콘 박막으로 형성하는 것이 바람직하다.
- <32> 상기의 목적을 달성하기 위한 본 발명에 따른 표시 장치의 제조 방법은, 기판 상부에 p형 박막 트랜지스터용 활성층, n형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층을 형성하는 단계; 상기 p형 박막 트랜지스터용 활성층의 중앙 영역을 사이에 두고 양측 영역에 p형 영역을 형성하고, 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 일측 영역에 p형 영역을 형성하는 단계; 상기 n형 박막 트랜지스터용 활성층의 중앙 영역을 사이에 두고 양측 영역에 n형 영역을 형성하고, 포토 다이오드용 활성층의 중앙 영역을 사이에 두고 타측 영역에 n형 영역을 형성하는 단계; 를 포함한다.
- <33> 상기 p형 박막 트랜지스터용 활성층, 상기 n형 박막 트랜지스터용 활성층 및 상기 포토 다이오드용 활성층 중 적어도 하나의 활성층에는 중앙 영역의 양측에 저농도 이온 영역을 형성하는 단계; 를 더 포함하는 것이 바람직하다.
- <34> 상기 p형 영역을 형성하는 단계는, 전체 상부에 도전막을 형성한 다음 이를 패터닝하여 형성한 1차 도전막 패턴을 이온 주입 마스크로 이용한 이온 주입 공정을 통해 p형 이온을 활성층에 주입하여 일부 영역에 p형 영역을 형성하고, 상기 n형 영역을 형성하는 단계는, 상기 1차 도전막 패턴 상부에 배리어막을 형성한 다음 이를 패터닝하여 형성한 배리어막 패턴을 이온 주입 마스크로 이용한 이온 주입 공정을 통해 n형 이온을 활성층에 주입하여 일부 영역에 n형 영역을 형성하는 것이 바람직하다.

- <35> 상기 n형 박막 트랜지스터용 활성층, p형 박막 트랜지스터용 활성층 및 포토 다이오드용 활성층 중 적어도 하나의 활성층은, 기관 상부에 저온 비정질 실리콘 박막을 형성하는 단계; 및 상기 실리콘 박막을 고상 결정화법, 엑시머 레이저 결정화법 및 금속 유도 결정화법 중의 어느 하나의 방법으로 결정화하는 단계; 를 포함하여 형성한 저온 다결정 실리콘 박막으로 형성하는 것이 바람직하다.
- <36> 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <37> 도면에서 여러 층 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상부에" 또는 "위에" 있다고 표현되는 경우는 각 부분이 다른 부분의 "바로 상부" 또는 "바로 위에" 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.
- <38> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 패널의 회로도이고, 도 2는 본 발명의 제 1 실시예에 따른 액정 표시 패널의 표시 영역의 단면도이며, 도 3은 본 발명의 제 1 실시예에 따른 액정 표시 패널의 주변 영역의 단면도이다.
- <39> 도 1 내지 도 3을 참조하면, 본 실시예에 따른 액정 표시 패널은 서로 대향하는 박막 트랜지스터 기관(100)과 컬러 필터 기관(200) 및 두 기관 사이에 위치하는 액정층(300)을 포함하여 구성된다. 또한, 액정 표시 패널은 단위 화소가 배치된 표시 영역(A1) 및 각종 소자들이 배치된 주변 영역(A2)으로 구분된다.
- <40> 박막 트랜지스터 기관(100)의 표시 영역(A1)에는 대략 행 방향으로 연장된 복수의 게이트 라인(G1 내지 Gn)과, 이와 직교하는 열 방향으로 연장된 복수의 데이터 라인(D1 내지 Dm) 등이 형성된다. 상기 게이트 라인(G1 내지 Gn) 및 상기 데이터 라인(D1 내지 Dm)의 교차 영역에 의해 각각의 단위 화소가 한정되며, 단위 화소에는 박막 트랜지스터(T), 화소 전극(191) 및 유지 전극(142)이 형성된다.
- <41> 상기 박막 트랜지스터(T)는 활성층(120a), 게이트 전극(141a), 소오스 전극(161a) 및 드레인 전극(162a)을 포함한다.
- <42> 상기 활성층(120a)은 저온 다결정 실리콘(Low Temperature Poly Silicon; LPTS) 박막으로 형성하는 것이 바람직하며, 양측 영역에는 이온이 고농도로 주입되어 소오스 영역(121n) 및 드레인 영역(122n)이 형성되고, 중앙 영역에는 이온이 주입되지 않은 채널 영역(125)이 형성된다. 이때, 활성층(120a)의 양측 영역에 주입되는 이온에 따라 박막 트랜지스터(T)의 특성이 달라진다. 예를 들어, 박막 트랜지스터(T)가 n 채널을 갖는 경우에는 고농도의 n형 이온이 활성층의 양측 영역에 주입되고, p 채널을 갖는 경우에는 고농도의 p형 이온이 활성층의 양측 영역에 주입된다. 본 실시예에서 표시 영역에 형성되는 박막 트랜지스터(T)는 n 채널을 갖도록 형성되며, 채널 영역(125)과 소오스 영역(121n) 및 드레인 영역(122n) 사이의 누설 전류(leakage current) 또는 펀치 스루(punch through)와 같은 현상을 방지하기 위해 채널 영역(125)과 소오스 영역(121n) 및 드레인 영역(122n)의 사이에 저농도의 이온이 주입된 저농도 이온 영역(lightly doped drain; 123, 124)을 포함한다. 물론, 상기 저농도 이온 영역(123, 124)은 필요에 따라 생략 가능하다.
- <43> 상기 활성층(120a)의 소오스 영역(121n)은 콘택홀을 통해 소오스 전극(161a)과 연결되고, 드레인 영역(122n)은 콘택홀을 통해 드레인 전극(162a)과 연결되며, 활성층(120a)의 상부에 게이트 전극(141a)이 형성되어 박막 트랜지스터(T)가 구성된다. 이러한 박막 트랜지스터(T)의 게이트 전극(141a)은 게이트 라인(G1 내지 Gn)에 연결되며, 소오스 전극(161a)은 데이터 라인(D1 내지 Dm)에 연결되며, 드레인 전극(162a)은 화소 전극(191)에 연결됨으로써, 게이트 라인(D)을 통해 전달된 게이트 신호에 의해 턴온(turn-on)되어 소오스 전극(161a)과 드레인 전극(162a)이 도통되어 데이터 라인(D1 내지 Dm)을 통해 전달된 데이터 신호가 화소 전극(191)에 전달된다.
- <44> 상기 화소 전극(191)은 대향 기관(200)에 형성된 공통 전극(251)과 함께 액정 커패시터(C1c)를 형성한다. 이러한 액정 커패시터(C1c)는 데이터 신호를 충전하여 액정층(300)의 분자 배열을 제어하는 역할을 수행한다.
- <45> 상기 유지 전극(142)은 상부에 위치되는 화소 전극(191)과 함께 유지 커패시터(Cst)를 형성한다. 이러한, 유지 커패시터(Cst)는 화소 전극(191)에 충전된 데이터 신호를 다음 데이터 신호가 충전될 때까지 안정적으로 유지하는 역할을 수행한다. 한편, 상기 유지 전극(142)은 대략 게이트 라인(G1 내지 Gn)과 평행하게 연장된 유지 라인(미도시)에 연결되어, 공통 전압과 같은 기준 전압이 인가된다.
- <46> 박막 트랜지스터 기관(100)의 주변 영역(A2)에는 게이트 라인(G1 내지 Gn)에 게이트 신호를 제공하는 게이트 구

동 회로(600) 및 적어도 하나의 포토 다이오드(500)가 형성된다.

- <47> 상기 게이트 구동 회로(600)는 외부의 액정 구동 회로로부터의 제어 신호에 따라 동작하여 적절한 타이밍에 박막 트랜지스터(T)의 턴온(turn-on) 전압 및 턴오프(turn-off) 전압을 포함하는 게이트 신호를 각각의 게이트 라인에 순차적으로 인가한다. 이러한 게이트 구동 회로(600)은 활성층이 n 채널을 갖는 박막 트랜지스터(이하 'n형 박막 트랜지스터') 및 활성층이 p채널을 갖는 박막 트랜지스터(이하 'p형 박막 트랜지스터') 중 적어도 하나의 박막 트랜지스터가 상호 연결되어 구성된다.
- <48> 상기 포토 다이오드(500)는 n형 이온이 고농도로 주입된 n형 영역(121n), n형 이온이 저농도로 주입된 저농도 이온 영역(123), 이온이 주입되지 않은 진성 영역(intrinsic area)(125), p형 이온이 고농도로 주입된 p형 영역(122p)이 수평 방향으로 형성되어 PIN 접합 구조로 이루는 활성층(120d)을 포함하여 구성된다. 물론, 상기 저농도 이온 영역(123)은 필요에 따라 생략 가능하다. 이러한 포토 다이오드(500)는 역바이어스된 상태에서 외부 광이 진성 영역(125)에 조사되면 전류가 흐르게 되는데, 광의 세기와 전류의 세기는 비례하므로, 광을 감지하기 위한 센서 즉, 수광 소자로 사용할 수 있다. 따라서, 상기 포토 다이오드(500)를 이용한 다양한 부가 기능을 액정 표시 패널에 부여할 수 있다. 예를 들어, 상기 포토 다이오드(500)를 수광 소자로 사용하여 휘도 조절 기능, 터치 스크린 기능 및 스캐너 기능 등을 액정 표시 패널에 내장할 수 있다. 또한, 본 실시예의 포토 다이오드(500)는 주변 영역(A2)에 단수로 형성되었지만, 원하는 목적에 따라 주변 영역(A2)이 아닌 표시 영역(A1)에 형성될 수 있으며, 단수가 아닌 복수로 형성될 수도 있다.
- <49> 한편, 박막 트랜지스터 기관(100)에 대향하는 컬러 필터 기관(200)의 표시 영역(A1)에는 입사된 광을 차단하여 인접한 화소 영역 사이의 광 간섭을 방지하도록 격자 형태로 형성된 블랙 매트릭스(211)와, 입사된 광을 채색하여 컬러를 구현하는 적색(R), 녹색(G), 청색(B)의 컬러 필터(221) 및 대향 기관(100)에 형성된 화소 전극(191)과 함께 액정층(300)에 전계를 형성하는 공통 전극(251) 등이 형성된다.
- <50> 상기 컬러 필터(221)와 공통 전극(251) 사이에는 계면의 부착성 및 평탄성을 개선하기 위한 오버 코트막(over coat layer)(231)이 형성될 수 있다. 또한, 오버 코트막(231) 상에는 셀갭(cell gap) 유지를 위한 소정 높이를 갖는 컬럼 스페이서(241)가 형성될 수 있다. 상기 컬럼 스페이서(241)는 박막 트랜지스터 기관(100) 또는 컬러 필터 기관(200)의 어디에도 형성될 수 있으며, 컬러 필터 기관(200)에 형성되는 경우에, 블랙 매트릭스(211), 컬러 필터(221), 오버 코트막(231), 공통 전극(251) 중 어느 하나의 막 상부에 형성될 수 있다. 또한, 상기 컬럼 스페이서(241)는 적어도 일측 기관의 대향면에 산포되어 셀갭 유지를 위한 소정의 입경을 갖는 볼 타입(ball-type)의 스페이서로 대체될 수도 있다.
- <51> 먼저, 상기와 같이 구성된 본 발명에 따른 액정 표시 패널 중에서 박막 트랜지스터 기관의 제조 방법에 대하여도 4 내지 도 11을 참조하여 설명하면 다음과 같다.
- <52> 도 4 내지 도 11은 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기관의 제조 공정에 따른 단면도로서, (a)는 표시 영역에 형성되는 단위 화소를 수직으로 절취한 것이고, (b)는 주변 영역에 형성되는 n형 박막 트랜지스터 및 p형 박막 트랜지스터를 수직으로 절취한 것이며, (c)는 주변 영역에 형성되는 포토 다이오드를 수직으로 절취한 것이다.
- <53> 도 4를 참조하면, 제 1 투광성 절연 기관(100) 상에 버퍼막(110)을 형성하고, 버퍼막(110) 상에 반도체막을 형성한 다음 상기 반도체막을 패터닝하여 복수의 활성층(120a, 120b, 120c, 120d)으로 분리한다.
- <54> 여기서, 상기 제 1 투광성 절연 기관(100)은 유리 기관, 석영 기관, 플라스틱 기관 중의 어느 하나를 사용할 수 있고, 상기 버퍼막(110)은 SiO₂ 또는 SiN_x를 포함하는 무기 절연 물질을 사용할 수 있다. 그리고, 상기 반도체막은 저온 다결정 실리콘 박막을 이용하여 형성하는데, 저온 다결정 실리콘 박막은 비정질 실리콘 박막을 형성한 후 저온에서 다결정 실리콘 박막으로 결정화시켜 형성한다. 여기서, 비정질 실리콘 박막을 저온 다결정 실리콘 박막으로 결정화시키기 위해 널리 이용되는 방법으로는 고상 결정화법(Solid Phase Crystallization; SPC), 엑시머 레이저 결정화법(Eximer Laser Crystallization; ELC) 및 금속 유도 결정화법(Metal Induced Crystallization; MIC) 등이 있다. 상기 비정질 실리콘 박막의 다결정 실리콘 박막으로의 결정화 공정은 반도체막에 대한 패터닝 공정의 실시 전 또는 실시 후에 실시할 수 있다.
- <55> 상기의 패터닝 공정에서는 반도체막 상에 감광막을 도포하고, 마스크를 이용한 사진 공정을 실시하여 소정의 감광막 패턴을 형성한 다음 상기 감광막 패턴을 식각 마스크로 하여 하부의 반도체막에 대한 식각 공정을 실시한다. 이때, 표시 영역에 n형 박막 트랜지스터용 활성층(120a)을 형성하고, 주변 영역에 n형 박막 트랜지스터용 활성층(120b) 및 p형 박막 트랜지스터의 활성층(120c)을 형성하며, 비표시 영역에 포토 다이오드용 활성층

(120d)을 형성한다.

- <56> 도 5를 참조하면, 상기 활성층(120a, 120b, 120c, 120d)을 포함한 전체 구조 상에 제 1 절연막(130) 및 제 1 도전막을 형성한 다음 상기 제 1 도전막을 패터닝하여 1차 제 1 도전막 패턴(140a)을 형성한다. 이어, 상기 1차 제 1 도전막 패턴(140a)을 이온 주입 마스크로 이용하여 활성층(120c, 120d)에 p형 이온(p+)을 고농도로 주입한다. 그 결과, p형 박막 트랜지스터용 활성층(120c)의 중앙 영역을 사이에 두고 양측 영역에 p형 영역(121p, 122p)이 형성되며, 포토 다이오드용 활성층(120d)의 중앙 영역을 사이에 두고 일측 영역에 p형 영역(122p)이 형성된다.
- <57> 도 6을 참조하면, 상기 1차 제 1 도전막 패턴(140a)을 포함한 전체 구조 상에 배리어막(barrier layer)을 형성한 다음 상기 배리어막을 패터닝하여 소정의 배리어막 패턴(410)을 형성한다. 이어, 상기 배리어막 패턴(410)을 식각 마스크로 이용한 식각 공정으로 1차 제 1 도전막 패턴(140a)을 식각하여 2차 제 1 도전막 패턴(140b)을 형성하고, 상기 배리어막 패턴(410)을 이온 주입 마스크로 이용하여 활성층(120a, 120b, 120d)에 n형 이온(n+)을 고농도로 주입한다. 그 결과, n형 박막 트랜지스터용 활성층(120a, 120b)의 중앙 영역을 사이에 두고 양측 영역에 n형 영역(121n, 122n)이 각각 형성되고, 포토 다이오드용 활성층(120d)의 중앙 영역을 사이에 두고 타측 영역에 n형 영역(121p)이 형성된다.
- <58> 도 7 내지 도 8을 참조하면, 상기 배리어막 패턴(410)을 식각 마스크로 이용한 식각 공정으로 2차 제 1 도전막 패턴(140b)을 식각하여 폭이 줄어든 3차 제 1 도전막 패턴(140c)을 형성하고, 잔류된 배리어막 패턴(410)을 제거하는 박리 공정을 실시한다. 이어, 상기 3차 제 1 도전막 패턴(140c)을 이온 주입 마스크로 이용하여 활성층(120a, 120b, 120d)에 n형 이온(n-)을 저농도로 주입한다. 그 결과, n형 박막 트랜지스터용 활성층(120a, 120b) 내에는 n형 영역(121n, 122n), 저농도 이온 영역(123), 중앙 영역(125)이 각각 형성된다. 또한, 포토 다이오드용 활성층(120d) 내에는 n형 영역(121n), 저농도 이온 영역(123), 중앙 영역(125), p형 영역(122p)이 각각 형성된다. 여기서, 각 활성층(120a, 120b, 120d)의 중앙 영역(125)은 이온이 주입되지 않은 진성 영역으로서, n형 박막 트랜지스터의 경우 채널 영역이 되고, 포토 다이오드의 경우 수광 영역이 된다. 물론, 상기의 저농도 이온 주입 공정은 필요에 따라 생략 가능하다. 본 실시예에서는 3차 제 1 도전막 패턴(140c)으로 게이트 전극(141a, 141b, 141c), 게이트 라인(미도시), 유지 전극(142), 유지 라인(미도시) 등이 형성되는 것이 바람직하지만, 그 중 일부는 1차 제 1 도전막 패턴(140a) 또는 2차 제 1 도전막 패턴(140c)으로 형성될 수도 있다.
- <59> 도 9를 참조하면, 상기 게이트 전극(141a, 141b, 141c)을 포함하는 전체 구조 상에 제 2 절연막(150)을 형성한 다음 이를 패터닝하여 콘택홀을 형성하고, 상기 콘택홀을 포함하는 전체 구조 상에 제 2 도전막을 형성한 다음 이를 패터닝하여 소오스 전극(161a, 161b, 161c), 드레인 전극(162a, 162b, 162c) 및 이들의 연결 배선(미도시)을 형성하고, 포토 다이오드의 양 전극(165a, 165b) 및 이들의 연결 배선(미도시)을 형성한다.
- <60> 상기의 선행하는 패터닝 공정에서는 제 2 절연막(150) 상에 감광막 도포하고, 마스크를 이용한 사진 공정을 실시하여 소정의 감광막 패턴을 형성한 다음 상기 감광막 패턴을 식각 마스크로 하여 하부의 제 2 절연막(150)에 대한 식각 공정을 실시한다. 이때, n형 박막 트랜지스터용 활성층(120a, 120b)의 양측 n형 영역(121n, 122n), p형 박막 트랜지스터용 활성층(120c)의 양측 p형 영역(121p, 122p) 및 포토 다이오드용 활성층(120d)의 일측 n형 영역(121n) 및 타측 p형 영역(121p) 상에 존재하는 제 2 절연막(150)의 일부 영역을 제거하여 콘택홀을 형성한다. 이후, 잔류된 감광막 패턴을 제거하는 박리 공정을 실시한다. 여기서, 상기 제 2 절연막(150)은 SiO_2 또는 SiN_x 를 포함하는 무기 절연물질을 단층막 또는 다층막으로 증착하여 형성하는 것이 바람직하다.
- <61> 상기의 후행하는 패터닝 공정에서는 콘택홀을 포함하는 전체 구조 상에 제 2 도전막을 형성하고, 마스크를 이용한 사진 공정을 실시하여 소정의 감광막 패턴을 형성한 다음 상기 감광막 패턴을 식각 마스크로 하여 하부의 제 2 도전막에 대한 식각 공정을 실시한다. 이때, 표시 영역에는 n형 박막 트랜지스터용 활성층(120a)의 양측 n형 영역(121n, 122n)에 각각 연결되는 소오스 전극(161a), 드레인 전극(162a)을 형성하고, 드레인 전극(162a)에 연결되는 데이터 라인(미도시)을 형성한다. 또한, 주변 영역에는 n형 박막 트랜지스터용 활성층(120b)의 양측 n형 영역(121n, 122n)에 각각 연결되는 소오스 전극(161b) 및 드레인 전극(162b)을 형성하고, p형 박막 트랜지스터용 활성층(120c)의 양측 p형 영역(121p, 122p)에 각각 연결되는 소오스 전극(161c) 및 드레인 전극(162c)을 형성하며, 소오스 전극(161c) 및 드레인 전극(162c)에 각각 연결되는 연결 배선(미도시)을 형성한다. 또한, 주변 영역에는 포토 다이오드용 활성층(120d)의 n형 영역(121n) 및 p형 영역(122p)에 각각 연결되는 양 전극(165a, 165b) 및 이들의 연결 배선(미도시)을 형성한다. 이후, 잔류된 감광막 패턴을 제거하는 박리 공정을 실시한다. 여기서, 상기 제 2 도전막은 Al, Mo, Cr, Ti, Ta, Ag 및 Nd 중 적어도 어느 하나를 포함하는 금속으로 형성한 단일층 또는 다층층을 사용하는 것이 바람직하다.

- <62> 도 10을 참조하면, 상기 전극(161a, 161b, 161c, 162a, 162b, 162c) 및 연결 배선(165a, 165b)을 포함한 전체 구조상에 보호막(170, 180)을 형성한 다음, 상기 보호막(170, 180)을 패터닝하여 콘택홀을 형성하고, 상기 콘택홀을 포함하는 전체 구조상에 투광성 도전막을 형성한 다음 이를 패터닝하여 각각의 화소 영역에 화소 전극(191)을 형성한다.
- <63> 상기의 선행하는 패터닝 공정에서는 보호막(170, 180) 상에 감광막을 도포하고, 마스크를 이용한 사진 공정을 실시하여 소정의 감광막 패턴을 형성한 다음 상기 감광막 패턴을 식각 마스크로 하여 하부의 보호막(170, 180)에 대한 식각 공정을 실시한다. 이때, 표시 영역의 n형 박막 트랜지스터의 드레인 전극(162a) 상에 존재하는 보호막(170, 180)의 일부 영역을 제거하여 콘택홀을 형성한다. 이후, 잔류된 광감막 패턴을 제거하는 박리 공정을 실시한다.
- <64> 여기서, 상기 보호막(170, 180)으로는 무기 절연 물질 및 유기 절연 물질 중 적어도 어느 하나를 포함하는 절연 물질로 형성된 단일층 또는 다중층을 사용할 수 있다. 본 실시예의 보호막은 상기 무기 절연 물질로는 절연성 및 부착성이 우수한 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등을 사용하는 것이 바람직하며, 상기 유기 절연 물질로는 유전율이 낮은 BCB(Benzene Cyclo Butane), SOG(Siloxane Polymer), 폴리이미드계 수지 등을 사용하는 것이 바람직하다. 유전율이 낮은 유기 절연 물질을 후막으로 사용하면, 신호 라인(G 및/또는 D)과 화소 전극(191) 사이에 발생하는 기생 용량이 줄어들어 신호 라인(G 및/또는 D)과 화소 전극(191)을 일정 부분 겹쳐지게 형성할 수 있으므로 개구율 향상에 도움이 된다.
- <65> 상기의 후행하는 패터닝 공정에서는 콘택홀을 포함하는 전체 구조 상에 투광성 도전막을 형성하여 상기 콘택홀을 매립하고, 마스크를 이용한 사진 공정을 실시하여 소정의 감광막 패턴을 형성한 다음 상기 감광막 패턴을 식각 마스크로 하여 하부의 투광성 도전막에 대한 식각 공정을 실시한다. 이때, 표시 영역에는 n형 박막 트랜지스터용 활성층의 드레인 전극(162a)에 연결되는 화소 전극(191)을 형성한다. 이후, 잔류된 광감막 패턴을 제거하는 박리 공정을 실시한다.
- <66> 여기서, 상기 투광성 도전막은 인듐 주석 산화물(Indium Tin Oxide; ITO)이나 인듐 아연 산화물(Indium Zinc Oxide; IZO)을 사용할 수 있다.
- <67> 이와 같은 박막 트랜지스터 기관의 제조 공정을 이용하면, 다결정 실리콘을 이용한 박막 트랜지스터 형성시 n형 박막 트랜지스터, p형 박막 트랜지스터 및 포토 다이오드를 별도의 공정 증가 없이 함께 형성할 수 있으며, 이러한 소자들을 이용하여 다양한 주변 회로를 구성할 수 있다. 따라서, 각종 소자들을 별도 제작하여 박막 트랜지스터 기관에 실장하는 것에 비하여 제조 원가를 절감할 수 있으며, 박형화에 유리하다.
- <68> 상술한 바와 같이, 본 발명은 다결정 실리콘을 이용한 박막 트랜지스터 형성시 주변 회로 및 포토 다이오드를 별도의 공정 증가 없이 함께 형성할 수 있으며, 이러한 소자들을 이용하여 다양한 주변 회로를 구성할 수 있다. 따라서, 주변 소자들을 별도 제작하여 실장하는 것에 비하여 제조 원가를 절감할 수 있으며, 박형화에 유리하다.
- <69> 한편, 전술한 제 1 실시예에 따른 박막 트랜지스터 기관은 배면의 백라이트(backlight)를 이용하여 화상을 표시하는 투과형 모드(transmissive mode)에 적합하게 사용할 수 있다. 그러나, 본 발명은 투과형 모드에 한정되지 않으며, 다른 모드 예를 들어, 반투과형 모드(transflective mode) 및 반사형 모드(reflective mode)에 적합하게 사용할 수 있는 박막 트랜지스터 기관을 제공할 수도 있다. 이러한 가능성의 일 예로 반투과형 모드에 따른 박막 트랜지스터 기관에 대하여 설명하면 다음과 같다. 이때, 전술한 실시예와 중복되는 설명은 생략하거나 간략히 설명한다.
- <70> 도 11은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기관의 단위 화소의 단면도이다.
- <71> 도 11을 참조하면, 상기 박막 트랜지스터 기관은 적어도 일부 화소 전극 상에 반사 패턴(700)이 마련된다. 상기 반사 패턴(700)은 상부 방향에서 입사된 광은 반사시키고, 하부 방향에서 입사된 광은 투과시켜 입사된 광들이 상부 방향으로 출력되게 한다. 그 결과, 상기 박막 트랜지스터 기관(200)을 적용한 액정 표시 장치는 내부의 백라이트에서 생성된 광 및 외부의 자연 광원에서 생성된 광을 모두 이용하여 화상을 표시하는 반투과형 모드로 구동된다.
- <72> 상기 반사 패턴(700)에는 요철이 형성되는 것이 바람직하다. 상기 요철은 상부 방향에서 입사된 광의 난반사를 유도하면서 이를 상부 방향으로 집광시켜 광의 이용 효율을 높여준다. 이러한 반사 패턴(700)은 상부 방향에서 입사된 광이 반사되도록 광 반사율이 우수한 Ag, Al, Au, Nd 및 Cu 등과 같은 금속 물질을 사용하여 형성하는

것이 바람직하며, 하부 방향에서 입사된 광이 투과되도록 얇은 두께로 형성하는 것이 바람직하다. 물론, 상기 반사 패턴(700)은 표시 영역(A1)이 투과 영역 및 반사 영역으로 구분되어 반사 영역에만 형성될 수 있고, 화소 영역이 투과 영역 및 반사 영역으로 구분되어 반사 영역에만 형성될 수도 있다.

<73> 이와 같은 박막 트랜지스터 기관의 제조 공정에서는 도 10의 (a)와 같은 전극(161a, 161b, 161c, 162a, 162b, 162c, 165a, 165b) 및 연결 배선(미도시)을 포함한 전체 구조상에 보호막(170, 180)을 형성한 다음, 상기 보호막(170, 180)에 대한 1차 패터닝 공정을 실시하여 콘택홀을 형성하고, 상기 보호막에 대한 2차 패터닝 공정을 실시하여 그 표면 상에 요철을 형성한다. 이후, 상기 요철 상에 투광성 도전막을 형성한 다음 이를 패터닝하여 화소 전극(191)을 형성하고, 화소 전극(191) 상에 반사막을 형성한 다음 이를 패터닝하여 반사 패턴(700)을 형성한다.

<74> 물론, 도 1과 같이, 상기 박막 트랜지스터 기관의 주변 영역(A2)에는 게이트 라인(G1 내지 Gn)에 게이트 신호를 제공하는 게이트 구동 회로(600) 및 적어도 하나의 포토 다이오드(500)가 형성되며, 이들은 표시 영역(A1)의 박막 트랜지스터와 함께 형성된다.

<75> 도 12는 본 발명에 따른 박막 트랜지스터 기관에 형성된 포토 다이오드의 성능 특성을 측정한 결과 그래프이다.

<76> 도 12를 참조하면, 포토 다이오드(500)가 역바이어스된 상태에서 A 선은 광의 세기가 0Lux 인 상태에서 포토 다이오드(500)에 흐르는 전류를 나타낸 것이고, B 선은 광의 세기가 10000Lux 인 상태에서 포토 다이오드(500)에 흐르는 전류를 나타낸 것이다. A 선과 B 선을 비교해 보면 광의 세기가 10000Lux 인 상태에서 약 50배의 전류가 증가됨을 확인할 수 있으며, 이는 본 발명에 따른 포토 다이오드(500)의 수광 능력이 매우 우수함을 의미한다.

<77> 한편, 전술한 제 1, 제 2 실시예에 따른 박막 트랜지스터 기관(100)의 제조 공정과 별도로 컬러 필터 기관(200)의 제조 공정을 실시하는데, 본 발명에 따른 액정 표시 패널 중에서 박막 트랜지스터 기관의 제조 방법에 대하여 도 3을 참조하여 설명하면 다음과 같다.

<78> 먼저, 제 2 투광성 절연 기관(200) 상에 블랙 매트릭스용 차광막을 도포한 다음 이를 패터닝하여 격자 형태로 배열되는 블랙 매트릭스(211)를 형성한다. 이어, 상기 블랙 매트릭스(211)를 포함하는 전체 구조 상에 컬러 필터용 유기막을 도포한 다음 이를 패터닝하여 상기 블랙 매트릭스(211)와 그 일부가 중첩되는 R, G, B 컬러 필터(221)를 형성한다. 이어, 상기 컬러 필터(221)를 포함하는 전체 구조 상에 오버 코트막(231)을 형성하고, 그 위에 투광성 유기막을 도포한 다음 이를 패터닝하여 셀갭 유지를 위한 컬럼 스페이서(241)를 형성한다. 이어, 상기 컬럼 스페이서(241)를 포함하는 전체 구조 상에 투광성 도전막을 형성하여 공통 전극(251)을 형성한다. 이때, 상기 투광성 도전막으로는 인듐 틴 옥사이드(indium tin oxide: ITO) 또는 인듐 징크 옥사이드(indium zinc oxide: IZO) 등을 사용할 수 있다.

<79> 이상, 본 실시예에서의 컬러 필터 기관(200)은 오버 코트막(231) 상에 컬럼 스페이서(241)를 형성하였으나, 이에 한정되지 않으며, 블랙 매트릭스(211), 컬러 필터(221), 오버 코트막(232), 공통 전극(251) 중 어느 하나의 막 상에 형성할 수 있다.

<80> 상기와 같이 제조된 박막 트랜지스터 기관(100)과 컬러 필터 기관(200)은 각각의 화소 전극(191)과 공통 전극(251)이 서로 대향되도록 두 기관(100, 200)을 가압하여 합착된다. 이때, 두 기관(100, 200) 사이의 밀봉을 위해 소정의 실링막이 일측 기관의 가장자리를 따라 도포될 수 있다. 이후, 합착된 두 기관(100, 200) 사이에 액정을 주입하고 밀봉하여 액정층(300)을 형성함으로써 액정 표시 패널을 제작한다.

<81> 상술한 바와 같이 제작된 액정 표시 패널은 박막 트랜지스터 기관(100)의 표시 영역(A1)에 형성된 박막 트랜지스터(T)를 통해 화상 형성에 필요한 전기적 신호를 화소 전극(191)에 인가하고, 컬러 필터 기관(200)의 공통 전극(251)에 공통 전압을 인가하면 화소 전극(191)과 공통 전극(251) 사이에 전계가 형성된다. 이러한 전계에 의해 액정층(300)의 분자 배열이 변화하고, 변화된 분자 배열에 따라 광 투과도가 변경되어 목표로 하는 화상을 표시하게 된다.

<82> 한편, 전술한 제 1, 제 2 실시예에서는 표시 장치의 하나로 액정 표시 패널을 구비하는 액정 표시 장치를 예시하여 설명하였으나, 이외에도 내부에 박막 트랜지스터가 형성되어 있고, 포토 다이오드를 내장할 필요성이 있다면 본 발명은 다른 표시 장치 예를 들어, 유기 EL 표시 장치(Organic Electro Luminescence Display; OLED) 등에도 적용될 수 있다.

<83> 이상, 본 발명에 대하여 전술한 실시예 및 첨부된 도면을 참조하여 설명하였으나, 본 발명은 이에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특

허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명이 다양하게 변형 및 수정될 수 있음을 알 수 있을 것이다.

발명의 효과

<84> 상술한 바와 같이, 본 발명은 다결정 실리콘을 이용한 박막 트랜지스터 형성시 n형 박막 트랜지스터, p형 박막 트랜지스터 및 포토 다이오드를 별도의 공정 증가 없이 함께 형성할 수 있으며, 이러한 소자들을 이용하여 다양한 주변 회로를 구성할 수 있다. 따라서, 각종 소자들을 별도 제작하여 실장하는 것에 비하여 제조 원가를 절감할 수 있으며, 박형화에 유리하다.

도면의 간단한 설명

<1> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 패널의 회로도.

<2> 도 2는 본 발명의 제 1 실시예에 따른 액정 표시 패널의 표시 영역의 단면도.

<3> 도 3은 본 발명의 제 1 실시예에 따른 액정 표시 패널의 주변 영역의 단면도.

<4> 도 4 내지 도 10은 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판의 제조 공정에 따른 단면도.

<5> 도 11은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 단위 화소의 단면도.

<6> 도 12는 본 발명에 따른 박막 트랜지스터 기판에 형성된 포토 다이오드의 성능 특성을 측정한 결과 그래프.

<7> <도면의 주요 부분에 대한 보호의 설명>

<8> 110: 벼피막 120a, 120b, 120c, 120d: 활성층

<9> 130: 제 1 절연막 141a, 141b, 141c: 게이트 전극

<10> 150: 제 2 절연막 161a, 161b, 161c: 소오스 전극

<11> 162a, 162b, 162c: 드레인 전극 170, 180: 보호막

<12> 191: 화소 전극 211: 블랙 매트릭스

<13> 221: 컬러 필터 231: 오버 코트막

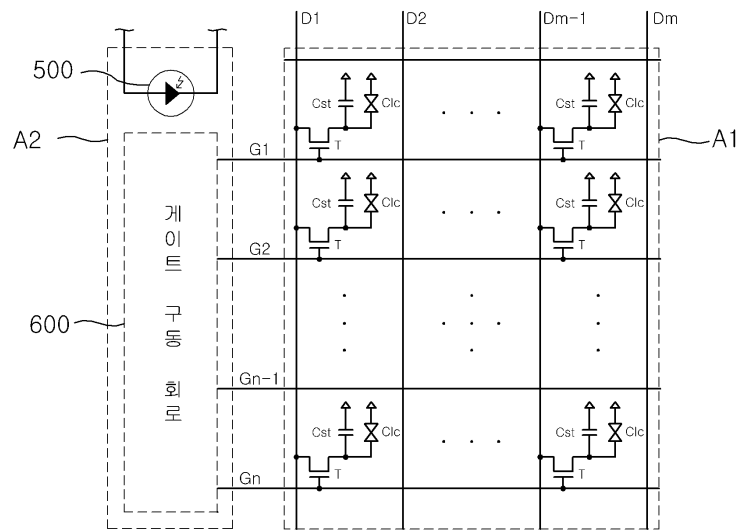
<14> 241: 컬럼 스페이서 251: 공통 전극

<15> 500: 포토 다이오드 600: 게이트 구동 회로

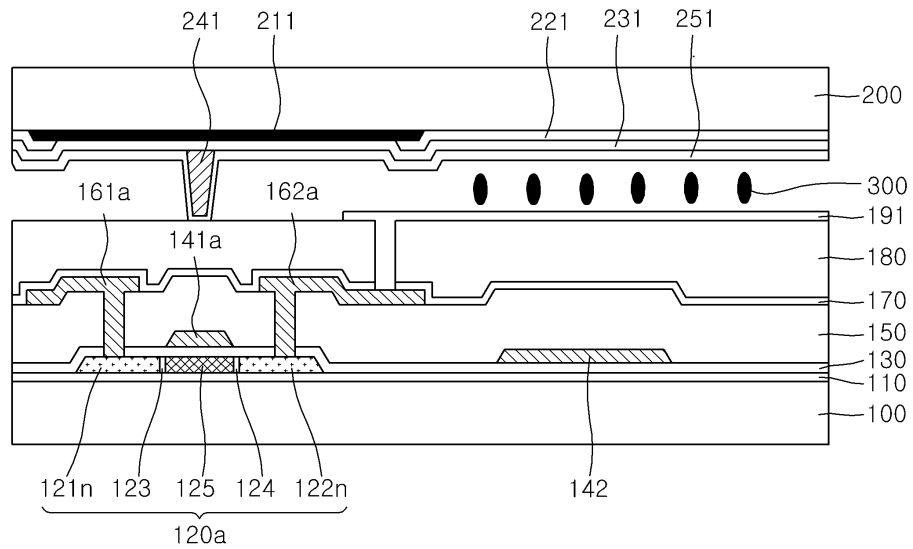
<16> 700: 반사 패턴

도면

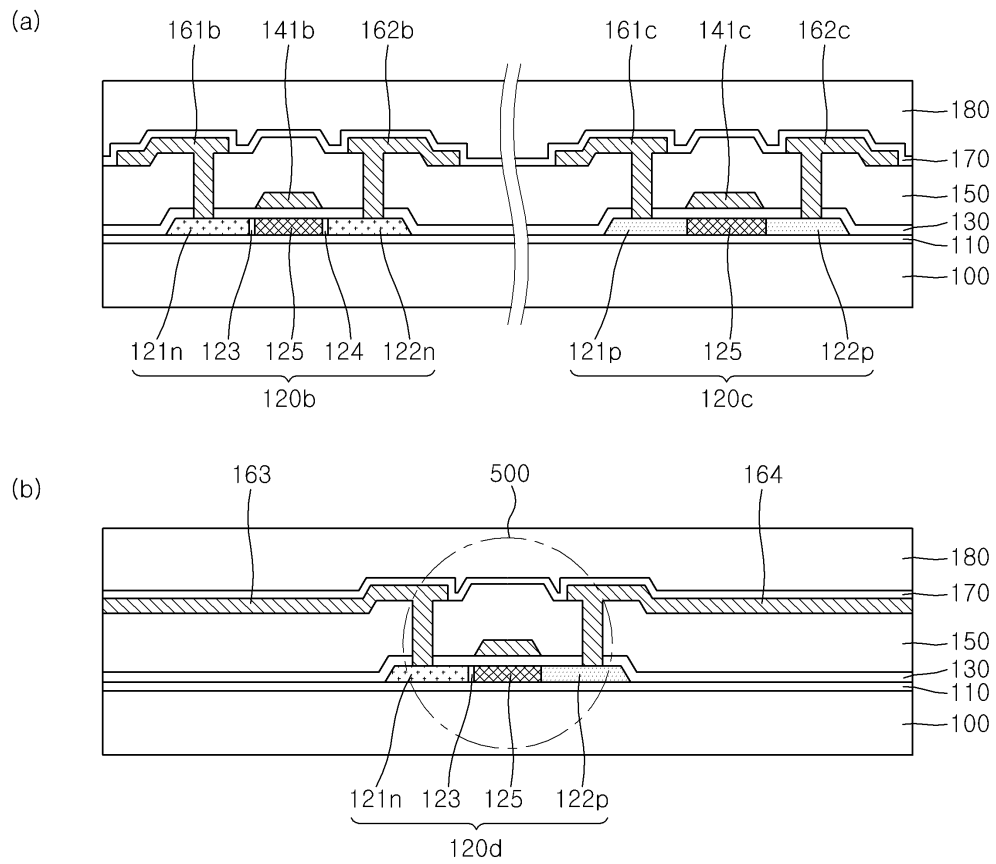
도면1



도면2

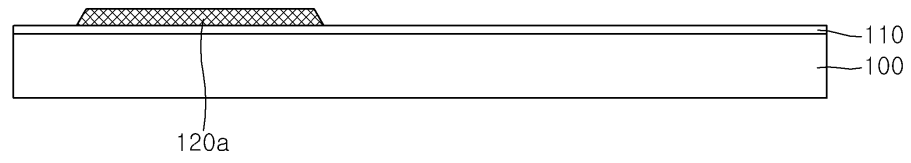


도면3

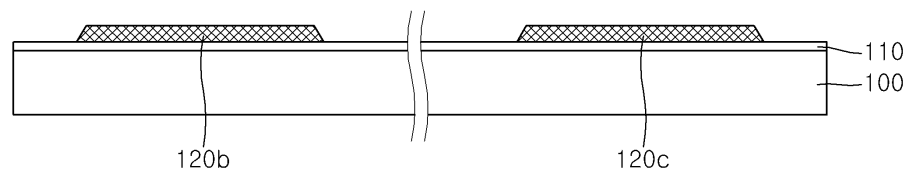


도면4

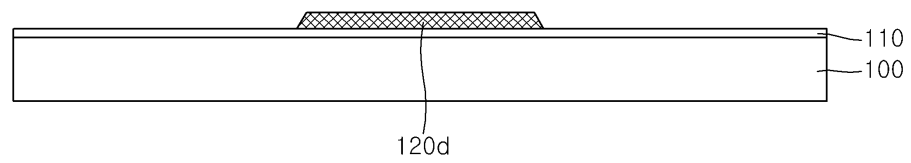
(a)



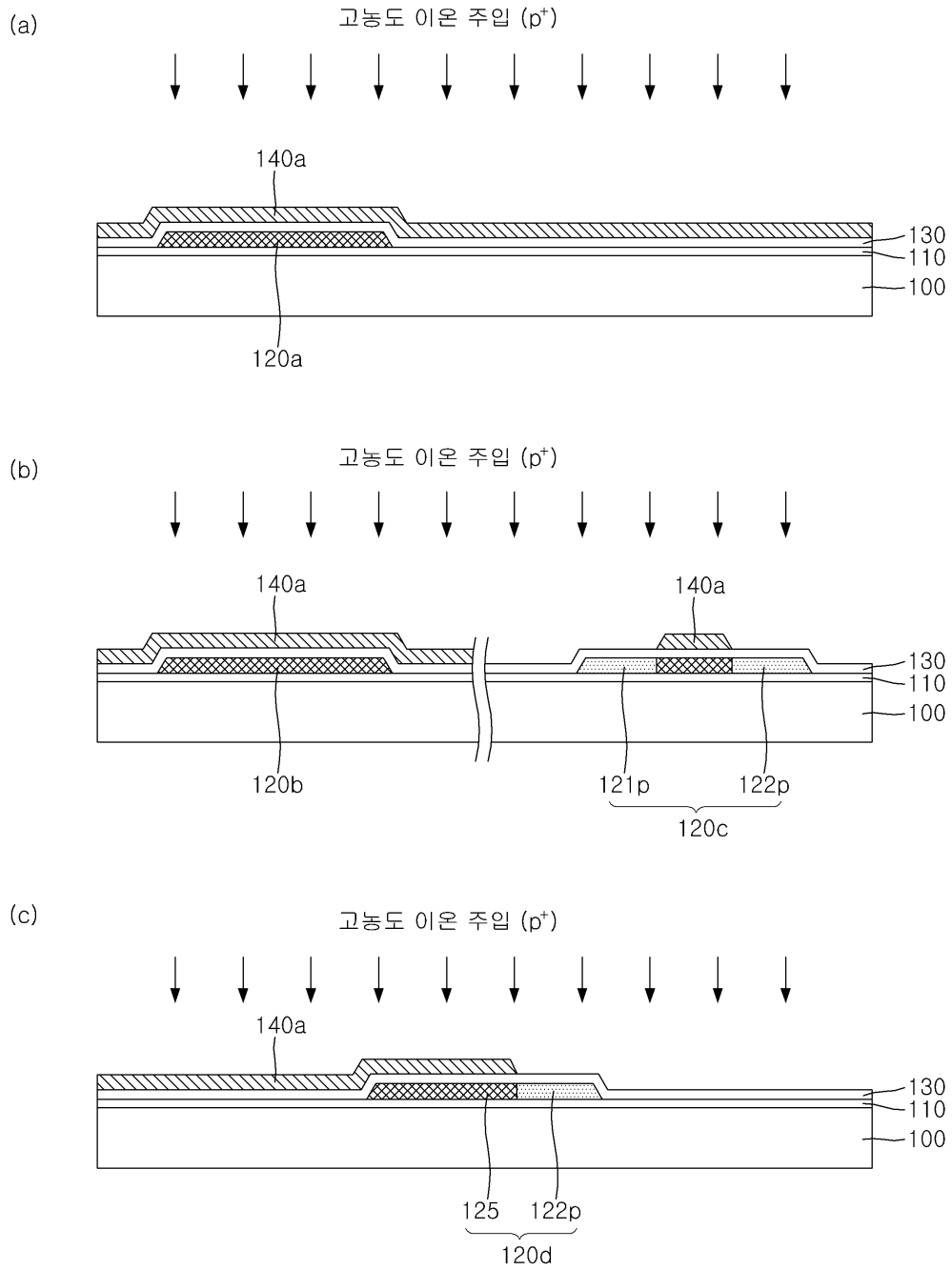
(b)



(c)

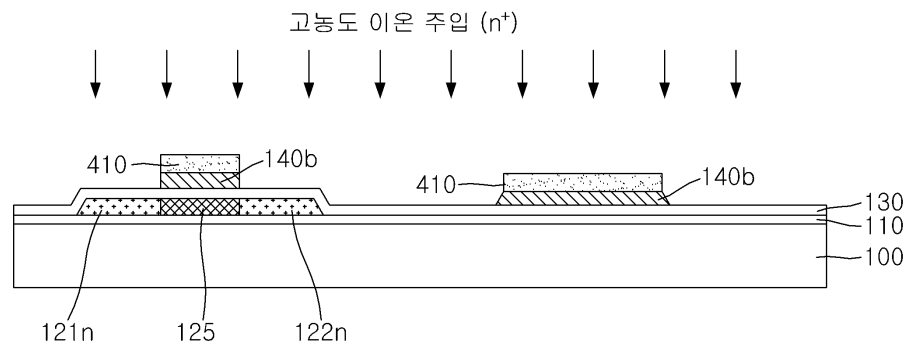


도면5

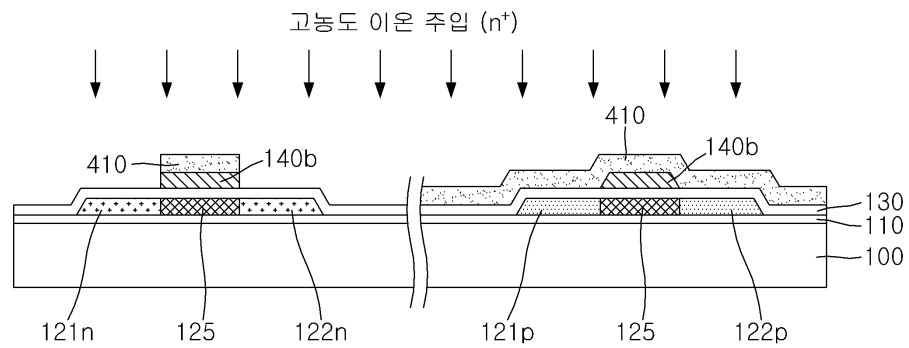


도면6

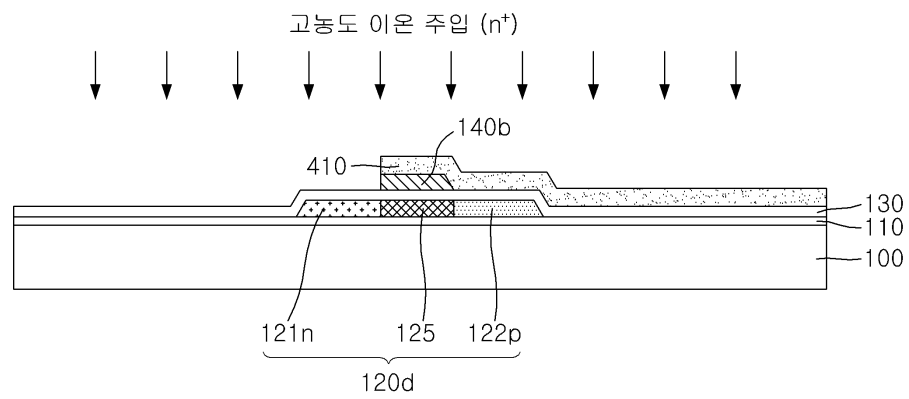
(a)



(b)

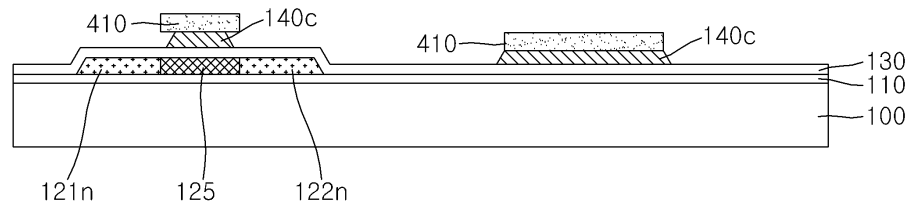


(c)

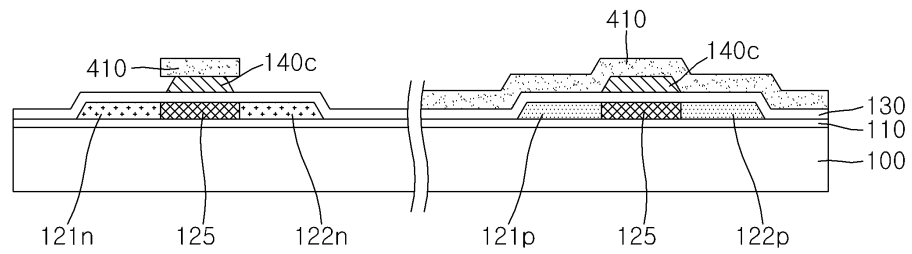


도면7

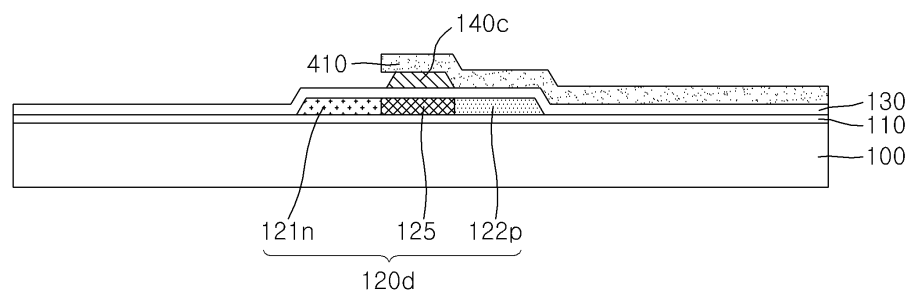
(a)



(b)



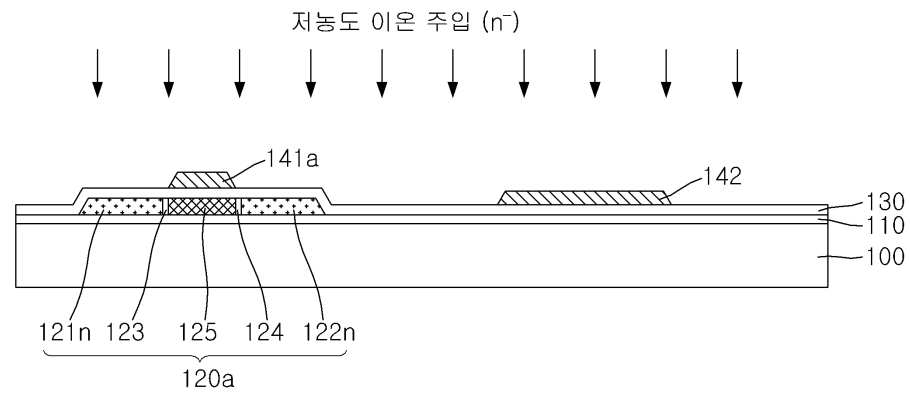
(c)



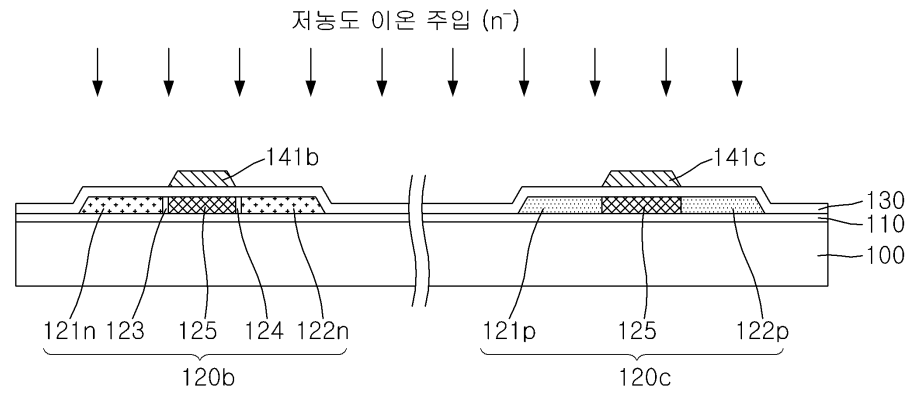
도면8

140c(141a,141b,141c,142)

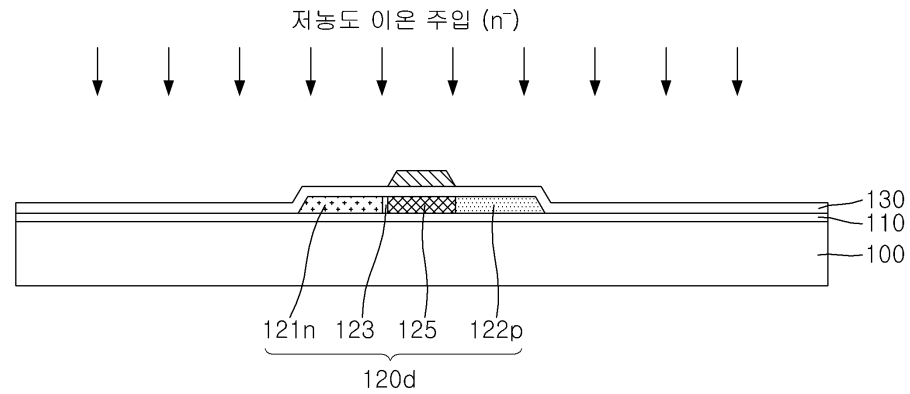
(a)



(b)

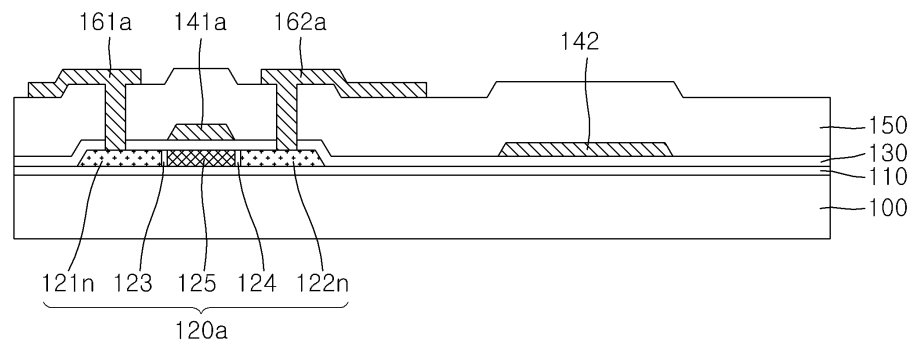


(c)

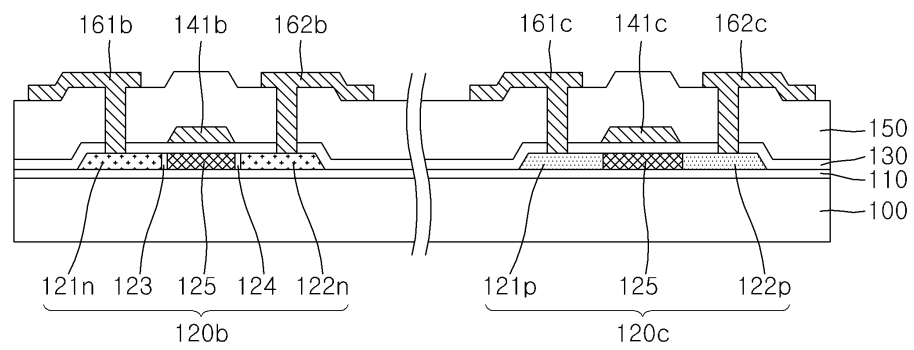


도면9

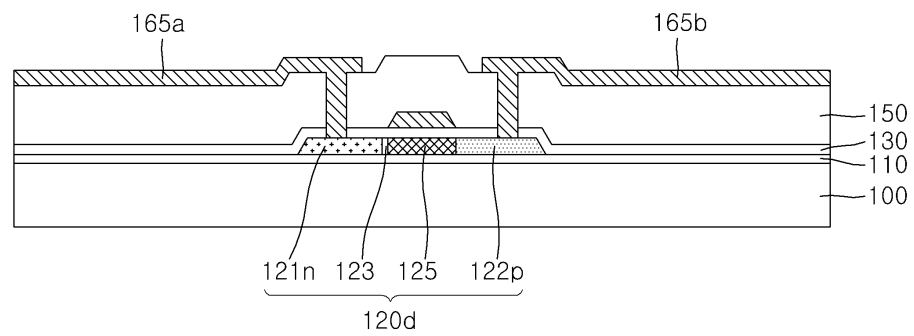
(a)



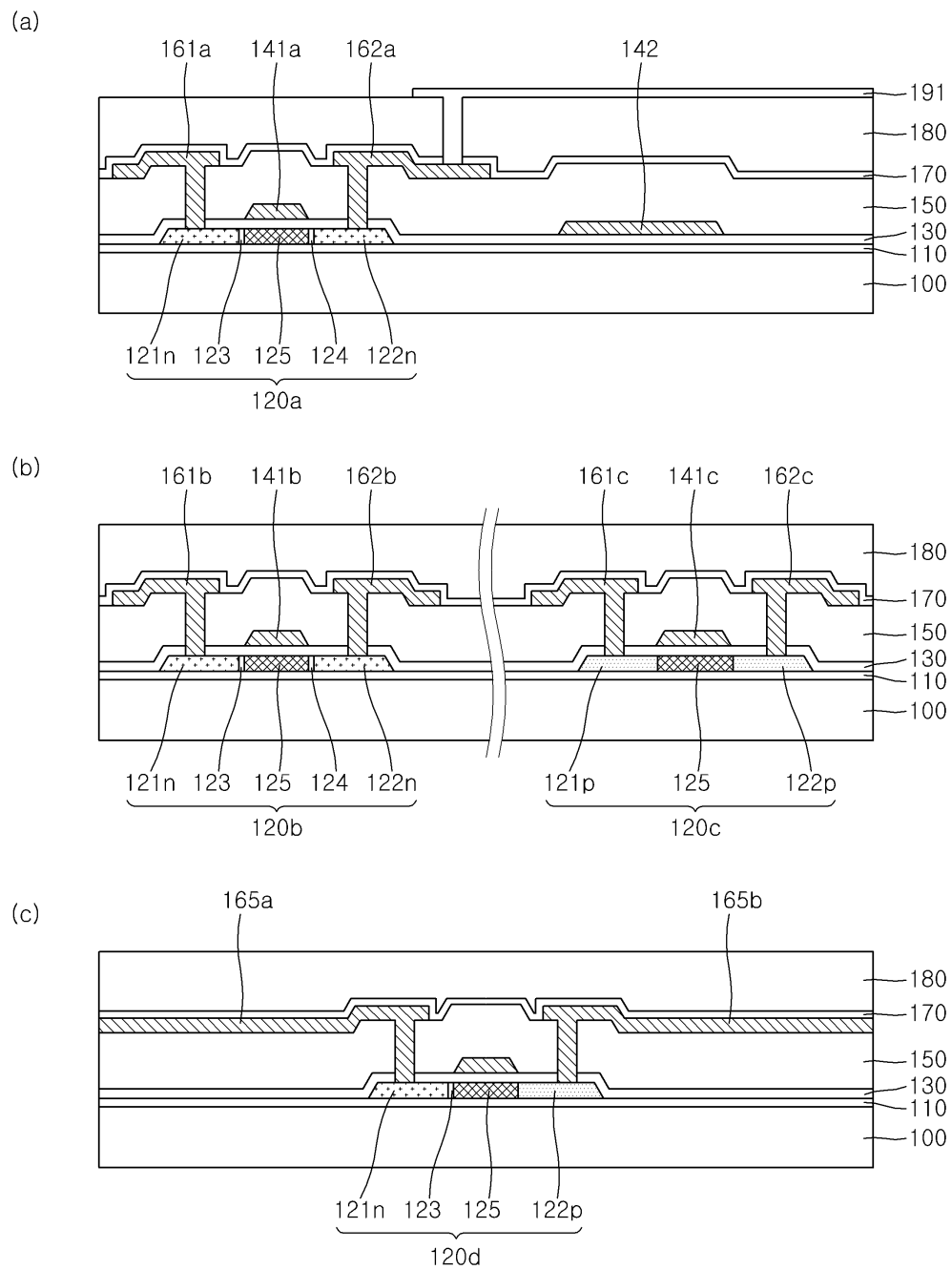
(b)



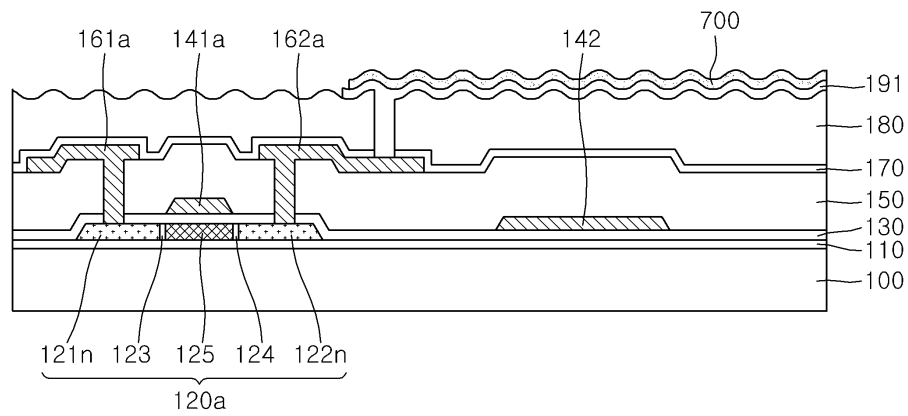
(c)



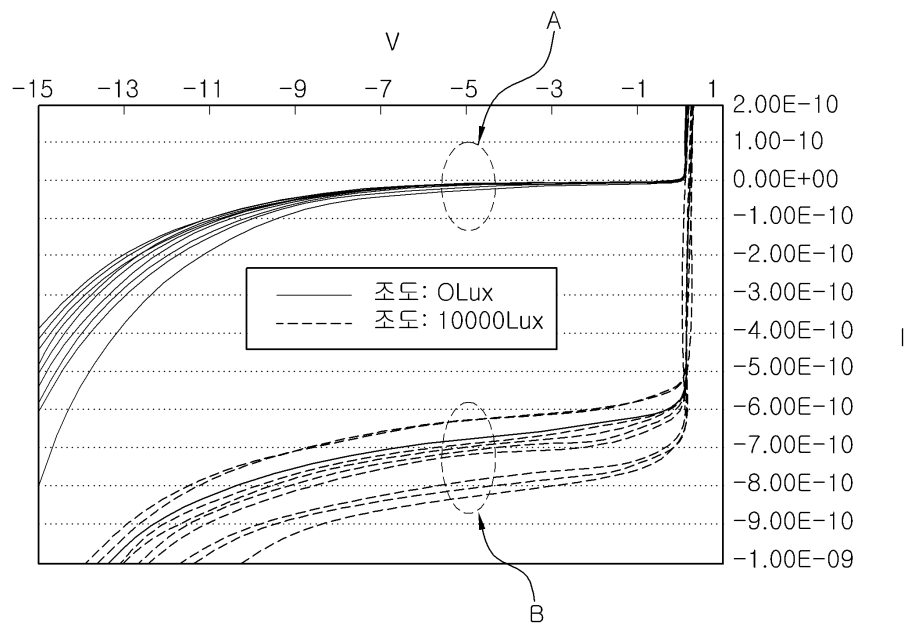
도면10



도면11



도면12



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020080044049A	公开(公告)日	2008-05-20
申请号	KR1020060112858	申请日	2006-11-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM CHEOL MIN 김철민 LEE GI CHANG 이기창 CHOI YANG HWA 최양화		
发明人	김철민 이기창 최양화		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 G02F2001/13312 G02F2001/133388 H01L27/12 G02F1/13318		
其他公开文献	KR101309174B1		

摘要(译)

本发明涉及形成在显示区域的多个薄膜晶体管中的赤道构象，其中所述显示区域指示图像和限定外围区域的面板和显示区域，并且在外围区域上形成p型薄膜晶体管并且n型薄膜晶体管和显示区域或外围区域。并且提出了用于包括形成的至少一个光电二极管的显示装置及其制造方法。这种本发明一起可以形成n型薄膜晶体管，并且在使用多晶硅的薄膜晶体管形成中的p型薄膜晶体管和光电二极管没有单独的工艺增加。并且可以使用该设备组织各种外围电路。因此，虽然排序使各种设备和它设置制造成本可以减少。并且对于薄的成形是有利的。多晶硅，薄膜晶体管，光电二极管，液晶显示器。

