



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000254
(43) 공개일자 2008년01월02일

(51) Int. Cl.

G02F 1/1368 (2006.01)

(21) 출원번호 10-2006-0057904

(22) 출원일자 2006년06월27일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

채기성

인천 연수구 동춘동 한양1차아파트 111동 607호

(74) 대리인

김용인, 심창섭

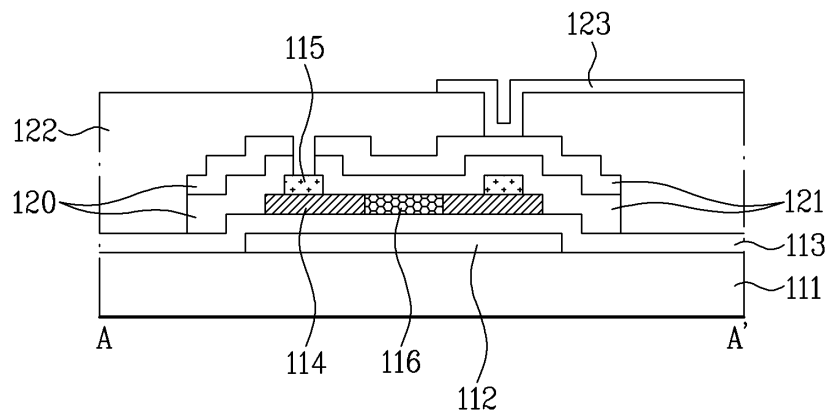
전체 청구항 수 : 총 20 항

(54) 박막 트랜지스터 및 이의 제조방법, 이를 이용한액정표시장치 및 이의 제조방법

(57) 요약

본 발명은 액정표시장치 및 이의 제조방법에 관한 것으로, 특히 박막 트랜지스터는 기판, 상기 기판 상부 소정의 부위에 형성되는 게이트 전극, 상기 게이트 전극을 포함한 기판 전면에 형성되는 게이트 절연막, 상기 게이트 전극 중앙 부분의 게이트 절연막 상에 형성되는 자화금속, 상기 자화 금속을 둘러싸면서 형성되고 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물 질로 이루어진 반도체층 및 상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 형성되는 소스전극과 드레인 전극을 포함하여 구성됨을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관;

상기 기관 상부 소정의 부위에 형성되는 게이트 전극;

상기 게이트 전극을 포함한 기관 전면에 형성되는 게이트 절연막;

상기 게이트 전극 중앙 부분의 게이트 절연막 상에 형성되는 자화금속;

상기 자화 금속을 둘러싸면서 형성되고 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 이루어진 반도체층; 및

상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 형성되는 소스 전극과 드레인 전극을 포함하여 구성됨을 특징으로 하는 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 소스 전극과 드레인 전극은 투명한 금속으로 이루어진 막과 상기 투명한 금속으로 이루어진 막 상부에 저저항 금속으로 이루어진 막의 이중금속막으로 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제 2 항에 있어서,

상기 투명한 금속으로 이루어진 막은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 중 어느 하나이고, 상기 저저항 배선으로 이루어진 막은 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-우라늄(MoW) 중 어느 하나인 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제 1 항에 있어서,

상기 나노 물질은 나노와이어, 나노케이블 및 나노튜브 중 어느 하나로 이루어진 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 반도체층 상부의 중앙 부위에 형성된 고정판을 더 포함하여 구성됨을 특징으로 하는 박막 트랜지스터.

청구항 6

기관;

상기 기관 상부 소정의 부위에 형성되는 게이트 전극;

상기 게이트 전극을 포함한 기관 전면에 형성되는 게이트 절연막;

상기 게이트 전극 중앙 부분의 게이트 절연막 상에 형성되는 자화금속;

상기 자화 금속을 둘러싸면서 형성되고 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 이루어진 반도체층;

상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 형성되는 소스 전극과 드레인 전극;

상기 반도체층, 소스 전극, 드레인 전극을 포함한 기관 전면에 형성되며, 상기 드레인 전극 상부에 콘택홀을 구비한 보호막; 및

상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되어 형성된 화소전극을 포함하여 구성됨을 특징으로

하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 소스 전극과 드레인 전극은 투명한 금속으로 이루어진 막과 상기 투명한 금속으로 이루어진 막 상부에 저저항 배선으로 이루어진 막의 이중금속막으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 투명한 금속으로 이루어진 막은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 중 어느 하나이고, 상기 저저항 배선으로 이루어진 막은 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-우라늄(MoW) 중 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 9

제 6 항에 있어서,

상기 나노 물질은 나노와이어, 나노케이블 및 나노튜브 중 어느 하나로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 10

제 6 항에 있어서,

상기 반도체층 상부의 중앙 부위에 형성된 고정판을 더 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 11

기관 상부 소정의 부위에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 기관 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극 중앙 부분의 게이트 절연막 상에 자화금속을 형성하는 단계;

상기 자화금속을 둘러싸면서 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 구성된 반도체층을 형성하는 단계; 및

상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 소스/드레인 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 12

제 11 항에 있어서, 상기 소스/드레인 전극은

상기 반도체층, 자화금속을 포함한 기관 전면에 투명한 금속으로 이루어진 막과 상기 투명한 금속으로 이루어진 막의 상부에 저저항 배선으로 이중금속막을 형성하는 단계; 및

상기 이중금속막을 선택적으로 패터닝하여 소스/드레인 전극을 형성하는 단계로 이루어짐을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 13

제 12 항에 있어서,

상기 투명한 금속으로 이루어진 막은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 어느 하나를 사용하고, 상기 저저항 배선으로 이루어진 막은 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-우라늄(MoW) 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 14

제 11 항에 있어서,

상기 나노 물질은 나노와이어, 나노케이블 및 나노튜브 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 15

제 11 항에 있어서,

상기 반도체층 상부의 중앙 부분에 고정판을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 16

기관 상부 소정의 부위에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 기관 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극 중앙 부분의 게이트 절연막 상에 자화금속을 형성하는 단계;

상기 자화금속을 둘러싸면서 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 구성된 반도체층을 형성하는 단계;

상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 소스/드레인 전극을 형성하는 단계;

상기 드레인 전극의 표면이 소정부분 노출되도록 상기 보호막을 선택적으로 제거하여 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조 방법.

청구항 17

제 16 항에 있어서, 상기 소스/드레인 전극은

상기 반도체층, 자화금속을 포함한 기관 전면에 투명한 금속으로 이루어진 막과 상기 투명한 금속으로 이루어진 막의 상부에 저저항 배선으로 이중금속막을 형성하는 단계; 및

상기 이중금속막을 선택적으로 패터닝하여 소스/드레인 전극을 형성하는 단계로 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 투명한 금속으로 이루어진 막은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 어느 하나를 사용하고, 상기 저저항 배선으로 이루어진 막은 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-우라늄(MoW) 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 16 항에 있어서,

상기 나노 물질은 나노와이어, 나노케이블 및 나노튜브 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 16 항에 있어서,

상기 반도체층 상부의 중앙 부분에 고정판을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시

장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 표시장치 및 그의 제조방법에 관한 것으로, 특히 박막트랜지스터 및 그의 제조방법, 이를 이용한 액정표시장치 및 그의 제조방법에 관한 것이다.
- <12> 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.
- <13> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이 하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <14> 일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.
- <15> 여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.
- <16> 그리고, 제 2 유리 기판(칼라 필터 어레이 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 차광층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.
- <17> 이와 같은 상기 제 1, 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씰(seal)재에 의해 합착되어 상기 두 기판 사이에 액정이 주입된다.
- <18> 한편, 상기 박막트랜지스터는 활성층으로 반도체막을 이용한다. 상기 반도체막은 비정질 실리콘 또는 결정성 실리콘으로 형성된다. 저온에서 기상 퇴적법으로 비교적 용이하게 제조될 수 있고 따라서 양산에 적합한 비정질 실리콘으로 형성된 반도체막을 가장 널리 사용했다.
- <19> 그러나 상기 결정성 실리콘으로 형성된 반도체막을 포함하는 박막트랜지스터는 고속 동작을 실현하도록 큰 전류에 대한 충분한 구동능력을 가지며, LCD의 주변 구동 회로가 동일 기판상에서 표시부와 일체로 형성될 수 있게 한다. 이러한 이유들 때문에, 결정성 실리콘을 포함하는 박막트랜지스터가 오늘날 주목을 받고 있다.
- <20> 도 1은 일반적인 액정표시장치를 나타낸 평면도이다.
- <21> 도 1에 도시한 바와 같이, 하부 기판(10)상에 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(11)이 배열되고, 상기 게이트 라인(11)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(12)이 배열된다.
- <22> 그리고 상기 게이트 라인(11)과 데이터 라인(12)이 교차되어 정의된 각 화소영역(P)에는 매트릭스 형태로 형성되는 화소전극(16)과, 상기 게이트 라인(11)의 신호에 의해 스위칭되어 상기 데이터 라인(12)의 신호를 상기 각 화소전극(16)에 전달하는 복수개의 박막트랜지스터가 형성된다.
- <23> 여기서, 상기 박막 트랜지스터는 상기 게이트 라인(11)으로부터 돌출되어 형성되는 게이트 전극(13)과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과, 상기 게이트 전극(13) 상측의 게이트 절연막위에 형성되는

반도체층(14)과, 상기 데이터 라인(12)으로부터 돌출되어 형성되는 소오스 전극(15a)과, 상기 소오스 전극(15a)에 일정한 간격을 갖고 형성되는 드레인 전극(15b)을 포함하여 구성되어 있다.

- <24> 여기서, 상기 드레인 전극(15b)은 상기 콘택홀(17)을 통해 상기 화소전극(16)과 전기적으로 연결되어 있다.
- <25> 한편, 상기와 같이 구성된 하부 기판(10)은 일정한 공간을 갖고 상부 기판(도시되지 않음)과 합착된다.
- <26> 여기서, 상기 상부 기판에는 하부 기판(10)에 형성된 화소영역(P)과 각각 대응되는 개구부를 가지며 광 차단 역할을 수행하는 블랙 매트릭스(black matrix)층과, 칼라 색상을 구현하기 위한 적/녹/청(R/G/B) 컬러 필터층 및 상기 화소전극(반사전극)(16)과 함께 액정을 구동시키는 공통전극을 포함하여 구성되어 있다.
- <27> 이와 같은 하부 기판(10)과 상부 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착된 두 기판 사이에 액정이 주입된다.
- <28> 이하, 첨부된 도면을 참고하여 종래의 액정표시장치의 제조방법을 설명하면 다음과 같다.
- <29> 도 2a 내지 도 2f는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <30> 도 2a에 도시한 바와 같이, 투명한 유리 기판(41)상에 Al, Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu, Al 합금 등으로 된 금속 중에서 선택하여 스퍼터링법에 의해 200~4000Å의 두께로 금속막을 증착한다.
- <31> 이어, 상기 금속막을 포토 및 식각 공정을 통해 선택적으로 에칭하여 상기 유리 기판(41)상에 게이트 전극(42)을 형성한다.
- <32> 여기서, 상기 게이트 전극(42)이 양극산화 가능한 금속일 경우에는 힐락(hillock) 방지를 위해 게이트 전극(42)을 양극 산화할 수 있다.
- <33> 도 2b에 도시한 바와 같이, 상기 게이트 전극(42)을 포함한 유리 기판(41)의 전면에 실리콘 질화막 또는 실리콘 산화막으로 이루어진 게이트 절연막(43)을 형성한다.
- <34> 이어, 상기 게이트 절연막(43)상에 비정질 실리콘층(a-Si layer)(44)과 오믹 콘택층(n+)(45)을 차례로 형성한다.
- <35> 한편, 상기 비정질 실리콘층(44)을 결정화할 수도 있다.
- <36> 도 2c에 도시한 바와 같이, 포토 및 식각 공정을 통해 상기 오믹 콘택층(45) 및 비정질 실리콘층(44)을 선택적으로 제거하여 액티브층(44a)을 형성한다.
- <37> 여기서, 상기 액티브층(44a)은 상기 게이트 전극(42)과 대응되면서 상기 게이트 전극(42)을 감싸고 형성되어 있다.
- <38> 도 2d에 도시한 바와 같이, 상기 유리 기판(41)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 전기적으로 분리된 소오스 전극(46)과 드레인 전극(47)을 형성한다.
- <39> 여기서, 상기 소오스 전극(46)과 드레인 전극(47)을 형성하기 위해 상기 금속막을 식각하는 공정은 습식 식각(wet etch) 공정을 사용하고 있다.
- <40> 또한, 상기 소오스 전극(46) 및 드레인 전극(47)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속막을 사용한다.
- <41> 그리고 상기 소오스 전극(46) 및 드레인 전극(47) 사이에 노출된 오믹 콘택층(45)을 건식 식각을 이용하여 선택적으로 제거하여 분리한다.
- <42> 여기서, 상기 오믹 콘택층(45)을 제거할 때 그 하부의 액티브층(44a)도 소정 두께만큼 제거된다. 즉, 상기 오믹 콘택층(45)을 제거할 때 상기 액티브층(44a)에 데미지(damage)가 가해진다.
- <43> 도 2e에 도시한 바와 같이, 상기 소오스 전극(46) 및 드레인 전극(47)을 포함한 유리 기판(41)의 전면에 보호막(48)을 형성하고, 상기 드레인 전극(47)의 표면이 소정부분 노출되도록 상기 보호막(48)을 선택적으로 제거하여 콘택홀(49)을 형성한다.
- <44> 도 2f에 도시한 바와 같이, 상기 콘택홀(49)을 포함한 유리 기판(41)의 전면에 투명한 금속막을 증착한 후, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 상기 콘택홀을 통해 상기 드레인 전극(47)과 전기적으로 연결되는 화소전극(50)을 형성한다.

<45> 또한, 상기 액티브층(44a)으로 결정상을 갖는 폴리 실리콘을 사용하는 경우 폴리 실리콘 박막 트랜지스터를 제조할 수 있다.

발명이 이루고자 하는 기술적 과제

<46> 그러나 종래 기술에 의한 비정질 실리콘 박막 트랜지스터와 폴리 실리콘 박막 트랜지스터로 이루어진 액정표시장치는 다음과 같은 문제점이 있다.

<47> 즉, 상기 비정질 실리콘 박막 트랜지스터의 경우 캐리어 이동도(mobility)가 낮기 때문에 빠른 동작 특성을 요하는 구동 회로의 트랜지스터 소자를 형성하는 용도로는 적합하지 않다.

<48> 또한, 상기 폴리 실리콘 박막 트랜지스터의 경우 비정질 실리콘 박막 트랜지스터에 비해 캐리어의 이동도(mobility)가 10배에서 100배정도 더 높아, 기판 위에 구동회로를 만들 수 있으므로, 고해상도 패널의 스위칭소자로 유리하다. 그러나 기판에 폴리 실리콘 박막을 형성하기 위해서는 먼저 비정질 실리콘 박막을 저온 CVD공정을 통해 형성하고, 여기에 레이저 광선을 조사하는 등의 결정화를 위한 부가 공정이 필요하다는 문제가 있다.

<49> 본 발명은 상기와 같은 종래의 문제를 해결하기 위한 것으로 캐리어의 이동도를 높이면서 결정화를 위한 부가공정을 필요로 하지 않는 박막 트랜지스터 및 이의 제조방법, 이를 이용한 액정표시장치 및 그의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<50> 상기와 같은 목적에 따른 본 발명에 의한 박막 트랜지스터는 기판, 상기 기판 상부 소정의 부위에 형성되는 게이트 전극, 상기 게이트 전극을 포함한 기판 전면에 형성되는 게이트 절연막, 상기 게이트 전극 중앙 부분의 게이트 절연막 상에 형성되는 자화금속, 상기 자화 금속을 둘러싸면서 형성되고 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 이루어진 반도체층 및 상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 형성되는 소스전극과 드레인 전극을 포함하여 구성됨을 특징으로 한다.

<51> 상기와 같은 목적에 따른 본 발명에 의한 액정표시장치는 기판, 상기 기판 상부 소정의 부위에 형성되는 게이트 전극, 상기 게이트 전극을 포함한 기판 전면에 형성되는 게이트 절연막, 상기 게이트 전극 중앙 부분의 게이트 절연막 상에 형성되는 자화금속, 상기 자화 금속을 둘러싸면서 형성되고 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 이루어진 반도체층 및 상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 형성되는 소스 전극과 드레인 전극, 상기 반도체층, 소스 전극, 드레인 전극을 포함한 기판 전면에 형성되며, 상기 드레인 전극 상부에 콘택홀을 구비한 보호막 및 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되어 형성된 화소전극을 포함하여 구성됨을 특징으로 한다.

<52> 또한, 상기와 같은 목적에 따른 본 발명에 의한 박막 트랜지스터의 제조 방법은 기판 상부 소정의 부위에 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 게이트 전극 중앙 부분의 게이트 절연막 상에 자화금속을 형성하는 단계, 상기 자화금속을 둘러싸면서 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 구성된 반도체층을 형성하는 단계 및 상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 소스/드레인 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

<53> 상기와 같은 목적에 따른 본 발명에 의한 액정표시장치의 제조 방법은 기판 상부 소정의 부위에 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 게이트 전극 중앙 부분의 게이트 절연막 상에 자화금속을 형성하는 단계, 상기 자화금속을 둘러싸면서 상기 자화금속의 측면과 자장입자에 의해 결합되는 나노물질로 구성된 반도체층을 형성하는 단계, 상기 반도체층의 양측에 일정간격만큼 이격되어 이중금속막으로 소스/드레인 전극을 형성하는 단계, 상기 드레인 전극의 표면이 소정부분 노출되도록 상기 보호막을 선택적으로 제거하여 콘택홀을 형성하는 단계; 및 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

<54> 이하, 첨부된 도면을 참고하여 본 발명에 의한 박막 트랜지스터 및 이의 제조방법, 이를 이용한 액정표시장치 및 이의 제조방법을 보다 상세히 설명하면 다음과 같다.

<55> 도 3, 도 4는 본 발명의 일 실시예로서, 도 3은 본 발명에 의한 액정표시장치를 나타낸 평면도이고, 도 4는 도 3의 A-A'선에 따른 액정표시장치를 나타낸 단면도이다.

- <56> 본 발명에 의한 박막 트랜지스터는 도 3, 도 4에 도시된 바와 같이, 기판(111), 상기 기판(111) 상부 소정의 부위에 형성되는 게이트 전극(112), 상기 게이트 전극(112)을 포함한 기판(111) 전면에 형성되는 게이트 절연막(113), 상기 게이트 전극(112) 중앙 부분의 게이트 절연막(113) 상에 형성되는 자화금속(116), 상기 자화금속(116)을 둘러싸면서 형성되고 상기 자화금속(116)의 측면과 자장입자에 의해 결합되는 나노물질로 이루어진 반도체층(114), 상기 반도체층(114) 상부에 형성된 고정판(115) 및 상기 반도체층(114)의 양측에 일정간격만큼 이격되어 이중금속막으로 형성되는 소스전극(120)과 드레인 전극(121)을 포함하여 구성되어 있다.
- <57> 여기서, 상기 자화금속(116)은 사각형 형태를 가지고 있고, 상기 고정판(115)는 상기 자화금속(116)과 오버랩되지 않으면서 상기 반도체층(114) 상부에 사각형 형태로 형성되어 있다.
- <58> 이어, 상기와 같은 목적에 따른 본 발명의 액정표시장치는 도 3, 도 4에 도시된 바와 같이 상기 반도체층(114), 소스 전극(120), 드레인 전극(121)을 포함한 기판(111) 전면에 형성되며, 상기 드레인 전극(121) 상부에 콘택홀(130)을 구비한 보호막(122) 및 상기 콘택홀(130)을 통해 상기 드레인 전극(121)과 전기적으로 연결되어 형성된 화소전극(123)을 더 포함하여 구성되어 있다.
- <59> 도 5a 내지 도 5g는 본 발명에 의한 액정표시장치의 제조방법을 나타낸 공정 단면도이다.
- <60> 본 발명의 액정표시장치의 제조방법은 먼저, 도 5a와 같이, 투명한 재질의 유리 기판(111) 상에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr) 등의 저저항 금속 물질을 적어도 한층 이상으로 증착하고 패터닝하여 게이트 라인(도시하지 않음) 및 상기 게이트 라인에서 분기 되는 게이트 전극(112)을 형성한다.
- <61> 이어, 상기 게이트 전극(112)을 포함한 기판(111) 전면에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 절연물질을 증착하여 게이트 절연막(113)을 형성한다.
- <62> 도 5b와 같이, 상기 게이트 절연막(113)을 포함한 기판(111)의 전면에 니켈(Ni) 금속을 증착하고, 포토 및 식각 공정을 통해 상기 게이트 전극(112) 중심 부분의 게이트 절연막(113) 상에 사각형의 니켈 금속 패터를 형성한다. 그리고, 상기 니켈 금속 패터가 형성된 기판(111)을 자석의 N극과 S극 사이에 위치시킨 후 자화시켜 상기 니켈 금속 패터를 자화금속(116)으로 전환한다.
- <63> 여기서, 상기 자화금속(116)을 형성하기 위하여 니켈 금속을 사용한 것은 본 발명의 기술적 사상을 구체적으로 설명하기 위한 일례로서, 본 발명은 상기 실시예에 한정되지 않으며 철(Fe), 코발트(Co) 등의 강자성체 금속 물질을 이용하는 것이 가능하다.
- <64> 도 5c와 같이, 상기 자화금속(116)을 포함한 기판(111)을 노즐을 통해 반응가스를 공급할 수 있는 유기금속 화학기상 증착기(metalorganic chemical vapor deposition)으로 이동하고, 상기 유기금속 화학기상 증착기에 디에틸아연(diethylzinc, DEZn)과 산소를 각각 5~33 mmol/min, 20~50 sccm 공급하고 500~650℃의 합성온도와 1~3torr의 반응압력을 유지하여 기판(111) 위에 수직으로 배열된 산화아연 나노와이어를 합성하고, 상온에서 니켈을 RF 마그네트론 스퍼터링(magnetron sputtering) 법을 이용하여 산화아연 나노와이어 끝단에 수십나노 크기를 갖는 구형상의 다결정 니켈을 증착한다.
- <65> 그리고 산화아연 나노와이어의 끝단에 코팅된 니켈을 0.5 Tesla의 자력을 갖는 자석의 N극과 S극 사이에 위치시켜 특정방향으로 자화시킨다.
- <66> 다음으로 니켈 금속으로 구성된 자장입자가 일측면에 위치한 산화아연 나노와이어를 이소프로필알콜에 분산시키고, 마이크로피펫 등을 이용하여 나노와이어가 섞여 있는 알콜을 기판 상부에 뿌린다. 이 때 니켈 금속으로 구성된 자장입자가 일측면에 위치한 산화아연 나노와이어는 알콜 내부에서 자유도를 갖고 운동할 수 있으며, 자화금속(116)과 산화아연 나노와이어 끝단의 니켈이 자기적으로 인력을 갖는 방향으로 산화아연 나노와이어가 기판(111) 위의 자화금속(116) 주위에 고정되어 반도체층(114)을 형성한다.
- <67> 상기에서는 나노와이어 끝단에 니켈 금속을 증착한 후 자화시켰으나, 기판에 수십 나노 크기의 니켈 금속 조각을 분산하고, 이를 자석 내부에 위치하여 자화시킨 후 자화된 니켈 조각을 촉매로 이용하여 유기금속 화학기상 증착기를 이용하여 산화아연 나노와이어를 합성하는 것도 가능하다.
- <68> 또한, 상기 자장입자로서 니켈 금속을 사용한 것은 본 발명의 기술적 사상을 구체적으로 설명하기 위한 일례로서, 본 발명은 상기 실시예에 한정되지 않으며 철(Fe), 코발트(Co) 등의 강자성체 금속 물질을 이용하는 것이 가능하다.

- <69> 도 5d와 같이, 상기 반도체층(114)을 포함한 상기 기판(111) 전면에서 네거티브(negative) 타입의 감광성 고분자층을 증착한 후 노광(exposure) 및 현상(develope) 공정으로 상기 감광성 고분자층을 선택적으로 제거하여 상기 반도체층(114)의 중앙 상부에 사각형 형태로 고정판(115)을 형성한다.
- <70> 여기서 상기 감광성 고분자란 빛의 작용에 의해 화학적 또는 물리적으로 변화하는 고분자 중에서, 특히 빛에 의하여 다리결침반응이나 불용화(不溶化)를 일으키는 기능성 고분자를 말하는 것으로 포토아크릴(photoacryl) 등을 사용할 수 있다.
- <71> 또한 상기 고정판(115) 형성을 위한 포토 공정 단계에서 상기 나노와이어로 이루어진 반도체층(114) 위에 네거티브(negative) 타입의 상기 감광성 고분자층을 형성하는 것은 본 발명의 기술적 사상을 구체적으로 설명하기 위한 일례로서, 본 발명은 상기 실시예에 한정되지 않으며 포지티브(positive) 타입의 감광성 고분자층을 형성하는 것도 가능하다. 다만, 포지티브 타입을 사용하는 경우 광이 노출된 부위가 없어지고, 광이 노출되지 않은 부위가 남겨 지는바 이를 고려하여 마스크의 패턴이 네거티브 타입을 사용하는 경우와 비교하여 반대로 되어야 한다.
- <72> 도 5e와 같이, 상기 고정판(115), 반도체층(114)을 포함한 게이트 절연막(113) 상의 기판 전면에서 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명한 금속 물질 중 어느 하나를 증착한다.
- <73> 그리고 상기 투명한 금속으로 형성된 금속막 상부에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-우라늄(MoW) 등의 저저항 금속 물질 중 어느 하나를 스퍼터링(sputtering) 방법으로 증착한다.
- <74> 다음으로 포토 및 식각 공정을 적용하여 상기 투명한 금속으로 이루어진 막과 저저항 금속으로 이루어진 막을 선택적으로 패터닝함으로써 상기 반도체층(114)의 양측 단에 일정 간격만큼 이격되는 소스전극과 드레인 전극(120,121)을 형성한다.
- <75> 도 5f와 같이, 상기 고정판(115), 소스/드레인 전극(120,121)을 포함한 기판(111)의 전면에서 무기재료인 SiNx, SiO₂를 화학기상증착 방법으로 증착하거나 또는 유기재료인 BCB(Benzocyclobutene), 아크릴계 수지(acryl resin)를 도포하여 보호막(122)을 형성한다.
- <76> 다음으로 상기 드레인 전극(121)의 표면이 소정부분 노출되도록 상기 보호막(122)을 선택적으로 식각하여 콘택홀(130)을 형성한다.
- <77> 도 5g와 같이, 상기 콘택홀(130)을 포함한 기판(111)의 전면에서 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명한 금속을 증착하고, 포토 및 식각 공정을 통해 상기 투명한 금속을 선택적으로 패터닝하여 상기 콘택홀(130)을 통해 상기 드레인 전극(121)과 전기적으로 연결되는 화소전극(123)을 형성한다.
- <78> 본 발명의 상기 고정판(115)을 형성하는 단계에서 고정판(115)은 반도체층(114)의 중간 위치에 형성하여 상기 반도체층(114)과 상기 소스/드레인 전극(120, 121) 간의 접촉에 있어서 문제가 일어나지 않도록 해야 한다. 상기 고정판(115)이 상기 반도체층(114)의 한쪽 끝으로 치우치는 경우에는 반도체층(114)과 소스 전극(120) 또는 드레인 전극(121)과의 접촉이 이루어지지 않는 문제가 발생할 수 있기 때문이다. 따라서 고정판(115)은 반도체층의 중간 위치에 형성함이 바람직하다.
- <79> 상기 고정판(115)의 길이는 반도체층(114)의 길이보다 짧아야 반도체층(114)과 소스/드레인 전극(120,121)과의 접촉에 문제가 발생하지 않는다. 또한 고정판(115)의 길이는 적어도 소스 전극(120)과 드레인 전극(121)의 간격보다는 커야 한다. 이는 소스/드레인 전극(120,121)을 식각하는 공정에 있어서 에치 스토퍼(etch stopper)의 역할을 하여 반도체층(114)을 보호하기 위함이다.
- <80> 상기에서는 반도체층(114)으로 사용되는 나노와이어가 ZnO나노와이어를 사용하는 것으로 한정하여 설명하였으나, 이에 한정하지 않고, Si나노와이어, GaN나노와이어, Ge나노와이어, InP나노와이어에도 적용되는 등 다양한 형태의 변형이 가능하고, 이러한 기술적 사상의 여러 실시 형태는 모두 본 발명의 보호범위에 속함은 당연하다.
- <81> 또한, 상기에서는 반도체층(114)으로 나노와이어를 사용하는 것으로 한정하여 설명하였으나, 이에 한정하지 않고 나노케이블(nanocable), 탄소나노튜브(carbon nanotube) 등의 나노물질에도 적용되는 등 다양한 형태의 변형이 가능하고, 이러한 기술적 사상의 여러 실시 형태는 모두 본 발명의 보호범위에 속함은 당연하다.
- <82> 상기 탄소나노튜브는 6각형 고리로 연결된 탄소들이 긴 대롱 모양을 이루는 지름 1나노미터(1나노미터는 10억분

의 1m) 크기의 미세한 분자이다. 탄소원자가 3개씩 결합해 벌집 모양의 구조를 갖게 된 탄소평면이 도르르 말려서 튜브모양이 됐다고 해서 붙여진 이름이다. 인장력이 강철보다 1백배 강하고 유연성이 뛰어난 미래형 신소재다. 속이 비어있어 가볍고, 전기도 구리만큼 잘 통하며, 열전도도 다이아몬드만큼이나 좋은 것으로 알려져 있다. 탄소나노튜브는 그 튜브의 지름이 얼마나 되느냐에 따라 도체가 되기도 하고 반도체가 되는 성질이 있음이 밝혀지면서 차세대 반도체 물질로 각광을 받고 있다.

<83> 상기 나노케이블은 나노크기의 동축케이블 모양으로 선로의 단면을 보면 동심원 형태로 되어 있다. 상기 발명에 적용할 경우 내부는 반도체로 되어 있어 소스 전극과 드레인 전극을 연결하는 채널(channel)을 형성하고, 외부는 부도체로 되어있어 별도의 절연막(insulator)을 형성할 필요가 없다는 장점을 가지고 있다.

<84> 그리고 본 발명은 바텀(bottom) 게이트형의 박막트랜지스터 및 액정표시장치에 한정되는 것이 아니고, 탑(top) 게이트형의 박막트랜지스터 및 액정표시장치에도 적용되며 이는 본 발명의 보호범위에 속함은 당연하다.

<85> 한 편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

<86> 상기한 바와 같은 본 발명에 의한 박막 트랜지스터 및 이의 제조방법, 이를 이용한 액정표시장치 및 이의 제조방법은 다음과 같은 효과가 있다.

<87> 첫째, 반도체층으로 나노와이어를 사용함으로써 비정질 실리콘 박막 트랜지스터 및 폴리 실리콘 박막 트랜지스터에 비해 캐리어 이동도(mobility)를 증가시킬 수 있고, 폴리 실리콘 박막 트랜지스터처럼 결정화를 위한 부가 공정을 요하지 않는다.

<88> 둘째, 소스/드레인 전극을 ITO(Indium Tin Oxide)와 저저항금속으로 이루어진 이중 금속 막으로 형성함으로써 나노와이어로 이루어진 반도체층과 소스/드레인 전극 간에 접촉저항을 줄일 수 있다.

<89> 셋째, 소스 전극과 드레인 전극 사이에 오프셋(off-set)을 형성시켜 누설 전류를 감소시킨다.

도면의 간단한 설명

<1> 도 1은 일반적인 액정표시장치를 나타내는 평면도

<2> 도 2a 내지 도 2f는 종래의 액정표시장치의 제조방법을 나타내는 공정단면도

<3> 도 3은 본 발명의 액정표시장치를 나타내는 평면도

<4> 도 4는 도 3의 A-A'선에 따른 본 발명의 액정표시장치를 나타내는 단면도

<5> 도 5a 내지 도 5g는 본 발명에 의한 액정표시장치의 제조방법을 나타내는 공정 단면도

<6> <도면의 주요 부분에 대한 명칭>

<7> 41, 111 : 기판 42, 112 : 게이트 전극

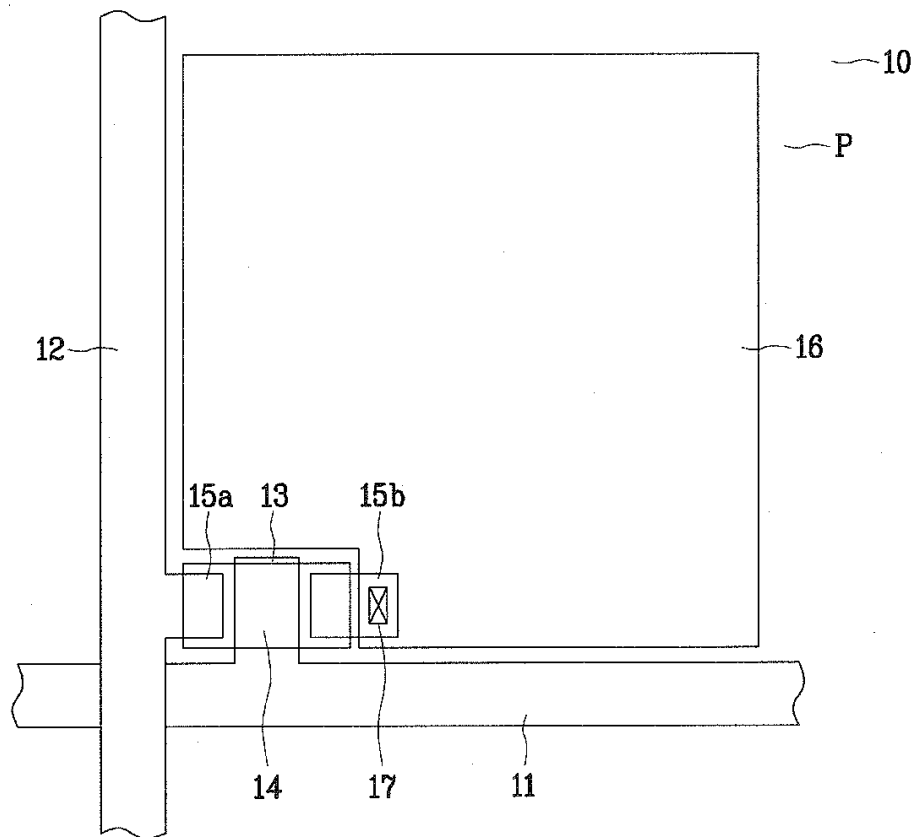
<8> 43, 113 : 게이트 절연막 44a, 114 : 반도체층

<9> 115 : 고정판 46, 120 : 소스 전극

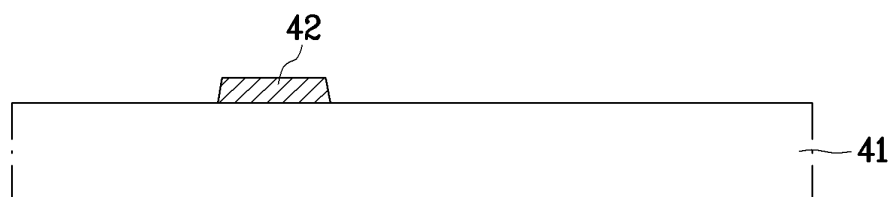
<10> 47, 121 : 드레인 전극

도면

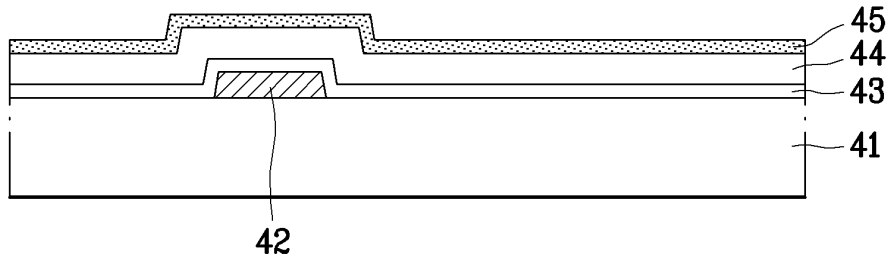
도면1



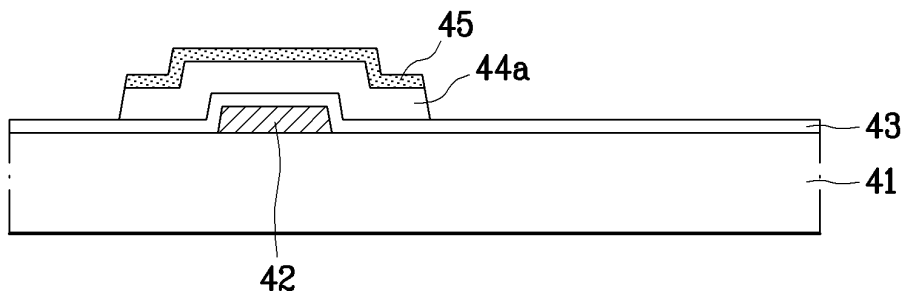
도면2a



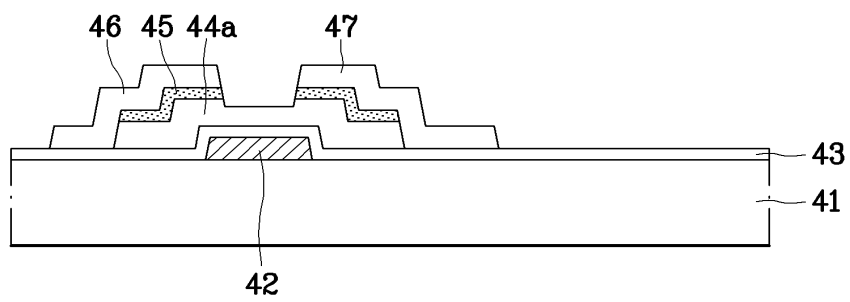
도면2b



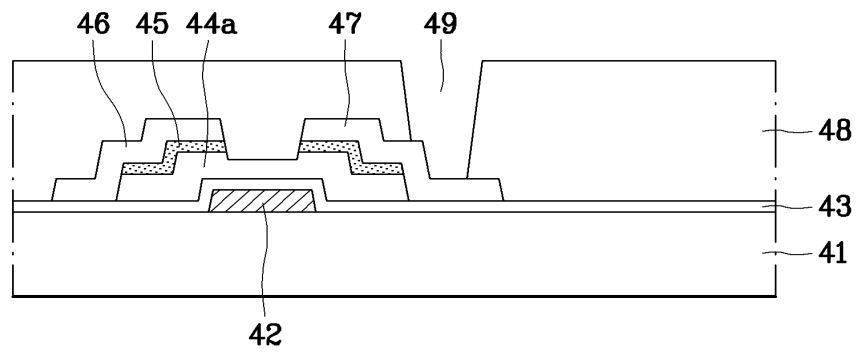
도면2c



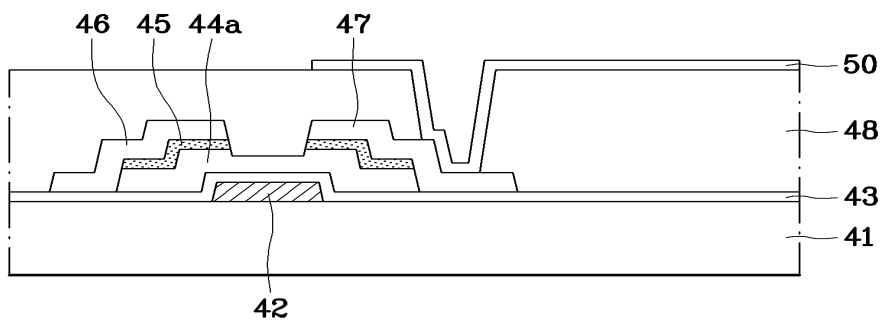
도면2d



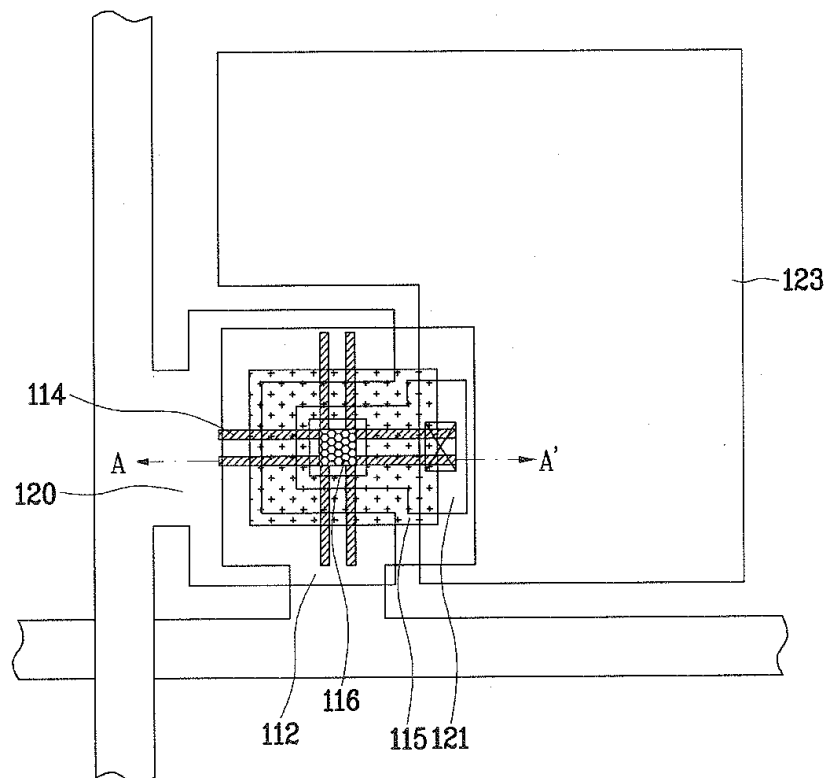
도면2e



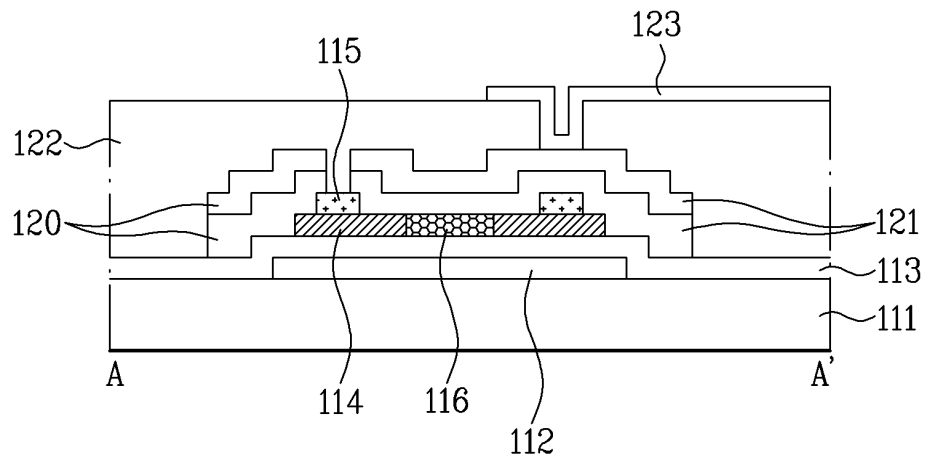
도면2f



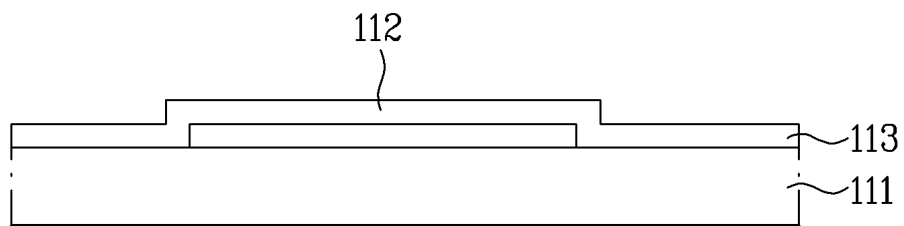
도면3



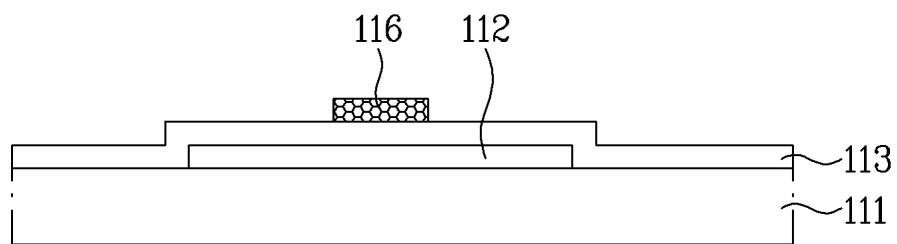
도면4



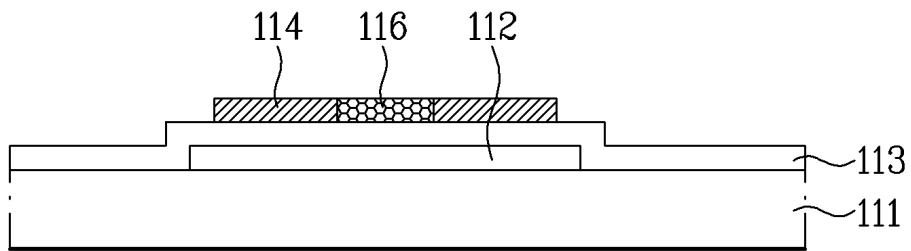
도면5a



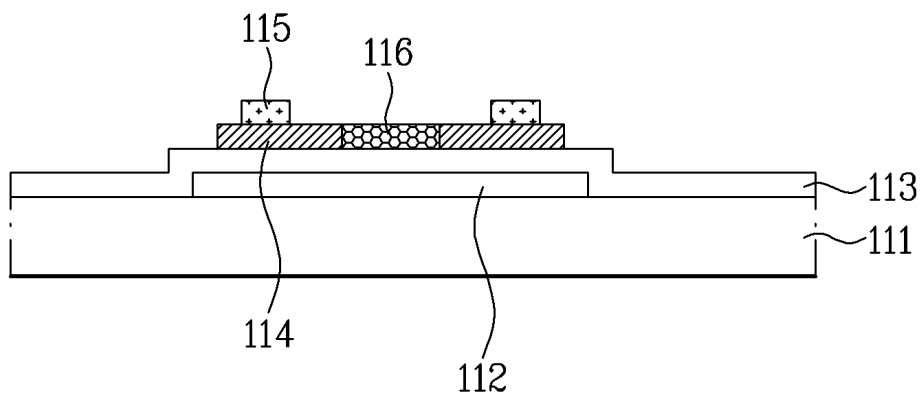
도면5b



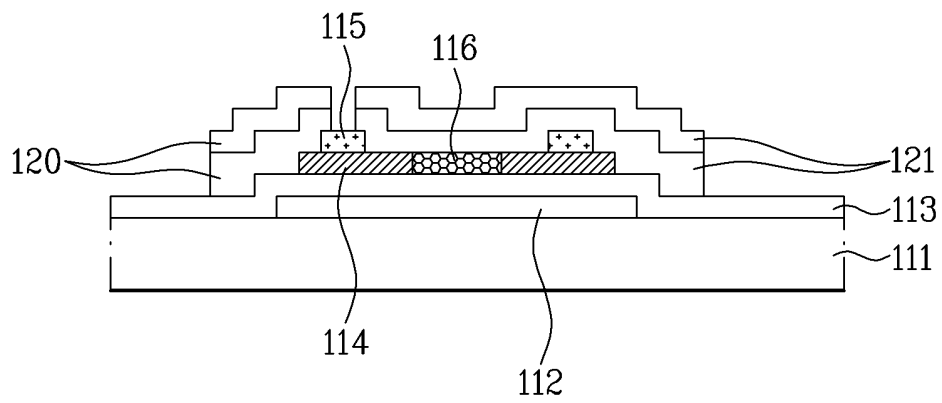
도면5c



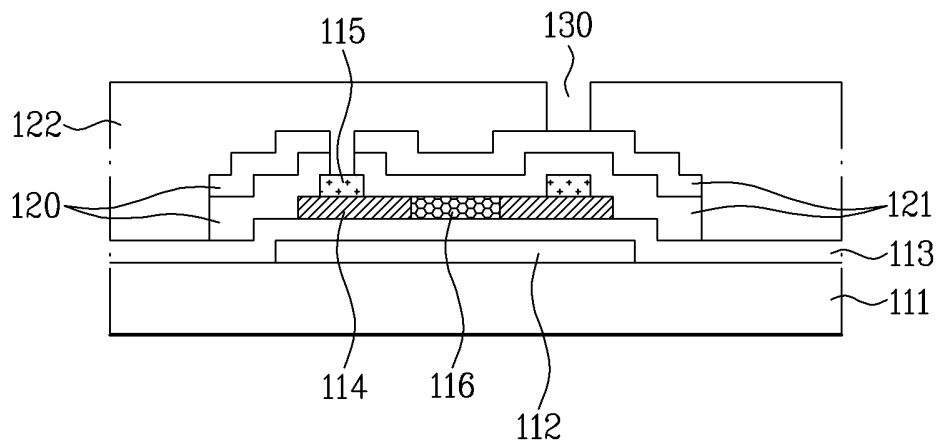
도면5d



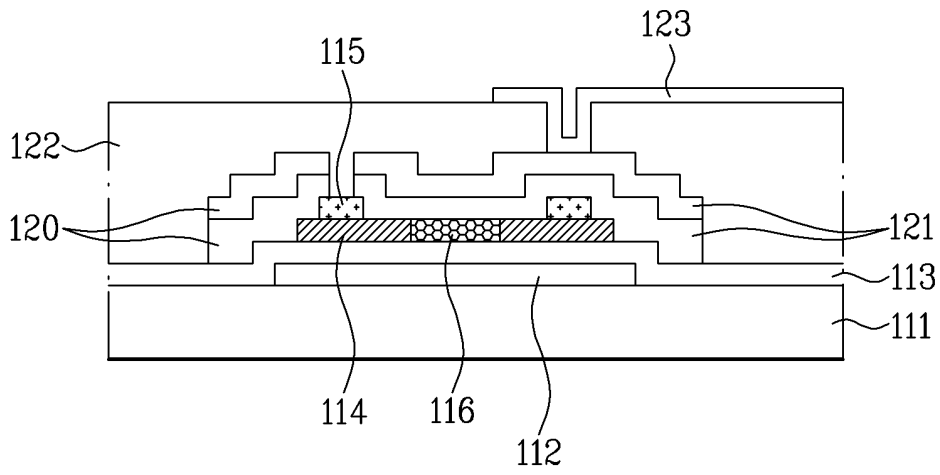
도면5e



도면5f



도면5g



专利名称(译)	薄膜晶体管，其制造方法，使用其的液晶显示装置及其制造方法		
公开(公告)号	KR1020080000254A	公开(公告)日	2008-01-02
申请号	KR1020060057904	申请日	2006-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE GEE SUNG 채기성		
发明人	채기성		
IPC分类号	G02F1/1368 B82Y30/00		
CPC分类号	G02F1/136 B82Y30/00 H01L29/786 H01L27/124 G02F1/136286		
代理人(译)	Bakyoungbok Gimyongin		
其他公开文献	KR101287210B1		
外部链接	Espacenet		

摘要(译)

用途：提供TFT（薄膜晶体管），其制造方法，使用其的LCD及其制造方法，通过将源/漏电极形成减小半导体层和源/漏电极之间的接触电阻由氧化铟锡（ITO）和低电阻金属形成的双金属层。结构：在基板（111）上的预定部分处形成栅电极（112）。栅极介电层（113）形成在包括栅电极的基板的整个表面上。在栅电极的中心部分处的栅极介电层上形成磁化金属（116）。半导体层（114）围绕磁化金属，并且由通过磁场粒子与磁化金属的侧表面耦合的纳米材料形成。源电极（120）和漏电极（121）以预定间隔在半导体层的两侧分开，并且由双金属层形成。©KIPO 2008

