



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0121318
(43) 공개일자 2007년12월27일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0056230
(22) 출원일자 2006년06월22일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

황인재

충남 천안시 두정동 1008번지 304호

(74) 대리인

조희원

전체 청구항 수 : 총 18 항

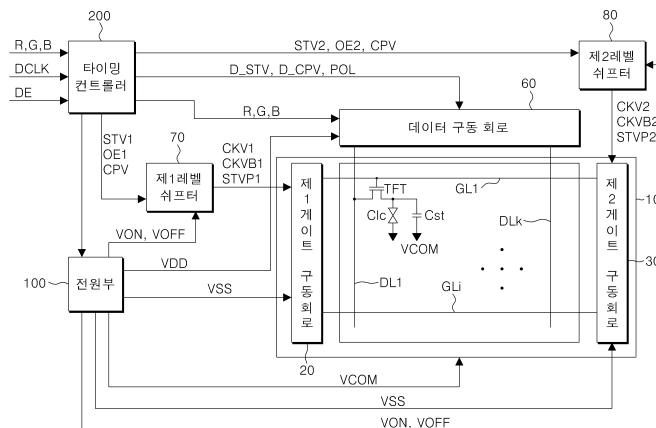
(54) 액정표시장치 및 이의 구동방법

(57) 요약

본 발명은 제1 및 제2 게이트 구동회로를 구비하여 액정패널의 N번째 게이트 라인에 게이트 온 전압이 공급될 때, N+2n번째 게이트 라인에 프리차지 전압을 공급하여 응답속도를 개선한 액정표시장치 및 이의 구동방법을 제공하는 데 있다.

이를 위하여 본 발명은 화상을 표시하는 액정패널과, 상기 액정패널에 형성된 다수의 게이트 라인 일측과 접속되어 상기 다수의 게이트 라인 각각을 구동하는 제1 게이트 구동회로 및 상기 다수의 게이트 라인 타측과 접속되어 상기 다수의 게이트 라인 각각을 구동하는 제2 게이트 구동회로를 구비하고, N번째 게이트 라인에 게이트 온 전압이 공급될 때, N+2n번째 게이트 라인에 프리차지 전압을 공급하는 것을 특징으로 하는 액정표시장치.

대표도 - 도3



특허청구의 범위

청구항 1

화상을 표시하는 액정패널과;

상기 액정패널에 형성된 다수의 게이트 라인 일측 및 타측에 접속되어 상기 다수의 게이트 라인 각각을 구동하는 제1 및 제2 게이트 구동회로를 구비하고,

상기 제1 및 제2 게이트 구동회로 중 어느 하나에서 $N(N$ 은 자연수)번째 게이트 라인에 게이트 온 전압이 공급될 때, 나머지 하나에서 $N+2n(n$ 은 자연수)번째 게이트 라인에 프리차지 전압을 공급하는 것을 특징으로 하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 게이트 구동회로는 상기 액정패널에 집적되어 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

제1 클럭신호와, 제1 반전클럭신호 및 제1 스타트 펄스를 생성하여 상기 제1 게이트 구동회로에 공급하는 제1 레벨 쉬프터; 및

제2 클럭신호와, 제2 반전클럭신호의 및 제2 스타트 펄스를 생성하여 상기 제2 게이트 구동회로에 공급하는 제2 레벨 쉬프터를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 레벨 쉬프터 각각에 게이트 온 전압 및 게이트 오프 전압을 각각 공급하는 전원부; 및

상기 제1 레벨 쉬프터에 첫번째 게이트 라인을 선택하는 제1 게이트 스타트 펄스, 다음 게이트 라인을 선택하는 게이트 쉬프트 클럭과, 상기 제1 클럭신호의 출력을 제어하는 제1 출력제어신호를 공급하고, 상기 제2 레벨 쉬프터에 첫번째 게이트 라인을 선택하는 제2 게이트 스타트 펄스, 다음 게이트 라인을 선택하는 게이트 쉬프트 클럭과, 상기 제2 클럭신호의 출력을 제어하는 제2 출력제어신호를 포함하는 제어신호를 공급하는 타이밍 컨트롤러를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 레벨 쉬프터는 상기 게이트 쉬프트 클럭과 상기 제1 출력제어신호를 OR 연산하여 클럭을 생성하는 로직회로를 더 포함하고,

상기 제2 레벨 쉬프터는 상기 게이트 쉬프트 클럭과 제2 출력제어신호를 OR 연산하여 클럭을 생성하는 로직회로를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 액정패널에 형성된 데이터 라인을 구동하는 데이터 구동회로와;

상기 데이터 구동회로가 실장된 데이터 테이프 캐리어 패키지; 및

상기 데이터 테이프 캐리어 패키지와 접속되고, 상기 전원부 및 타이밍 컨트롤러가 실장되며, 상기 제1 및 제2 레벨 쉬프터가 실장된 데이터 인쇄회로기판을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 제2 출력제어신호의 하이레벨 공급시간은 상기 제1 출력제어신호의 하이레벨 공급시간과 대비하여 같거나 더 짧은 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 게이트 구동회로는 상기 제1 클럭신호를 상기 게이트 온 전압으로 출력하고, 상기 제1 반전클럭신호를 상기 게이트 오프 전압으로 출력하는 쉬프트 레지스터를 더 구비하고,

상기 제2 게이트 구동회로는 상기 제2 클럭신호를 상기 프리차지 전압으로 출력하고, 상기 제2 반전클럭신호를 상기 게이트 오프 전압으로 출력하는 쉬프트 레지스터를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 프리차지 전압이 공급되는 시간은 상기 게이트 온 전압이 공급되는 시간과 대비하여 같거나 더 짧은 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 제1 및 제2 게이트 구동회로는 상기 액정패널에 칩온글라스 형태로 실장된 것을 특징으로 하는 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 액정패널과 접속되어 상기 제1 및 제2 게이트 구동회로 각각을 실장하는 제1 및 제2 게이트 테이프 캐리어 패키지와;

상기 제1 및 제2 게이트 테이프 캐리어 패키지 각각과 연결되어 상기 제1 및 제2 게이트 구동회로에 신호를 전송하는 제1 및 제2 게이트 인쇄회로기판을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 1 내지 제 11 항 중 어느 한 항에 있어서,

상기 액정패널은 수직방향으로는 n (n 은 자연수)도트 단위로 반전되고 수평 방향으로는 도트 단위로 반전되는 수직 n 도트 인버전 구동되는 것을 특징으로 하는 액정표시장치.

청구항 13

제1 및 제2 게이트 구동회로 중 어느 하나에서 N (N 은 자연수)번째 게이트 라인에 게이트 온 전압을 공급하는 단계; 및

나머지 하나에서 상기 N 번째 게이트 라인에 게이트 온 전압이 공급되는 동안 $N+2n$ (n 은 자연수)번째 게이트 라인에 프리차지 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 14

제 13 항에 있어서,

제1 레벨 쉬프터에서 상기 제1 게이트 구동회로에 제1 클럭신호와 제1 반전클럭신호 및 제1 스타트 펄스를 생성하여 공급하는 단계와;

제2 레벨 쉬프트에서 상기 제2 게이트 구동회로에 제2 클럭신호와 제2 반전클럭신호 및 제2 스타트 펄스를 생성하여 공급하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 15

제 14 항에 있어서,

타이밍 컨트롤러를 통해 상기 제1 레벨 쉬프트에 제1 게이트 스타트 펄스와, 게이트 쉬프트 클럭 및 제1 출력제어신호를 공급하고, 상기 제2 레벨 쉬프트에 제2 게이트 스타트 펄스와, 게이트 쉬프트 클럭과 제2 출력제어신호를 공급하며, 전원부에서 상기 제1 및 제2 레벨 쉬프트 각각에 게이트 온 전압 및 게이트 오프 전압을 공급하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 16

제 14 항에 있어서,

상기 제1 레벨 쉬프트는 상기 게이트 쉬프트 클럭 및 제1 출력제어신호를 OR 연산하여 상기 제1 클럭신호를 생성하고, 상기 제1 클럭신호가 반전된 상기 제1 반전클럭신호를 생성하여 상기 제1 게이트 구동회로에 공급하는 단계와;

상기 제2 레벨 쉬프트는 상기 게이트 쉬프트 클럭 및 제2 출력제어신호를 OR 연산하여 상기 제2 클럭신호를 생성하고 상기 제2 클럭신호가 반전된 상기 제2 반전클럭신호를 생성하여 상기 제2 게이트 구동회로에 공급하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 17

제 16 항에 있어서,

상기 제1 게이트 구동회로는 N번째 게이트 라인의 구동시 상기 제1 클럭신호를 게이트 온 전압을 출력하고, 이와 동기하여 상기 제2 게이트 구동회로는 N+2n번째 게이트 라인에 상기 제2 클럭신호를 프리차지 전압으로 공급하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 18

제 13 항에 있어서,

상기 N+2n번째 게이트 라인에 상기 프리차지 전압이 공급되는 시간은 상기 N번째 게이트 라인에 게이트 온 전압이 공급되는 시간보다 같거나 더 작은 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 액정표시장치 및 이의 구동방법에 관한 것으로, 특히 액정의 응답속도가 향상되어 표시불량이 방지된 액정표시장치 및 이의 구동방법에 관한 것이다.
- <23> 액정표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 구체적으로, 액정표시장치는 화소 매트릭스를 통해 화상을 표시하는 액정패널과, 액정패널을 구동하는 구동회로를 구비한다. 그리고 액정표시장치는 액정패널이 비발광소자이므로 액정패널의 후면에서 광을 공급하는 백라이트 유닛을 구비한다. 액정패널은 비디오 신호에 따라 각각의 서브 화소의 액정 배열 상태가 가변하여 백라이트 유닛에서 공급된 광의 투과율을 조절함으로써 영상을 표시한다. 이러한 액정표시장치는 이동통신 단말기, 휴대용 컴퓨터, 액정 텔레비전과 같이 소형 표시 장치부터 대형 표시 장치까지 널리 사용된다.
- <24> 일반적으로, 액정표시장치는 액정의 열화를 방지하고 화질을 향상하기 위하여 서브 화소에 충전되는 전압의 극성을 주기적으로 반전시키는 인버전 구동 방법을 사용한다. 인버전 구동 방법은 수평 방향으로 도트 반전되고, 수직방향으로도 n도트 반전되는 수직 n도트 인버전 방법을 주로 사용한다. 여기서, 액정이 TN(Twisted

Nematic)모드일 경우에 화상이 블랙에서 화이트 또는 화이트에서 블랙으로 바뀔 때, 액정의 응답속도가 저하되는 문제점이 발생한다. 즉, 해당 서브 화소에 인가되는 전압이 기준값보다 높거나 낮을 경우 도 1에 도시된 A에서와 같이, 휘도가 2단계로 변하여 응답속도가 저하된다.

<25> 도 2는 화면이 블랙에서 화이트로 바뀔 때 화소에 인가되는 데이터 신호 및 게이트 신호의 파형을 도시한 도면이다.

<26> 도 2에서와 같이, 블랙에서 화면이 바뀔 후 1/60초 동안 만을 고려하면 처음 화이트 프레임이 시작될 때 화소에 인가되는 화이트 전압을 V', 커패시터 값을 C'라 하고, 두번째 화이트 프레임이 인가되기 직전의 화소에 인가되는 전압을 V'', 커패시터 값을 C''라 할 때, 동일 프레임에서 전하량은 전하량 보존의 법칙에 따라 수학식 1에서와 같이 표시된다. 여기서, $\epsilon(V')$ 는 블랙 상태에서의 액정 상태를 유지하는 값이고, $\epsilon(V'')$ 는 화이트 상태의 액정 상태로 전환된 것을 나타낸다.

수학식 1

$$C'V' = C''V''$$

<27>

$$V'' = \frac{C'}{C''} V' = \frac{C_{st} + \epsilon(V')\epsilon_0 A/d}{C_{st} + \epsilon(V'')\epsilon_0 A/d} V'$$

<28>

<29> 수학식 1에서 블랙에서 화이트로 화면이 바뀔 때 액정 커패시터 값 변화에 의해 화이트 전압이 상승하여 화소에 실제로 인가된다. 이때 화이트 전압 상승은 첫 번째 프레임에서 화이트의 휘도 감소를 가져오고 다음 프레임에서 실제 인가되어야 할 전압이 인가되어 실제 응답 파형에서는 커스프(Cusp)현상을 발생시킨다. 커스프 현상이 발생되면 액정의 응답시간을 지연시켜 표시불량을 야기한다.

<30> 응답시간은 계조가 바뀔 때 두 계조의 휘도 차이의 10%에서 90%로 바뀌는 데 소요되는 시간으로 정의되며, 커스프(Cusp)의 영향을 줄이기 위해서는 계조 변화시 이전 계조의 커패시터 값의 영향을 최소로 줄여야 한다. 이러한 커스프 현상을 줄이기 위해서는 스토리지 용량을 크게 유지해야 하지만, 스토리지 용량이 커질 경우 스토리지 전극의 면적이 넓어져 개구율이 감소되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<31> 따라서, 본 발명이 이루고자 하는 기술적 과제는 제1 및 제2 게이트 구동회로를 구비하여 액정패널의 N(N, 자연수)번째 게이트 라인에 게이트 온 전압이 공급될 때, N+2n(n은 자연수)번째 게이트 라인에 프리차지 전압을 공급하여 응답속도를 개선한 액정표시장치 및 이의 구동방법을 제공하는 데 있다.

발명의 구성 및 작용

<32> 상기의 기술적 과제를 해결하기 위하여, 본 발명은 화상을 표시하는 액정패널과, 상기 액정패널에 형성된 다수의 게이트 라인 일측 및 타측에 접속되어 상기 다수의 게이트 라인 각각을 구동하는 제1 및 제2 게이트 구동회로를 구비하고, 상기 제1 및 제2 게이트 구동회로 중 어느 하나에서 N(N은 자연수)번째 게이트 라인에 게이트 온 전압이 공급될 때, 나머지 하나에서 N+2n(n은 자연수)번째 게이트 라인에 프리차지 전압을 공급하는 것을 특징으로 하는 액정표시장치를 제공한다.

<33> 여기서, 상기 제1 및 제2 게이트 구동회로는 상기 액정패널에 집적되어 형성된다.

<34> 이때, 제1 클럭신호와, 상기 제1 클럭신호의 반전클럭신호 및 제1 스타트 펄스를 생성하여 상기 제1 게이트 구동회로에 공급하는 제1 레벨 쉬프터 및 제2 클럭신호와, 상기 제2 반전클럭신호의 및 제2 스타트 펄스를 생성하여 상기 제2 게이트 구동회로에 공급하는 제2 레벨 쉬프터를 더 구비한다.

<35> 그리고, 상기 제1 및 제2 레벨 쉬프터 각각에 게이트 온 전압 및 게이트 오프 전압을 각각 공급하는 전원부 및 상기 제1 레벨 쉬프터에 첫번째 게이트 라인을 선택하는 제1 게이트 스타트 펄스, 다음 게이트 라인을 선택하는 게이트 쉬프트 클럭과, 상기 제1 클럭신호의 출력을 제어하는 제1 출력제어신호를 공급하고, 상기 제2 레벨 쉬프터에 첫번째 게이트 라인을 선택하는 제2 게이트 스타트 펄스, 다음 게이트 라인을 선택하는 게이트 쉬프트

클럭과, 상기 제2 클럭신호의 출력을 제어하는 제2 출력제어신호를 포함하는 제어신호를 공급하는 타이밍 컨트롤러를 더 구비한다.

- <36> 여기서, 상기 제1 레벨 쉬프터는 상기 게이트 쉬프트 클럭과 상기 제1 출력제어신호를 OR 연산하여 클럭을 생성하는 로직회로를 더 포함하고, 상기 제2 레벨 쉬프터는 상기 게이트 쉬프트 클럭과 제2 출력제어신호를 OR 연산하여 클럭을 생성하는 로직회로를 더 포함한다.
- <37> 그리고 상기 액정패널에 형성된 데이터 라인을 구동하는 데이터 구동회로와, 상기 데이터 구동회로가 실장된 데이터 테이프 캐리어 패키지 및 상기 데이터 테이프 캐리어 패키지와 접속되고, 상기 전원부 및 타이밍 컨트롤러가 실장되며, 상기 제1 및 제2 레벨 쉬프터가 실장된 데이터 인쇄회로기판을 더 포함한다.
- <38> 상기 제2 출력제어신호의 하이레벨 공급시간은 상기 제1 출력제어신호의 하이레벨 공급시간과 대비하여 같거나 더 짧은 것을 특징으로 한다.
- <39> 또한, 상기 제1 게이트 구동회로는 상기 제1 클럭신호를 상기 게이트 온 전압으로 출력하고, 상기 제1 반전클럭신호를 상기 게이트 오프 전압으로 출력하는 쉬프트 레지스터를 더 구비하고, 상기 제2 게이트 구동회로는 상기 제2 클럭신호를 상기 프리차지 전압으로 출력하고, 상기 제2 반전클럭신호를 상기 게이트 오프 전압으로 출력하는 쉬프트 레지스터를 더 구비한다.
- <40> 상기 프리차지 전압이 공급되는 시간은 상기 게이트 온 전압이 공급되는 시간과 대비하여 같거나 더 짧은 것을 특징으로 한다.
- <41> 한편, 상기 제1 및 제2 게이트 구동회로는 상기 액정패널에 칩온글라스 형태로 실장된다.
- <42> 한편, 상기 액정패널과 접속되어 상기 제1 및 제2 게이트 구동회로 각각을 실장하는 제1 및 제2 게이트 테이프 캐리어 패키지와, 상기 제1 및 제2 게이트 테이프 캐리어 패키지 각각과 연결되어 상기 제1 및 제2 게이트 구동회로에 신호를 전송하는 제1 및 제2 게이트 인쇄회로기판을 더 포함한다.
- <43> 그리고 상기 액정패널은 수직방향으로는 n (n 은 자연수)도트 단위로 반전되고 수평 방향으로는 도트 단위로 반전되는 수직 n 도트 인버전 구동되는 것을 특징으로 한다.
- <44> 그리고 상기의 목적을 달성하기 위하여, 본 발명은 제1 및 제2 게이트 구동회로 중 어느 하나에서 N (N 은 자연수)번째 게이트 라인에 게이트 온 전압을 공급하는 단계 및 나머지 하나에서 상기 N 번째 게이트 라인에 게이트 온 전압이 공급되는 동안 $N+2n$ (n 은 자연수)번째 게이트 라인에 프리차지 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법을 제공한다.
- <45> 여기서, 제1 레벨 쉬프터에서 상기 제1 게이트 구동회로에 제1 클럭신호와 제1 반전클럭신호 및 제1 스타트 펄스를 생성하여 공급하는 단계와, 제2 레벨 쉬프터에서 상기 제2 게이트 구동회로에 제2 클럭신호와 제2 반전클럭신호 및 제2 스타트 펄스를 생성하여 공급하는 단계를 더 포함한다.
- <46> 또한, 타이밍 컨트롤러를 통해 상기 제1 레벨 쉬프터에 제1 게이트 스타트 펄스와, 게이트 쉬프트 클럭 및 제1 출력제어신호를 공급하고, 상기 제2 레벨 쉬프터에 제2 게이트 스타트 펄스와, 게이트 쉬프트 클럭과 제2 출력제어신호를 공급하며, 전원부에서 상기 제1 및 제2 레벨 쉬프터 각각에 게이트 온 전압 및 게이트 오프 전압을 공급하는 단계를 더 포함한다.
- <47> 그리고 상기 제1 레벨 쉬프터는 상기 게이트 쉬프트 클럭 및 제1 출력제어신호를 OR 연산하여 상기 제1 클럭신호를 생성하고, 상기 제1 클럭신호가 반전된 상기 제1 반전클럭신호를 생성하여 상기 제1 게이트 구동회로에 공급하는 단계와, 상기 제2 레벨 쉬프터는 상기 게이트 쉬프트 클럭 및 제2 출력제어신호를 OR 연산하여 상기 제2 클럭신호를 생성하고 상기 제2 클럭신호가 반전된 상기 제2 반전클럭신호를 생성하여 상기 제2 게이트 구동회로에 공급하는 단계를 더 포함한다.
- <48> 이때, 상기 제1 게이트 구동회로는 N 번째 게이트 라인의 구동시 상기 제1 클럭신호를 게이트 온 전압을 출력하고, 이와 동기하여 상기 제2 게이트 구동회로는 $N+2n$ 번째 게이트 라인에 상기 제2 클럭신호를 프리차지 전압으로 공급하는 단계를 더 포함한다.
- <49> 그리고 상기 $N+2n$ 번째 게이트 라인에 상기 프리차지 전압이 공급되는 시간은 상기 N 번째 게이트 라인에 게이트 온 전압이 공급되는 시간보다 같거나 더 작은 것을 특징으로 한다.
- <50> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 특징들은 첨부한 도면을 참조한 실시 예에 대한 설명을

통하여 명백히 드러나게 될 것이다.

- <51> 이하, 도 3 내지 도 10을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.
- <52> 도 3은 본 발명의 제1 실시 예에 따른 액정표시장치를 개략적으로 도시한 블록도이고, 도 4는 도 3에 도시된 액정표시장치의 평면도이다.
- <53> 도 3 및 도 4를 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 다수의 게이트 라인(GL1 내지 GLi) 및 다수의 데이터 라인(DL1 내지 DLk)이 형성된 액정패널(10)과, 다수의 게이트 라인(GL1 내지 GLi) 일측 및 타측에 접속되어 다수의 게이트 라인(GL1 내지 GLi) 각각을 구동하는 제1 및 제2 게이트 구동회로(20, 30)를 구비하고, N번째 게이트 라인(GLN)에 게이트 온 전압(VON)이 공급될 때, N+2n번째 게이트 라인(GLN+2n)에 프리차지 전압(VOFF)을 공급되는 것을 특징으로 한다. 여기서, 제1 및 제2 게이트 구동회로(20, 30)는 액정패널(10)의 박막 트랜지스터 기관 상에 집적되어 형성된다. 그리고, 제1 게이트 구동회로(20)에 제1 클럭신호(CKV1)와, 제1 반전클럭신호(CKVB1) 및 첫번째 게이트 라인의 구동명령을 하는 제1 스타트 신호(STVP1)를 생성하여 공급하는 제1 레벨 쉬프터(70)와, 제2 게이트 구동회로(30)에 제2 클럭신호(CKV2)와, 제2 반전클럭신호(CKVB2) 및 첫번째 게이트 라인을 구동의 구동명령을 하는 제2 스타트 신호(STVP2)를 생성하여 공급하는 제2 레벨 쉬프터(80)를 포함한다. 그리고 본 발명의 실시 예에 따른 액정표시장치는 박막 트랜지스터 기관에 형성된 다수의 데이터 라인(DL1 내지 DLk)을 구동하는 데이터 구동부를 포함한다. 여기서, 데이터 구동부는 데이터 인쇄회로기판(40)과, 이와 접속된 데이터 테이프 캐리어 패키지(50) 및 데이터 테이프 캐리어 패키지(50)에 실장되어 데이터 라인(DL)에 데이터 신호를 공급하는 데이터 구동회로(60)를 포함한다. 그리고, 제1 및 제2 레벨 쉬프터(70, 80)에 제어신호를 생성하여 공급하고, 데이터 구동회로(60)에 제어신호 및 화상신호를 공급하는 타이밍 컨트롤러(200)와, 제1 및 제2 레벨 쉬프터(70, 80)와, 타이밍 컨트롤러(200)와, 제1 및 제2 게이트 구동회로(20, 30) 및 데이터 구동회로(60)에 전원신호를 공급하는 전원부(100)를 포함한다.
- <54> 구체적으로, 액정패널(10)은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기관과, 박막 트랜지스터 기관과 마주하며 컬러 필터 어레이가 형성된 컬러필터기관 및 박막 트랜지스터 기관과 컬러필터기관 사이에 개재된 액정을 구비한다.
- <55> 컬러필터기관은 기관 상에 빔샘 방지를 위한 블랙매트릭스와, 색구현을 위한 컬러 필터 어레이 및 액정에 공통 전압을 인가하기 위한 공통전극을 포함한다.
- <56> 액정은 데이터 신호가 공급된 화소전극과 기준전압인 공통전압이 공급된 공통 전극 간의 전압차로 구동한다. 이에 따라, 유전 이방성을 갖는 액정이 그 전압차에 따라 회전하여 광원으로부터 입사된 광의 투과율을 가변시키게 된다. 이러한 액정은 TN(Twisted Nematic)모드 또는 PVA(Patterned Vertical Alignment)모드 액정을 사용한다.
- <57> 박막 트랜지스터 기관은 게이트 라인(GL) 및 데이터 라인(DL)과, 게이트 라인(GL) 및 데이터 라인(DL)이 교차하여 정의하는 화소영역과, 각각의 화소영역에 게이트 라인(GL)과 데이터 라인(DL)에 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속된 화소전극을 포함한다. 그리고, 박막 트랜지스터 기관에는 다수의 게이트 라인(GL1 내지 GLi) 각각을 구동하기 위한 제1 및 제2 게이트 구동회로(20, 30)가 집적되어 형성된다. 이때, 제1 및 제2 게이트 구동회로(20, 30)는 박막 트랜지스터 기관에 형성된 다수의 게이트 라인(GL1 내지 GLi)을 사이에 두고 그 일측 및 타측에 집적되어 형성되고, 그 출력이 각각의 게이트 라인(GL)과 접속된다.
- <58> 전원부(100)는 입력된 구동 전압을 이용하여 아날로그 구동 전압(AVDD), 공통 전압(VCOM), 게이트 온 전압(VON), 게이트 오프 전압(VOFF)을 생성하여 출력한다. 아날로그 구동 전압(AVDD)은 데이터 구동회로(60)로, 공통 전압(VCOM)은 액정패널(10)로, 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)은 제1 및 제2 레벨 쉬프터(70, 80)로 공급된다.
- <59> 타이밍 컨트롤러(200)는 외부로부터 입력된 R, G, B의 화상 데이터 신호를 정렬하여 데이터 구동회로(60)로 공급한다. 그리고 타이밍 컨트롤러(200)는 외부로부터 화상 데이터 신호와 함께 입력된 다수의 동기 신호들, 예를 들면 도트 클럭(DCLK), 데이터 이네이블 신호(DE), 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC) 등을 이용하여 제1 및 제2 레벨 쉬프터(70, 80)와 데이터 구동회로(60)의 구동 타이밍을 제어하는 다수의 제어 신호들을 생성하여 공급한다. 예를 들면 타이밍 컨트롤러(200)는 제1 및 제2 레벨 쉬프터(70, 80) 각각에 공급되는 게이트 스타트 펄스(STV1, STV2), 게이트 쉬프트 클럭(CPV), 출력제어신호(OE1, OE2) 등을 포함하는 제어신호들을 생성하여 제1 및 제2 레벨 쉬프터(70, 80)로 공급한다. 또한, 타이밍 컨트롤러(200)는 데이터 스타트 펄스(D_STV), 데이터 쉬프트 클럭(D_CPV), 극성 제어 신호(POL) 등을 포함하는 데이터 제어 신호들을 생성하여 데이

터 구동회로(60)로 공급한다.

- <60> 데이터 구동회로(60)는 타이밍 컨트롤러(200)로부터의 제어 신호에 응답하여 디지털 데이터를 아날로그 데이터 신호로 변환하여 액정패널의 게이트 라인(GL)에 게이트 온 전압(VON)이 공급될 때마다 데이터 라인(DL)으로 공급한다. 데이터 구동회로(60)는 쉬프트 레지스터, 래치부, 디지털-아날로그 변환부, 출력 버퍼부를 포함한다. 쉬프트 레지스터는 타이밍 컨트롤러(200)로부터의 데이터 스타트 펄스(D_STV)를 데이터 쉬프트 클럭(D_CPV)에 따라 순차적으로 쉬프트시키면서 샘플링 제어 신호를 발생한다. 래치부는 샘플링 제어 신호에 응답하여 타이밍 컨트롤러(200)로부터 입력되는 데이터를 순차적으로 래치하여 한 수평 라인분의 데이터가 래치되면 디지털-아날로그 변환부로 동시에 출력한다. 디지털-아날로그 변환부는 다수의 감마 전압 중 래치부로부터의 데이터에 해당되는 감마 전압을 선택하여 아날로그 데이터 신호로 출력하고, 출력 버퍼부는 디지털-아날로그 변환부로부터의 데이터 신호를 완충하여 데이터 라인으로 공급한다. 이때, 디지털-아날로그 변환부는 타이밍 컨트롤러(200)로부터의 극성 제어 신호(POL)에 따라 정극성 또는 부극성 감마 전압을 선택하여 아날로그 데이터 신호로 출력한다. 특히 수직 도트 인버전 방식에 대응하는 극성 제어 신호(POL)에 응답하여 디지털-아날로그 변환부는 좌우로 인접한 출력 채널에는 상반된 극성의 데이터 신호가 출력되게 하고, 그 출력 채널을 통해 공급되는 데이터 신호의 극성이 수평기간 단위로 반전되게 한다.
- <61> 이러한 데이터 구동회로(60)는 도 4에 도시된 바와 같이 데이터 TCP(50)에 실장되어 데이터 PCB(40)와 연결된다. 데이터 PCB(40)는 타이밍 컨트롤러(200)와 전원부(100)가 실장된다. 데이터 PCB(40)에 실장된 타이밍 컨트롤러(200)와 전원부(100)에서 생성된 화상신호, 제어신호 및 전원신호를 데이터 TCP(50)에 실장된 데이터 구동회로(60)로 공급함과 아울러, 데이터 TCP(50)에 형성된 신호라인을 경유하여 액정패널(10)로 공급한다.
- <62> 도 5a 및 도 5b는 도 3 및 도 4에 도시된 제1 및 제2 레벨 쉬프트 각각을 개략적으로 도시한 도면이고, 도 6a 및 도 6b는 도 5a 및 도 5b 각각에 도시된 제1 및 제2 레벨 쉬프트들에서의 입출력신호를 도시한 파형도들이다.
- <63> 도 5a를 참조하면, 제1 레벨 쉬프트(70)는 제1 클럭신호(CKV1), 제1 반전클럭신호(CKVB1) 및 제1 스타트 신호(STV1)를 생성하여 제1 게이트 구동회로(20)에 공급한다. 이를 위해, 제1 레벨 쉬프트(70)는 타이밍 컨트롤러(200)에서 공급되는 게이트 쉬프트 클럭(CPV)과 제1 출력제어신호(OE1)을 이용하여 제1 클럭신호(CKV1) 및 제1 반전클럭신호(CKVB1)를 생성한다. 이때, 제1 클럭신호(CKV1)를 생성하기 위해 제1 레벨 쉬프트(70)는 OR 연산을 하는 로직회로를 더 포함한다. 도 6a에 도시된 바와 같이, 제1 레벨 쉬프트(70)는 OR 연산을 통해 타이밍 컨트롤러(200)에서 공급된 게이트 쉬프트 클럭(CPV)과 제1 출력제어신호(OE1)를 OR 연산하여 클럭을 생성한다. 그리고, 제1 레벨 쉬프트(70)에서 OR 연산에 의해 생성된 클럭과 전원부(100)에서 공급된 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)에 동기하여 게이트 온 전압(VON)과 동일한 레벨을 갖는 제1 클럭신호(CKV1)가 출력한다. 또한, 제1 레벨 쉬프트(70)는 제1 클럭신호(CKV1)가 출력되는 출력라인에 제1 클럭신호(CKV1)를 반전시키는 로직회로를 더 구비하여 제1 클럭신호(CKV1)의 반전된 형태의 제1 반전클럭신호(CKVB1)를 출력한다. 이렇게 출력된 제1 클럭신호(CKV1)와 제1 반전클럭신호(CKVB1)는 제1 게이트 구동회로(20)에 공급된다. 또한, 타이밍 컨트롤러(200)에서 공급된 제1 게이트 스타트 펄스(STV1)를 제1 스타트 펄스(STVP1)로 변환하여 제1 게이트 구동회로(20)에 공급한다.
- <64> 도 5b를 참조하면, 제2 레벨 쉬프트(80)는 제1 레벨 쉬프트(70)와 같이 게이트 쉬프트 클럭(CPV)과 제2 출력제어신호(OE2)를 OR 연산하는 로직회로를 더 포함한다. 그리고, 제2 레벨 쉬프트(80)는 타이밍 컨트롤러(200)에서 공급되는 제어신호들을 통해 제2 클럭신호(CKV2), 제2 반전클럭신호(CKVB2) 및 제2 스타트 펄스(STVP2)를 생성하여 제2 게이트 구동회로(30)에 공급한다. 도 6b에 도시된 바와 같이, 제2 레벨 쉬프트(80)는 OR 연산을 통해 타이밍 컨트롤러(200)에서 공급된 게이트 쉬프트 클럭(CPV)과 제2 출력제어신호(OE2)를 OR 연산하여 클럭을 생성한다. 그리고, 제2 레벨 쉬프트(80)에서 OR 연산에 의해 생성된 클럭과 전원부(100)에서 공급된 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)에 동기하여 게이트 온 전압(VON)과 동일한 레벨을 갖는 제2 클럭신호(CKV2)가 출력한다. 또한, 제2 레벨 쉬프트(80)는 제2 클럭신호(CKV2)가 출력되는 출력라인에 제2 클럭신호(CKV2)를 반전시키는 OR로직회로를 더 구비하여 제2 클럭신호(CKV2)의 반전된 형태의 제2 반전클럭신호(CKVB2)를 출력한다. 이렇게 출력된 제2 클럭신호(CKV2)와 제2 반전클럭신호(CKVB2)는 제2 게이트 구동회로(30)에 공급된다. 또한, 타이밍 컨트롤러(200)에서 공급된 제2 게이트 스타트 펄스(STV2)를 제2 스타트 펄스(STVP2)로 변환하여 제2 게이트 구동회로(30)에 공급한다.
- <65> 이때, 제2 레벨 쉬프트(80)에 공급되는 제2 출력제어신호(OE2)는 제1 출력제어신호(OE1)와 대비하여 하이전압이 공급되는 시간이 더 짧다. 이에 따라, 도 8에 도시한 바와 같이 제2 클럭신호(CKV2)는 제1 클럭신호(CKV1)와 대비하여 하이전압이 공급되는 시간이 더 짧다.

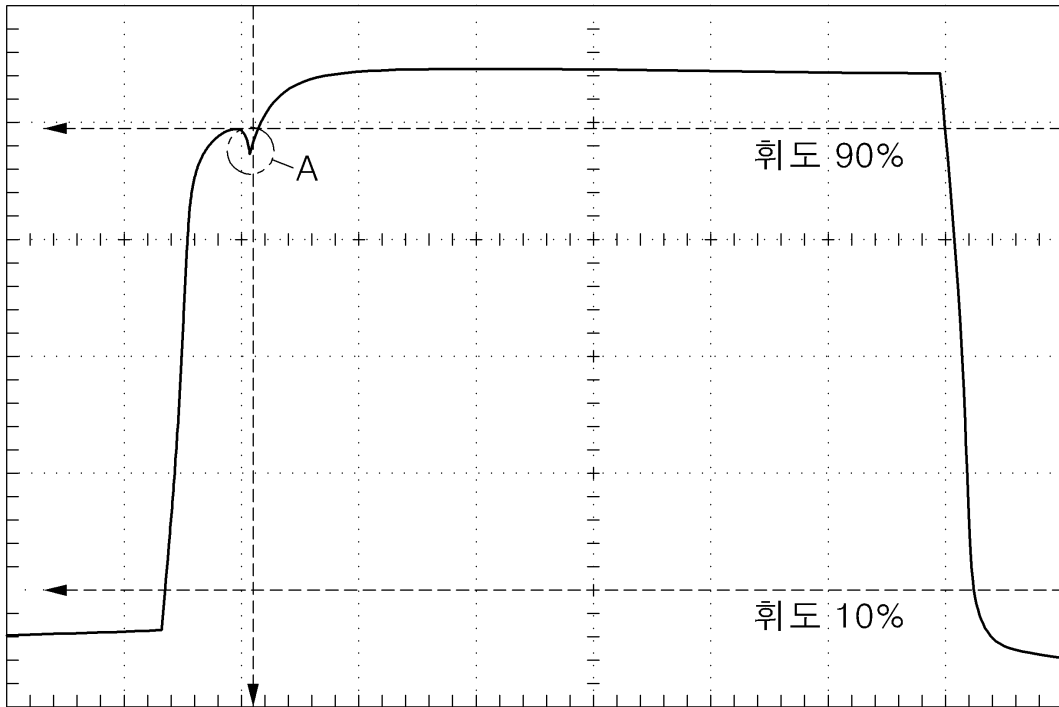
- <66> 이러한, 제1 및 제2 레벨 쉬프터(70, 80)는 도 4에 도시된 바와 같이, 데이터 PCB(40)에 실장된다. 그리고, 제 1 및 제2 레벨 쉬프터(70, 80) 각각에서 생성된 클럭신호들은 데이터 TCP(50)에 형성된 신호라인을 경유하여 제 1 및 제2 게이트 구동회로(20, 30) 각각에 공급된다.
- <67> 제1 게이트 구동회로(20)는 제1 레벨 쉬프터(70)에서 공급되는 제1 클럭신호(CKV1)와, 제1 반전클럭신호(CKVB1) 및 제1 스타트 펄스(STVP1)와 전원부(100)에서 공급되는 직류전압(VSS)에 의해 게이트 라인을 구동하는 게이트 구동신호를 순차적으로 공급한다. 이를 위하여, 제1 게이트 구동회로(20)는 직렬로 연결된 다수의 쉬프트 레지스터(SR)를 구비한다.
- <68> 도 7을 참조하면, 제1 게이트 구동회로(20)에 형성된 쉬프트 레지스터(SR)는 제1 레벨 쉬프터(70)로부터 입력되는 제1 클럭신호(CKV1) 및 제1 반전클럭신호(CKVB1)를 선택적으로 출력하여 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 포함하는 게이트 구동신호를 공급한다. 그리고 이전단 쉬프트 레지스터(SR_{n-1}) 및 다음단 쉬프트 레지스터(SR_{n+1})에서 출력되는 게이트 구동신호를 현재단 쉬프트 레지스터(SR_n)에 공급하는 신호라인을 구비한다.
- <69> 첫번째 쉬프트 레지스터(SR)는 제1 레벨 쉬프터(70)로부터 입력된 제1 클럭신호(CKV1), 제1 반전클럭신호(CKVB1) 및 제1 스타트 펄스(STV1) 및 다음단 쉬프트 레지스터(SR)의 게이트 구동신호를 공급하는 신호라인을 통해 각각 공급된 게이트 온 전압(VON) 또는 게이트 오프 전압(VOFF)을 통해 제1 클럭신호(CKV1) 및 제1 반전클럭신호(CKVB1) 중 어느 하나를 선택하여 출력한다. 제1 스타트 펄스(STVS1)는 첫번째 쉬프트 레지스터(SR1)에 공급되어 첫번째 게이트 라인(GL1)을 구동시킨다. 즉, 제1 스타트 펄스(STV1)와 제1 클럭신호(CKV1)를 통해 게이트 온 전압(VON)을 첫번째 게이트 라인(GL1)에 출력한다. 그리고, 게이트 온 전압(VON)이 공급된 후 제1 반전클럭신호(CKVB1)를 출력하여 게이트 라인(GL)에 게이트 오프 전압(VOFF)을 공급한다. 두번째 쉬프트 레지스터(SR2)는 첫번째 게이트 라인(GL1)에 게이트 온 전압(VON)이 공급되는 동안 제1 반전클럭신호(CKVB1)를 출력하다가 첫번째 게이트 라인에 게이트 오프 전압(VOFF)이 공급되면 이와 동기하여 제1 클럭신호(CKV1)를 출력하여 게이트 온 전압(VON)을 두번째 게이트 라인(GL2)에 공급한다. 이와 직렬로 연결된 쉬프트 레지스터는 상술한 바와 같이 순차적으로 게이트 온 전압(VON)을 공급한다.
- <70> 제2 게이트 구동회로(30)는 제2 레벨 쉬프터(80)에서 공급되는 제2 클럭신호(CKV2)와, 제2 반전클럭신호(CKVB2) 및 제2 스타트 펄스(STVP2)와, 전원부(100)에서 공급되는 직류전압(VSS)에 의해 프리차지 전압(VF)을 게이트 라인(GL)에 순차적으로 공급한다. 이를 위해, 제2 게이트 구동회로(30)는 제1 게이트 구동회로(20)에 형성된 쉬프트 레지스터(SR)와 같이 직렬로 연결된 다수의 쉬프트 레지스터(SR)를 구비한다. 제2 게이트 구동회로(30)에 형성된 쉬프트 레지스터(SR)들은 제1 게이트 구동회로(20)에 형성된 쉬프트 레지스터(SR)들과 동일한 형태로 형성되어 제2 클럭신호(CKV2)와 제2 반전클럭신호(CKVB2)들 중 어느 한 신호를 선택하여 해당 게이트 라인(GL)에 프리차지 전압(VF)으로 출력한다. 이때, 제2 게이트 구동회로(30)는 제1 게이트 구동회로(20)에서 N번째 게이트 라인(GL_N)에 게이트 온 전압(VON)이 공급되는 동안 N+2n번째 게이트 라인(GL_{N+2n})에 프리차지 전압(VF)을 공급한다. 이때, 프리차지 전압(VF)이 공급되는 시간은 게이트 온 전압(VON)이 공급되는 시간보다 짧다.
- <71> 도 8에 도시된 바와 같이, 제2 레벨 쉬프터(80)에 공급되는 제2 출력제어신호(OE2)의 하이전압을 공급하는 시간이 제1 레벨 쉬프터(70)에 공급되는 제1 출력제어신호(OE1)의 하이전압을 공급하는 시간보다 짧기 때문에 제2 클럭신호(CKV2)의 하이 전압을 공급하는 시간이 제1 클럭신호(CKV1)의 하이 전압을 공급하는 시간보다 짧아진다. 따라서, 프리차지 전압(VF)의 공급시간이 게이트 온 전압(VON)의 공급시간 보다 짧다. 이를 통해 프리차지 전압(VF)으로 게이트 라인(GL)을 미리 충전할 때 이상 구동이 발생하는 것을 방지할 수 있다.
- <72> 도 9는 본 발명의 실시 예에 따른 액정패널의 구동방법을 설명하기 위하여 수직 2도트 인버전 방법으로 구동되는 액정패널을 도시한 평면도이다.
- <73> 수직 2도트 인버전 구동 방법은 각 서브 화소의 극성이 수직방향으로는 2도트 단위로 반전되고 수평 방향으로는 도트 단위로 반전되도록 액정패널을 구동하므로, 액정패널에는 이전 라인과 극성이 반대인 제1 수평 라인과, 이전 라인과 극성이 동일한 제2 수평 라인이 교번으로 형성된다. 다시 말하면, 각각의 화소의 극성 변화는 도 9에 도시된 바와 같이, 액정패널(10)에 형성된 화소영역은 4번째 게이트 라인 마다 같은 극성 변화를 갖는다. 이때, 액정의 응답속도를 향상시키기 위해 제1 게이트 구동회로(20)에서 1번째 게이트 라인(GL1)에 게이트 온 전압(VON)을 공급함과 동시에 제2 게이트 구동회로(30)에서 5번째 게이트 라인(GL5)에 프리차지 전압(VF)을 공급한다. 이를 통해, 1번째 게이트 라인(GL1)과 연결된 각각의 화소가 구동되는 동안 5번째 게이트 라인(GL5)과 연결된 각각의 화소에는 프리차지 전압(VF)에 의해 미리 충전된다. 프리차징된 5번째 게이트 라인(GL5)에 게이트 온 전압(VON)이 공급되면 데이터가 화소전극에 충전되며 이때, 해당 화소의 액정은 미리 구동되어 있으므로

실제 데이터가 공급되어 더욱 빠르게 액정을 구동된다.

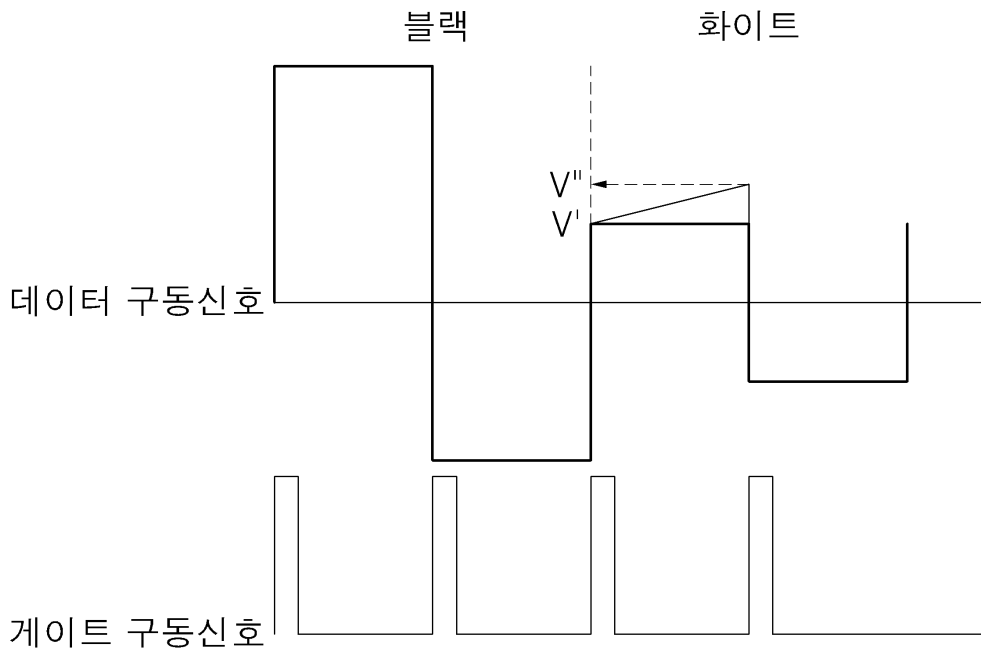
- <74> 이러한 방법을 통해 액정패널(10)을 구동하게 되면 화소영역에 형성되는 스토리지 커패시터의 전극면적을 줄일 수 있다. 즉, 각각의 화소영역에 미리 공급된 프리차지 전압(VF)에 의해 해당 화소영역이 미리 충전되어 있으므로 스토리지 커패시터에 의해 공급되는 스토리지 전압이 클 필요가 없게된다. 따라서, 스토리지 커패시터의 전극면적을 작게 하여 개구율을 향상시킬 수 있다.
- <75> 도 10은 본 발명의 제2 실시 예에 따른 액정표시장치를 개략적으로 도시한 평면도이다. 도 10은 도 4와 대비하여 제1 및 제2 게이트 구동회로(330, 360)가 박막 트랜지스터 기판에 집적되지 않고 필름 또는 제1 및 제2 게이트 TCP(320, 350)에 실장되어 액정패널(10)과 제1 및 제2 게이트 PCB(310, 340)에 각각 연결된다. 여기서, 제1 및 제2 레벨 쉬프터(80)는 데이터 PCB(40)에 실장되거나, 제1 및 제2 게이트 PCB(340) 각각에 실장될 수 있다.
- <76> 도 10을 참조하면, 본 발명의 제2 실시 예에 따른 액정표시장치는 다수의 게이트 라인(GL1 내지 GLi) 및 다수의 데이터 라인(DL1 내지 DLk)이 형성된 액정패널(10)과, N번째 게이트 라인(GLN)에 게이트 온 전압(VON)이 공급될 때, N+2n번째 게이트 라인(GLN+2n)에 프리차지 전압(VF)을 공급하기 위하여 제1 게이트 PCB(310)와, 제1 게이트 PCB(310)의 일측에 부착되며 타측이 액정패널(10)의 일측에 부착된 제1 게이트 TCP(320)와 제1 게이트 TCP(320)상에 실장된 제1 게이트 구동회로(330)와, 제2 게이트 PCB(340)와 제2 게이트 PCB(340)의 일측에 부착되며 타측이 액정패널의 타측에 부착된 제2 게이트 TCP(350)와 제2 게이트 TCP(350)에 실장된 제2 게이트 구동회로(360)를 구비한다.
- <77> 구체적으로, 제1 게이트 PCB(310)는 데이터 PCB(40)와 접속된 제1 연결필름(311)을 통해 신호를 공급받는다. 데이터 PCB(40)에 실장된 전원부(100) 및 제1 레벨 쉬프터(70)에서 공급되는 전원신호, 제1 클럭신호(CKV1), 제1 반전클럭신호(CKVB1) 및 제1 스타트 펄스(STVP1)를 공급받아 제1 게이트 TCP(320)에 실장된 제1 게이트 구동회로(20)에 공급한다.
- <78> 제1 게이트 구동회로(20)는 제1 게이트 PCB(310)로부터 공급된 제1 클럭신호, 제1 반전클럭신호(CKVB1) 및 제1 스타트 펄스(STVP1)를 통해 게이트 온 전압 및 게이트 오프 전압을 선택하여 출력하고 제1 게이트 TCP(320)에 연결된 액정패널(10)의 게이트 라인(GL)에 순차적으로 공급한다.
- <79> 제2 게이트 PCB(340)는 데이터 PCB(40)와 접속된 제2 연결필름(341)을 통해 신호를 공급받는다. 제1 게이트 PCB(310)와 마찬가지로 데이터 PCB(40)에 실장된 전원부(100) 및 제2 레벨 쉬프터(80)에서 공급되는 전원신호, 제2 클럭신호(CKV2), 제2 반전클럭신호(CKVB2) 및 제2 스타트 펄스(STVP2)를 공급받아 제2 게이트 TCP(350)에 실장된 제2 게이트 구동회로(30)에 공급한다.
- <80> 제2 게이트 구동회로는 제2 게이트 PCB(340)로부터 공급된 제2 클럭신호(CKV2), 제2 반전클럭신호(CKVB2) 및 제2 스타트 신호를 통해 프리차지 전압(VF) 및 게이트 오프 전압(VOFF)을 선택하여 출력하고 제2 게이트 TCP(350)에 연결된 액정패널(10)의 게이트 라인(GL)에 순차적으로 공급한다.
- <81> 여기서, 제1 게이트 구동회로(20)에서 N번째 게이트 라인(GLN)에 게이트 온 전압(VON)을 공급하는 동안 제2 게이트 구동회로(30)에서 N+2n번째 게이트 라인(GLN+2n)에 프리차지 전압(VF)을 공급한다. 이를 통해 N+2n번째 게이트 라인(GLN+2n)과 접속된 서브 화소들을 프리차지 시킨다. 예를 들어 도 4에 도시된 수직 2도트 인버전 구동 방법으로 액정패널(10)을 구동할 때, 제1 게이트 구동회로(330)에서 1번째 게이트 라인(GL1)에 게이트 온 전압(VON)을 공급하는 동안 제2 게이트 구동회로(360)에서 5번째 게이트 라인(GL5)에 프리차지 전압(VF)을 공급한다. 그리고, 제1 게이트 구동회로(330)는 다수의 게이트 라인(GL1 내지 GLi)에 순차적으로 게이트 온 전압(VON)을 공급하고, 제2 게이트 구동회로(360)에서 다수의 게이트 라인(GL1 내지 GLi)에 순차적으로 프리차지 전압(VF)을 공급한다.
- <82> 한편, 제1 및 제2 레벨 쉬프터(80)는 제1 및 제2 게이트 PCB(310, 340)에 실장될 수 있다. 즉, 데이터 PCB(40)에는 타이밍 컨트롤러(200)와 전원부(100)가 실장되어 제어신호 및 전원신호를 제1 및 제2 레벨 쉬프터(80) 각각에 공급하며, 제1 및 제2 레벨 쉬프터(80)는 해당 게이트 구동회로에 제1 및 제2 클럭신호(CKV)와, 제1 및 제2 반전클럭신호(CKVB) 및 제1 및 제2 스타트 펄스(STVP1, STVP2)를 각각생성하여 공급할 수 있다.
- <83> 또한, 본 발명은 제1 및 제2 게이트 구동회로(330, 360)를 칩온글래스(Chip On Glass; COG) 형태로 직접 액정패널(10)에 실장 할 수 있다. 그리고, 제1 및 제2 게이트 구동회로는 제1 및 제2 레벨 쉬프터(80)를 포함하여 형성되어 별도의 레벨 쉬프터를 사용하지 않을 수 있다.

도면

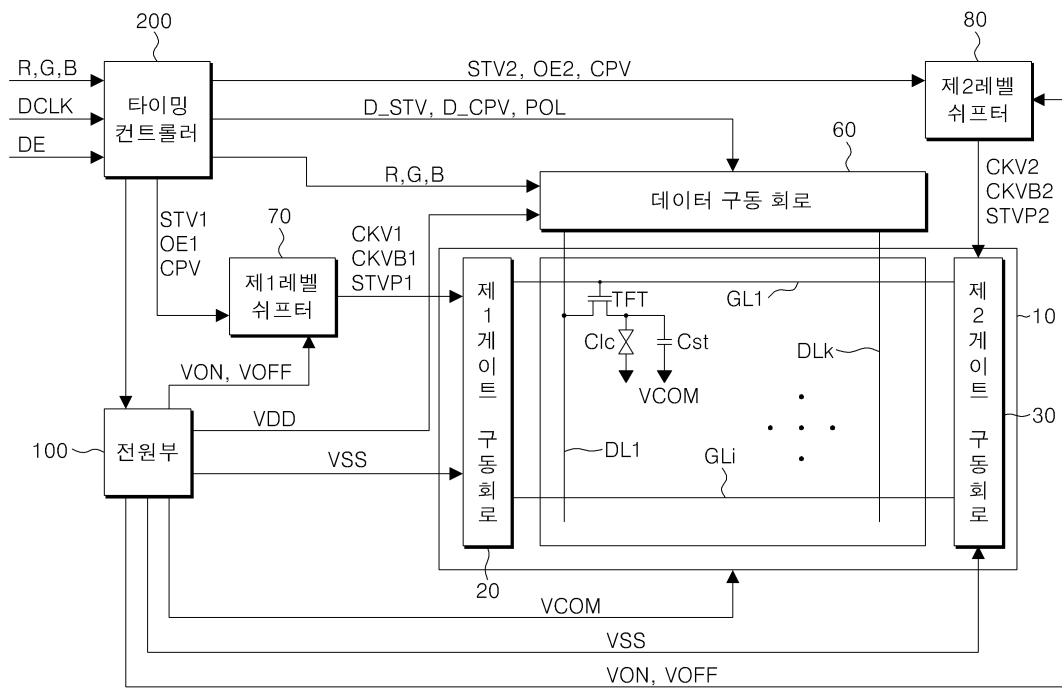
도면1



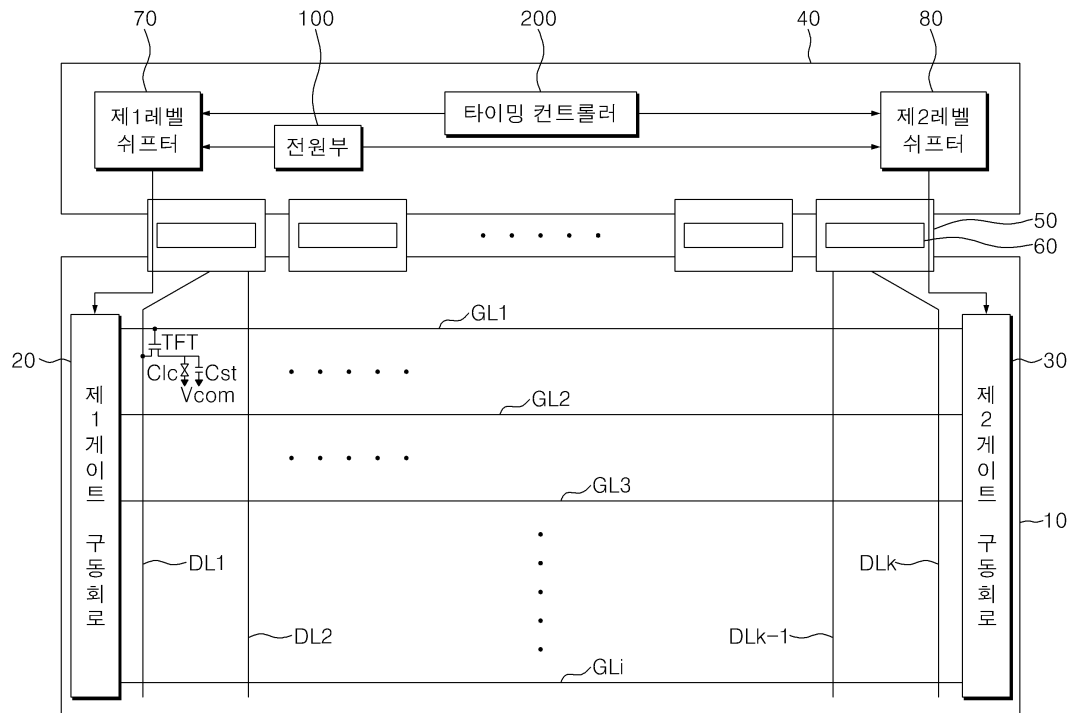
도면2



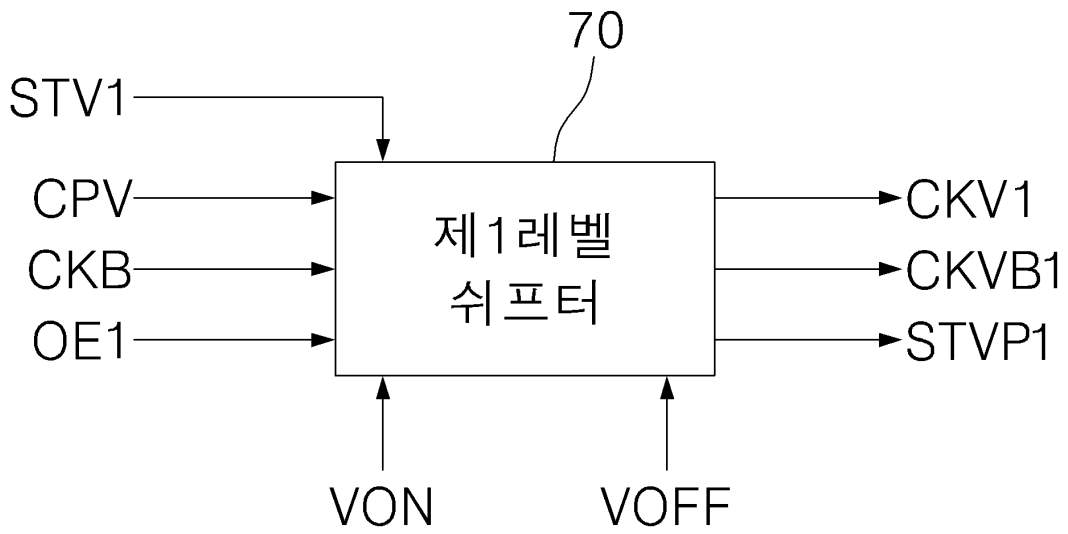
도면3



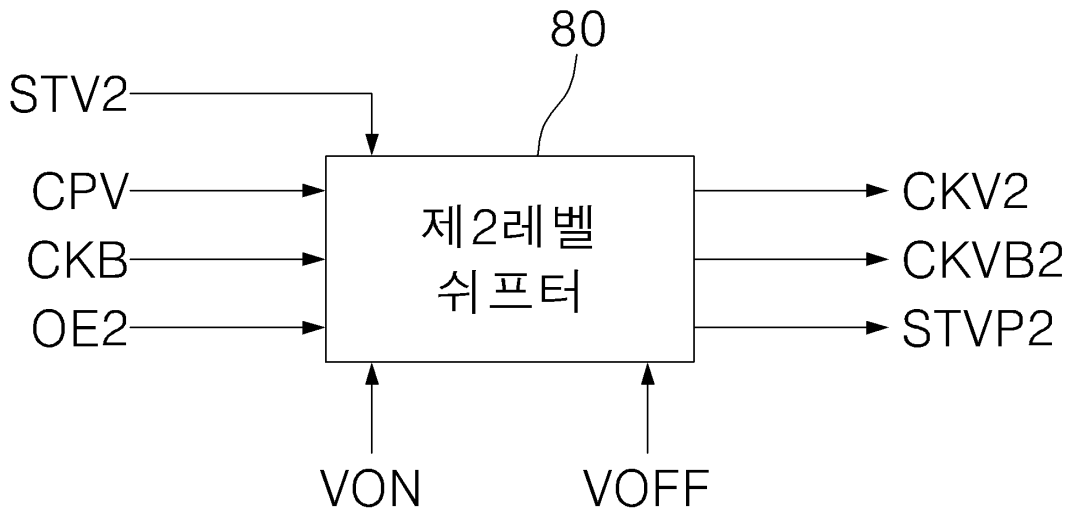
도면4



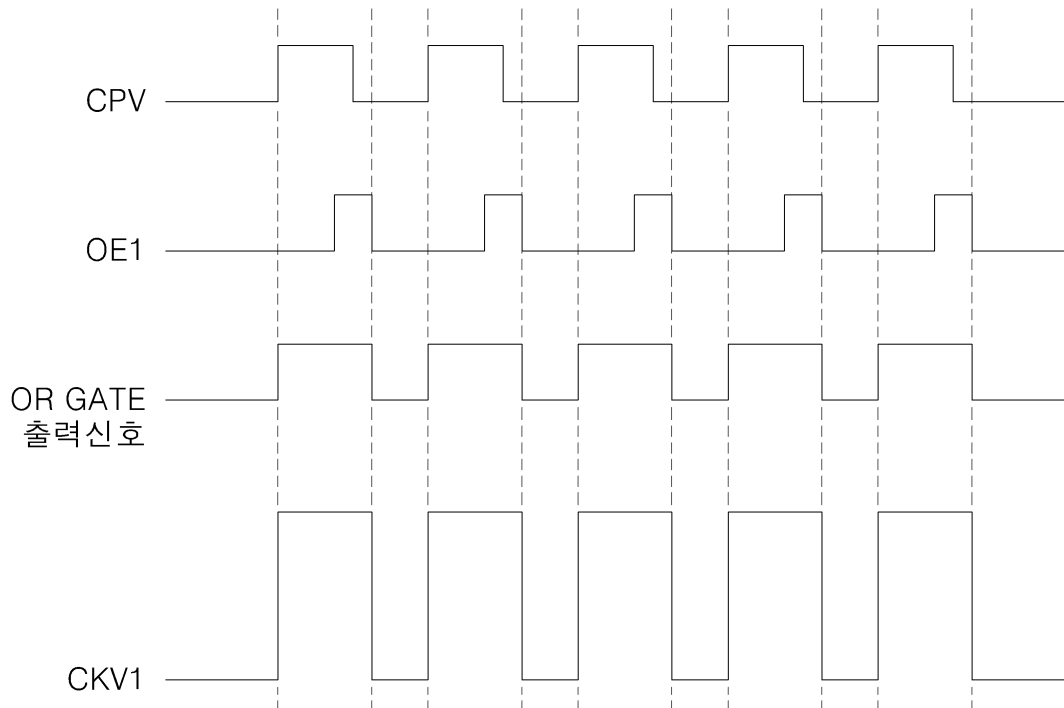
도면5a



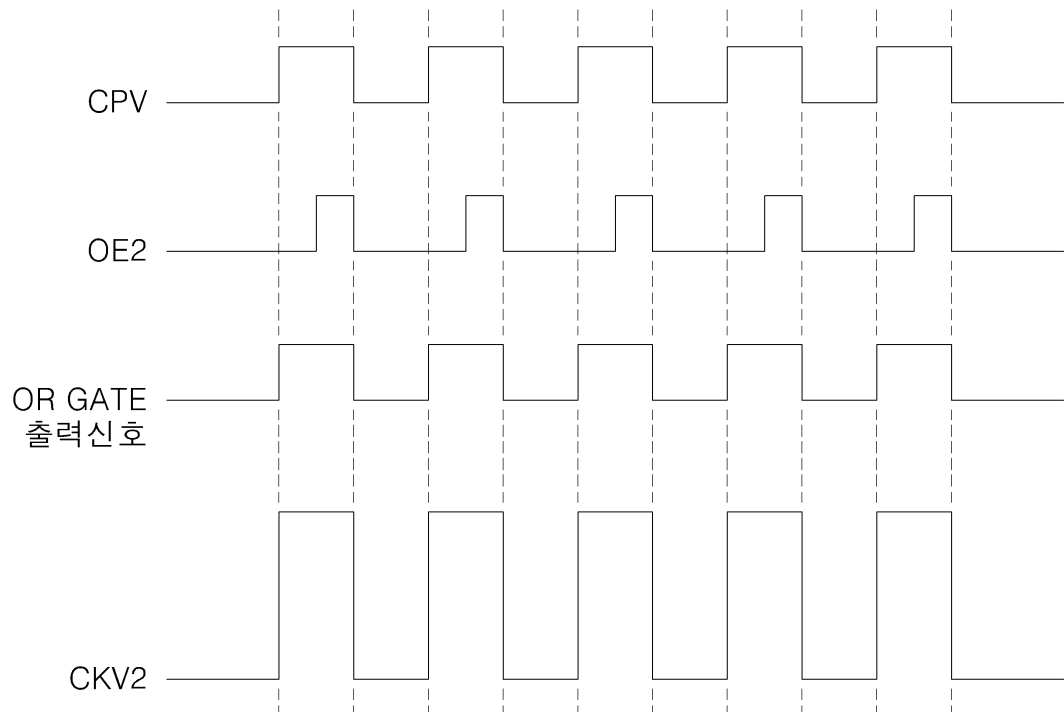
도면5b



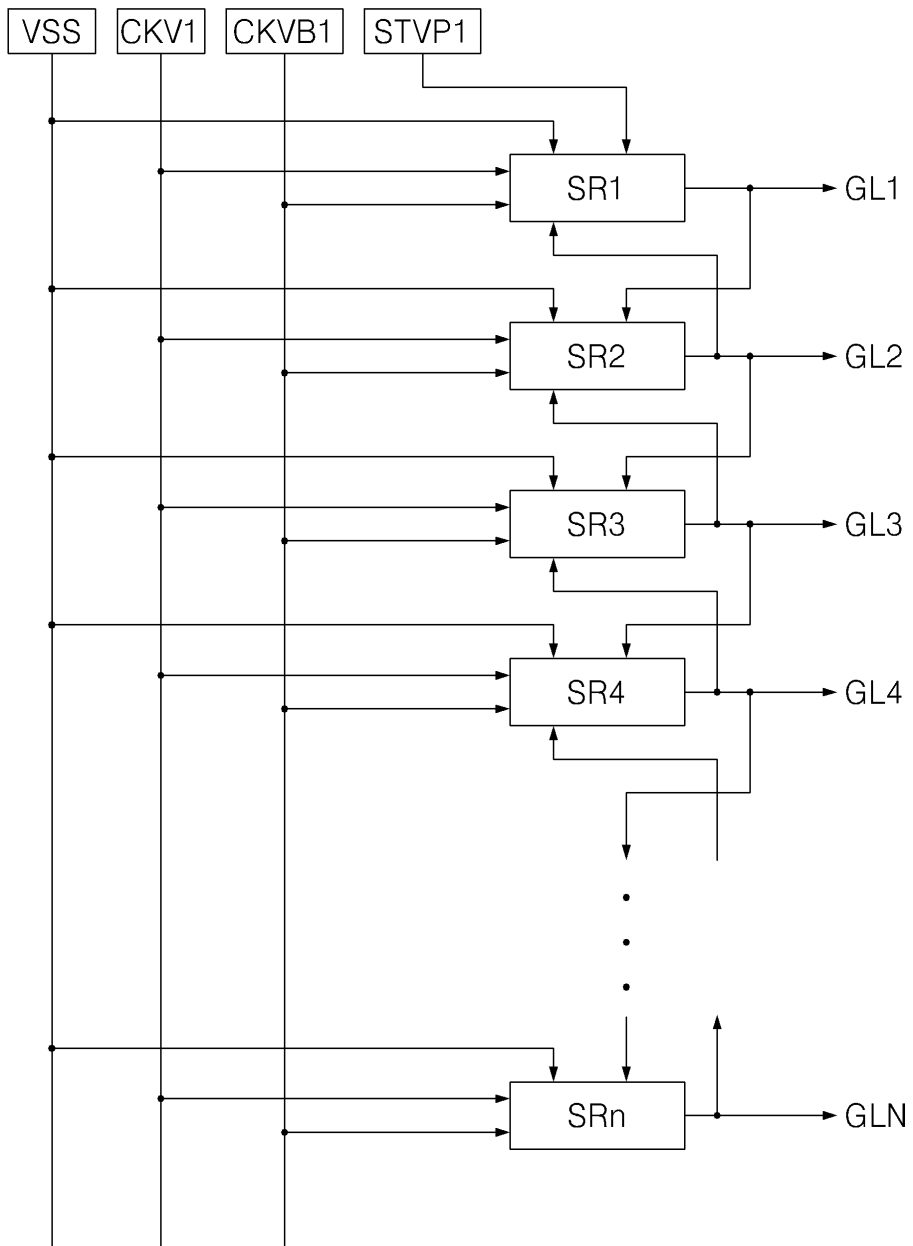
도면6a



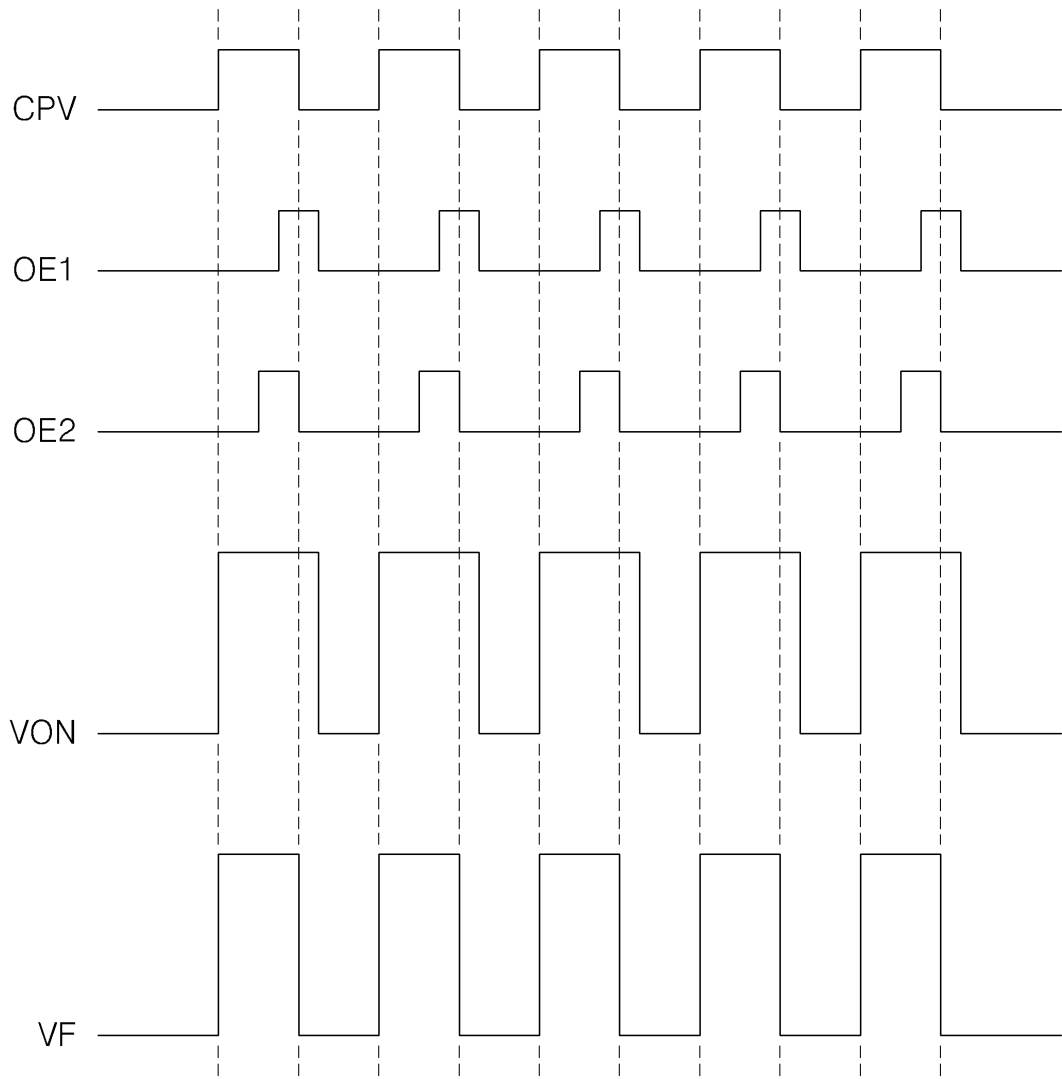
도면6b



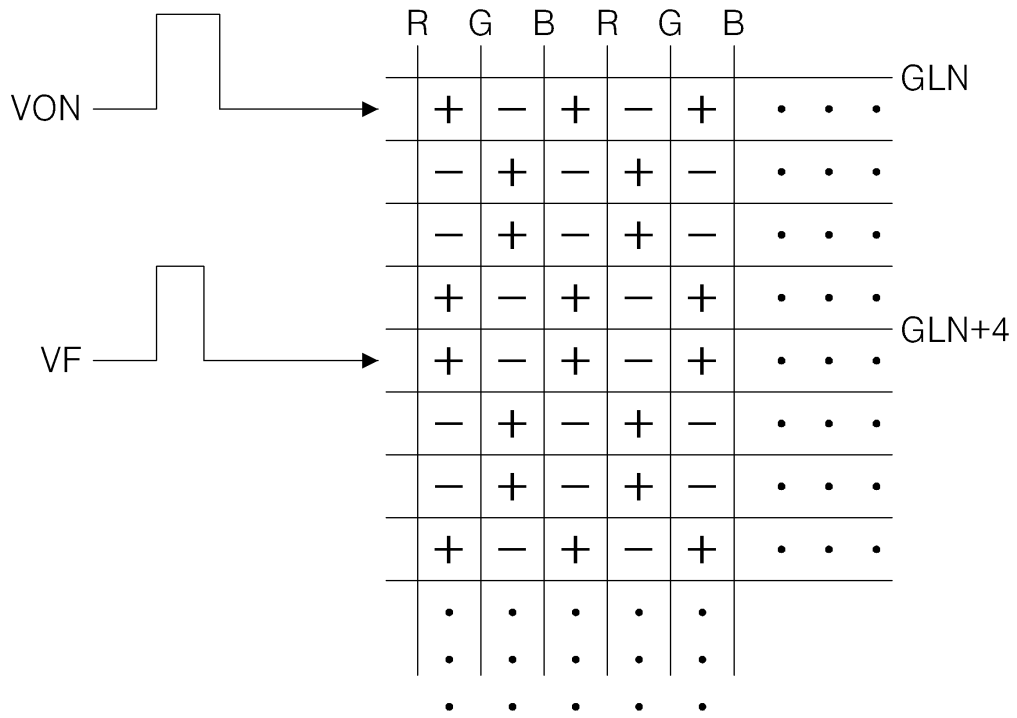
도면7



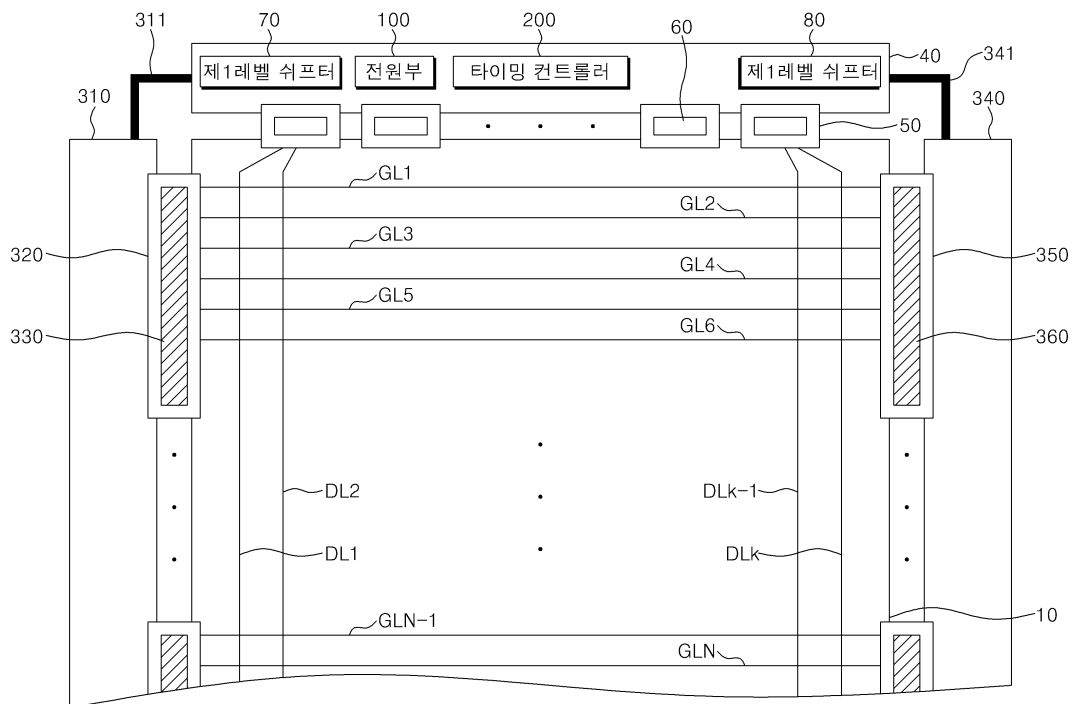
도면8



도면9



도면10



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020070121318A	公开(公告)日	2007-12-27
申请号	KR1020060056230	申请日	2006-06-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	HWANG IN JAE		
发明人	HWANG, IN JAE		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2310/04 G09G2310/0286 G09G2310/0289 G09G3/3614 G09G3/3677 G11C19/00 G09G2320/0223		
代理人(译)	KWON, HYUK SOO SE JUN OH 宋, 云何		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器及其驱动方法，当包括第一和第二栅极驱动电路并且液晶面板的N数栅极线被提供有栅极导通电压时，它提供预充电电压到N + 2n数门线并提高响应速度。为此，用于向N + 2n数栅极线提供栅极导通电压的预充电电压的液晶显示器被提供给多条栅极线，第二栅极驱动电路用于驱动多条栅极线，其连接到当前驱动的第一栅极线栅极驱动电路和多条栅极线的另一侧连接到形成在液晶面板上的多条栅极线一侧，表示图像和液晶面板。

