



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0129881

(43) 공개일자 2006년12월18일

(21) 출원번호 10-2005-0050591

(22) 출원일자 2005년06월13일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김 빈
서울 양천구 목5동 목동4단지아파트 408동 2003호
장용호
경기 성남시 분당구 분당동 셋별마을삼부아파트 414-806
조혁력
인천 남동구 만수동 만수주공8단지 805동 1109호

(74) 대리인 김영호

전체 청구항 수 : 총 30 항

(54) 쉬프트 레지스터와 이를 이용한 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 특히 쉬프트 레지스터의 풀-다운 트랜지스터의 열화에 의한 특성변화를 방지할 수 있는 액정표시장치에 관한 것이다.

이 쉬프트 레지스터는 제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터, 제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터, 제3 노드 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터, 다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터(T4n_E)를 구비한다.

대표도

도 9

특허청구의 범위

청구항 1.

제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터와;

제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터와;

제3 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터와;

다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터와;

다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터와;

다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터와;

상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터와;

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 제1 고전위 전원전압은 제1 프레임 기간에 공급되고,

상기 제2 고전위 전원전압은 제2 프레임 기간에 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터, 제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터, 제3 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터, 다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터, 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터, 스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드, 저전위 전원전압이 공급되는 제5 노드, 상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터, 상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터, 상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터, 상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터, 상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터, 상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터, 상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터, 상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터, 상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터, 상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 포함한 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 제1 고전위 전원전압은 제1 프레임 기간에 공급되고,

상기 제2 고전위 전원전압은 제2 프레임 기간에 공급되는 것을 특징으로 하는 액정표시장치

청구항 5.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터, 제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터, 제3 노드 상의 전압에 응답하여 상기 출력노드

에 로우논리의 전압을 공급하기 위한 제3 트랜지스터, 다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터, 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터, 스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드, 저전위 전원전압이 공급되는 제5 노드, 상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터, 상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터, 상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터, 상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터, 상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터, 상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터, 상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터, 상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터, 상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터, 상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 포함한 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하고,

상기 게이트 구동회로는 상기 액정표시패널의 하부기판에 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 제1 고전위 전원전압은 제1 프레임 기간에 공급되고,

상기 제2 고전위 전원전압은 제2 프레임 기간에 공급되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 7.

제 5 항에 있어서, 상기 제1 내지 제17 트랜지스터는 아몰퍼스 실리콘으로 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 8.

제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터, 제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터 및 제3 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터를 포함하는 출력부와;

다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터를 포함하고 상기 제1 내지 제3 노드를 충방전 시키기 위한 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9.

제 8 항에 있어서,

상기 제어부는,

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 10.

제 9 항에 있어서,

상기 제1 고전위 전원전압은 제1 프레임 기간에 공급되고,

상기 제2 고전위 전원전압은 제2 프레임 기간에 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 11.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터, 제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터 및 제3 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터를 포함하는 출력부 및 다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터를 포함하고 상기 제1 내지 제3 노드를 충방전 시키기 위한 제어부를 포함하는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔 펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 11 항에 있어서,

상기 제어부는,

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 더 구비하는 것을 특징으로하는 액정표시장치

청구항 13.

제 12 항에 있어서,

상기 제1 고전위 전원전압은 제1 프레임 기간에 공급되고,

상기 제2 고전위 전원전압은 제2 프레임 기간에 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 14.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

제1 노드 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터, 제2 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터 및 제3 노드 상의 전압에 응답하여 상기 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터를 포함하는 출력부 및 다이오드로 동작하여 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터를 포함하고 상기 제1 내지 제3 노드를 충전 시키기 위한 제어부를 포함하는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔 펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하고,

상기 게이트 구동회로는 상기 액정표시패널의 하부기판에 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 15.

제 14 항에 있어서,

상기 제어부는,

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 더 구비하는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 16.

제 15 항에 있어서,

상기 제1 고전위 전원전압은 제1 프레임 기간에 공급되고,

상기 제2 고전위 전원전압은 제2 프레임 기간에 공급되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 17.

제 14 및 15 항에 있어서,

상기 제1 내지 제17 트랜지스터는 아몰퍼스 실리콘으로 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 18.

제1 프레임기간 동안 발생하는 제1 고전위 전원전압, 제2 프레임기간 동안 발생하는 제2 고전위 전원전압, 상기 제1 및 제2 프레임기간 동안 발생하는 제3 고전위 전원전압 및 저전위 전원전압이 공급되고 스타트펄스와 이전 단 출력신호 중 어느 하나의 스타트신호에 응답하여 제1 제어신호를 발생하고 다음 단 출력신호에 응답하여 제2 제어신호를 발생하는 제어부와;

상기 제1 제어신호와 클럭신호에 응답하여 출력노드를 충전시키는 반면에 상기 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부를 구비하고;

상기 제2 제어신호는 상기 제1 프레임기간 동안 상기 제1 고전위 전원전압에 의해 발생되고 상기 제2 프레임기간 동안 상기 제2 고전위 전원전압에 의해 발생하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 19.

제 18 항에 있어서,

상기 출력부는,

상기 제1 신호가 공급되는 제1 노드 상의 전압에 응답하여 상기 출력노드를 충전시키기 위한 제1 트랜지스터와

상기 제2 신호가 공급되는 제2 및 제3 노드 상의 전압에 응답하여 상기 출력노드를 방전시키기 위한 제2 및 제3 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 20.

제 19 항에 있어서,

상기 제어부는,

다이오드로 동작하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 21.

제 20 항에 있어서,

상기 제어부는,

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 더 구비하는 것을 특징으로하는 쉬프트 레지스터.

청구항 22.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

제1 프레임기간 동안 발생하는 제1 고전위 전원전압, 제2 프레임기간 동안 발생하는 제2 고전위 전원전압, 상기 제1 및 제2 프레임기간 동안 발생하는 제3 고전위 전원전압 및 저전위 전원전압이 공급되고 스타트펄스와 이전 단 출력신호 중 어느 하나의 스타트신호에 응답하여 제1 제어신호를 발생하고 다음 단 출력신호에 응답하여 제2 제어신호를 발생하는 제어부와;

상기 제1 제어신호와 클럭신호에 응답하여 출력노드를 충전시키는 반면에 상기 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부를 구비하고;

상기 제2 제어신호는 상기 제1 프레임기간 동안 상기 제1 고전위 전원전압에 의해 발생되고 상기 제2 프레임기간 동안 상기 제2 고전위 전원전압에 의해 발생하는 는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 23.

제 22 항에 있어서,

상기 출력부는,

상기 제1 신호가 공급되는 제1 노드 상의 전압에 응답하여 상기 출력노드를 충전시키기 위한 제1 트랜지스터와

상기 제2 신호가 공급되는 제2 및 제3 노드 상의 전압에 응답하여 상기 출력노드를 방전시키기 위한 제2 및 제3 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 24.

제 23 항에 있어서,

상기 제어부는,

다이오드로 동작하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 25.

제 24 항에 있어서,

상기 제어부는,

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 26.

서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널과;

제1 프레임기간 동안 발생하는 제1 고전위 전원전압, 제2 프레임기간 동안 발생하는 제2 고전위 전원전압, 상기 제1 및 제2 프레임기간 동안 발생하는 제3 고전위 전원전압 및 저전위 전원전압이 공급되고 스타트펄스와 이전 단 출력신호 중 어느 하나의 스타트신호에 응답하여 제1 제어신호를 발생하고 다음 단 출력신호에 응답하여 제2 제어신호를 발생하는 제어부;

상기 제1 제어신호와 클럭신호에 응답하여 출력노드를 충전시키는 반면에 상기 제2 제어신호에 응답하여 상기 출력노드를 방전시키는 출력부를 구비하고;

상기 제2 제어신호는 상기 제1 프레임기간 동안 상기 제1 고전위 전원전압에 의해 발생되고 상기 제2 프레임기간 동안 상기 제2 고전위 전원전압에 의해 발생하는 는 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 게이트 구동회로와;

상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하고,

상기 게이트 구동회로는 상기 액정표시패널의 하부기판에 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 27.

제 26 항에 있어서,

상기 출력부는,

상기 제1 신호가 공급되는 제1 노드 상의 전압에 응답하여 상기 출력노드를 충전시키기 위한 제1 트랜지스터와

상기 제2 신호가 공급되는 제2 및 제3 노드 상의 전압에 응답하여 상기 출력노드를 방전시키기 위한 제2 및 제3 트랜지스터를 구비하는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 28.

제 27 항에 있어서,

상기 제어부는,

다이오드로 동작하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제4 트랜지스터, 다이오드로 동작하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제5 트랜지스터, 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압을 상기 제2 노드에 공급하는 제6 트랜지스터 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압을 상기 제3 노드에 공급하는 제7 트랜지스터를 구비하는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

청구항 29.

제 28 항에 있어서,

상기 제어부는,

스타트펄스 또는 이전 단의 출력신호가 공급되는 제4 노드와;

저전위 전원전압이 공급되는 제5 노드와;

상기 제4 노드에 접속된 게이트단자, 상기 제1 노드에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압이 공급되는 제8 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드에 접속된 게이트단자를 구비하는 제9 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드에 접속된 게이트단자를 구비하는 제10 트랜지스터와;

상기 제1 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호가 게이트단자에 공급되는 제11 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터와;

상기 제3 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압이 게이트단자에 공급되는 제16 트랜지스터와;

상기 제2 노드에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압이 게이트단자에 공급되는 제17 트랜지스터를 더 구비하는 것을 특징으로하는 게이트 구동회로 내장형 액정표시장치.

청구항 30.

제 27 내지 29 항에 있어서,

상기 제1 내지 제17 트랜지스터는 아몰퍼스 실리콘으로 형성되는 것을 특징으로 하는 게이트 구동회로 내장형 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 쉬프트 레지스터의 풀-다운 트랜지스터의 열화에 의한 특성변화를 방지할 수 있는 액정표시장치에 관한 것이다.

텔레비전(Television) 및 컴퓨터(Computer) 등의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다.

도 1 및 도 2는 액티브 매트릭스 타입 액정표시장치와 그 구동신호를 나타낸 것이다.

도 1 및 도 2를 참조하면, 액티브 매트릭스 타입 액정표시장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막트랜지스터(Thin Film Transister : 이하 TFT라 한다)가 형성된 액정표시패널(13)과, 액정표시패널(13)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(11)와, 게이트라인들(G1 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(12)를 구비한다.

액정표시패널(13)은 두 장의 유리기관 사이에 액정분자들이 주입된다. 이 액정표시패널(13)의 하부 유리기관 상에 형성된 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)은 상호 직교된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되며, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 TFT의 소스전극은 액정셀(Clc)의 화소전극에 접속된다. 액정표시패널(13)의 상부 유리기관 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(13)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정표시패널(13)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(11)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이버 집적회로들로 구성된다. 이 데이터 구동회로(11)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.

게이트 구동회로(12)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이버 집적회로들로 구성된다. 이 게이트 구동회로(12)는 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정표시패널(13)의 수평라인을 선택한다.

도 2에서, 'Vd'는 데이터 구동회로(11)에 의해 출력되어 데이터라인들(D1 내지 Dm)에 공급되는 데이터전압이며, 'Vlc'는 액정셀(Clc)에서 충방전되는 데이터전압이다. 그리고 'Scp'는 1 수평주기로 발생하는 스캔펄스이다. 'Vcom'은 액정셀들(Clc)의 공통전극에 공급되는 공통전압이다.

도 3 내지 도 5는 게이트 구동회로(11)의 쉬프트 레지스터 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 3의 쉬프트 레지스터는 종속적으로 접속된 n 개의 스테이지들(S_1 내지 S_n) 및 더미 스테이지(S_dum)를 구비한다. 스테이지들(S_1 내지 S_n)과 게이트라인들(G1 내지 Gn) 사이에는 도시하지 않은 레벨 쉬프터와 출력버퍼가 설치된다.

이러한 쉬프트 레지스터에서 제1 스테이지(S_1)에는 스타트신호로서 스타트펄스(Vst)가 입력되고 제2 내지 제 n 스테이지들(S_2 내지 S_n)에는 스타트신호로서 이전 단의 출력신호(Vg_1 내지 Vg_n-1)가 입력된다. 그리고, 제1 내지 제 $n-1$ 스테이지들(S_1 내지 S_n-1)에는 리셋신호로서 다음 단의 출력신호(Vg_2 내지 Vg_n)가 입력되고, 제 n 스테이지에는 더미 스테이지(Dummy Stage)의 출력신호(V_dum)가 리셋신호로서 입력된다.

또한, 각 스테이지(S_1 내지 S_n)는 동일한 회로구성을 가지며 4 개의 클럭신호(C1 내지 C4) 중 두 개의 클럭신호에 응답하여 스타트펄스(Vst) 또는 이전 단의 출력신호(Vg_1 내지 Vg_n-1)를 쉬프트시킴으로써 1 수평기간의 펄스폭을 가지는 스캔펄스를 발생한다.

도 4는 도 3에 도시된 쉬프트 레지스터에서 제 i 스테이지(S_i ; 단, i 는 n 보다 작거나 같은 양의 정수)를 나타낸 것으로서, 제 i 스테이지(S_i)는 출력노드(NO_i)에 하이논리의 전압신호를 공급하기 위한 제6 트랜지스터(T6)와, 출력노드(NO_i)에 로우논리의 전압신호를 공급하기 위한 제7 트랜지스터(T7)를 구비한다. 이러한 제 i 스테이지(S_i) 중 제1 및 제2 클럭신호에 응답하여 동작하는 제 $4j+1$ 스테이지(단, $j=0, 1, 2, \dots$)의 동작에 대하여 도 5를 결부하여 설명하기로 한다.

도 4 및 도 5를 참조하면, 제1 및 제2 클럭신호(C1, C2)가 로우논리전압을 유지하는 t1 기간 동안 스타트펄스(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)가 하이논리전압으로 제1 및 제5 트랜지스터(T1, T5)의 게이트전극에 공급되어 제1 및 제5 트랜지스터(T1, T5)를 턴-온시킨다. 이 때 제1 노드(Q) 상의 전압(V_Q)이 중간전압(Vm)으로 상승하면서 제6 트랜지스터(T6)를 턴-온시키지만 출력노드(NO_i)의 전압(Vg_i)은 제1 클럭신호(C1)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 또한, 이 때 제1 노드(Q) 상의 전압(V_Q)에 의해 제5a 트랜지스터(T5a)를 턴-온된다.

제5 트랜지스터(T5) 및 제5a 트랜지스터(T5a)의 턴-온에 의해 제2 노드(QB) 상의 전압이 낮아지면서 제3 트랜지스터(T3)와 제7 트랜지스터(T7)는 턴-오프되어 제1 노드(Q)의 방전 경로를 차단한다.

t2 기간 동안, 제1 클럭신호(C1)는 하이논리전압으로 반전되는 반면에 스타트펄스(Vst) 또는 이전 단의 출력신호(Vg_i-1)가 로우논리전압으로 반전된다. 이 때 제1 트랜지스터(T1)와 제5 트랜지스터(T5)는 턴-오프(Turn-off)되며, 제1 노드(Q) 상의 전압(V_Q)은 제1 클럭신호(C1)의 하이논리전압이 공급되는 제6 트랜지스터(T6)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제6 트랜지스터(T6)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(Q) 상의 전압(V_Q)은 부트스트래핑(Bootstrapping)에 의해 t1 기간보다 더 높은 전압(Vh)으로 상승한다. 따라서, t2 기간 동안 제6 트랜지스터(T6)는 턴-온되고 출력노드(NO_i)의 전압(Vg_i)은 제6 트랜지스터(T6)의 도통에 의해 공급되는 제1 클럭신호(C1)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

t3 기간 동안 제1 클럭신호(C1)는 로우논리전압으로 반전되고, 제2 클럭신호(C2)는 하이논리전압으로 반전된다. 이 때 제4 트랜지스터(T4)는 제2 클럭신호(C2)에 응답하여 턴-온되며 고전위 전원전압(Vdd)은 제4 트랜지스터(T4)를 경유하여 제2 노드(QB)에 공급되어 제2 노드(QB) 상의 전압(V_QB)을 상승시킨다. 이렇게 상승하는 제2 노드(QB) 상의 전압(V_QB)은 제7 트랜지스터(T7)를 턴-온시켜 출력노드(NO_i) 상의 전압(Vg_i)을 기저전압(Vss)까지 방전시킴과 동시에 제3 트랜지스터(T3)를 턴-온시켜 제1 노드(Q) 상의 전압(V_Q)을 기저전압(Vss)까지 방전시킨다.

t4 기간 동안 제2 클럭신호(C2)가 로우논리전압으로 반전되면, 제4 트랜지스터(T4)가 턴-오프된다. 이 때 제2 노드(QB) 상에는 하이논리전압이 플로팅(Floating) 된다. 이러한 제2 노드(QB) 상의 하이논리전압은 남은 프레임 기간 동안 유지된다.

한편, 이러한 쉬프트 레지스터에는 다음과 같은 문제점이 있다.

도 5에서 보는 바와 같이 쉬프트 레지스터 각 스테이지의 QB 노드에는 장시간 동안 하이 전압이 인가된다. 이렇게 QB 노드에 하이 전압이 장시간 인가되면, QB 노드에 게이트전극이 연결된 풀-다운 트랜지스터에는 열화에 의한 특성변화가 발생한다. 이러한 열화에 의한 특성변화는 회로의 오동작을 유발하며, 이와 더불어 풀-다운 트랜지스터의 동작 수명 또한 짧아지게 한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 풀-다운 트랜지스터의 열화에 의한 특성변화를 방지할 수 있는 쉬프트 레지스터와 이를 이용한 액정표시장치를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시예에 따른 쉬프트 레지스터는 제1 노드(Q) 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터(T6), 제2 노드(QB_O) 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터(T7_O), 제3 노드(QB_O) 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터(T7_E), 다이오드로 동작하여 제1 고전위 전원전압(Vdd_O)을 상기 제2 노드(QB_O)에 공급하는 제4 트랜지스터(T4_O), 다이오드로 동작하여 제2 고전위 전원전압(Vdd_E)을 상기 제3 노드(QB_E)에 공급하는 제5 트랜지스터(T4_E), 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압(Vdd_O)을 상기 제2 노드(QB_O)에 공급하는 제6 트랜지스터(T4n_O) 및 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압(Vdd_E)을 상기 제3 노드(QB_E)에 공급하는 제7 트랜지스터(T4n_E)를 구비한다.

상기 쉬프트 레지스터는 스타트펄스(Vst) 또는 이전 단의 출력신호(Vg_i-1)가 공급되는 제4 노드, 저전위 전원전압(Vss)이 공급되는 제5 노드, 상기 제4 노드에 접속된 게이트단자, 상기 제1 노드(Q)에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압(Vdd)이 공급되는 제8 트랜지스터(T1), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에

접속된 소스단자, 상기 제2 노드(QB_O)에 접속된 게이트단자를 구비하는 제9 트랜지스터(T3_O), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드(QB_E)에 접속된 게이트단자를 구비하는 제10 트랜지스터(T3_E), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호(V_{g_i+1})가 게이트단자에 공급되는 제11 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압(V_{dd_O})이 게이트단자에 공급되는 제16 트랜지스터 및 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압(V_{dd_E})이 게이트단자에 공급되는 제17 트랜지스터를 더 구비한다.

상기 제1 고전위 전원전압(V_{dd_O})은 제1 프레임 기간에 공급되고, 상기 제2 고전위 전원전압(V_{dd_E})은 제2 프레임 기간에 공급된다.

본 발명의 실시예에 따른 액정표시장치는 서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널, 제1 노드(Q) 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터(T6), 제2 노드(QB_O) 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터(T7_O), 제3 노드(QB_O) 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터(T7_E), 다이오드로 동작하여 제1 고전위 전원전압(V_{dd_O})을 상기 제2 노드(QB_O)에 공급하는 제4 트랜지스터(T4_O), 다이오드로 동작하여 제2 고전위 전원전압(V_{dd_E})을 상기 제3 노드(QB_E)에 공급하는 제5 트랜지스터(T4_E), 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압(V_{dd_O})을 상기 제2 노드(QB_O)에 공급하는 제6 트랜지스터(T4n_O), 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압(V_{dd_E})을 상기 제3 노드(QB_E)에 공급하는 제7 트랜지스터(T4n_E)를 포함한 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 게이트 구동회로, 상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비한다.

상기 쉬프트 레지스터는, 스타트펄스(V_{st}) 또는 이전 단의 출력신호(V_{g_i-1})가 공급되는 제4 노드, 저전위 전원전압(V_{ss})이 공급되는 제5 노드, 상기 제4 노드에 접속된 게이트단자, 상기 제1 노드(Q)에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압(V_{dd})이 공급되는 제8 트랜지스터(T1), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드(QB_O)에 접속된 게이트단자를 구비하는 제9 트랜지스터(T3_O), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드(QB_E)에 접속된 게이트단자를 구비하는 제10 트랜지스터(T3_E), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호(V_{g_i+1})가 게이트단자에 공급되는 제11 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압(V_{dd_O})이 게이트단자에 공급되는 제16 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압(V_{dd_E})이 게이트단자에 공급되는 제17 트랜지스터를 더 구비한다.

상기 제1 고전위 전원전압(V_{dd_O})은 제1 프레임 기간에 공급되고, 상기 제2 고전위 전원전압(V_{dd_E})은 제2 프레임 기간에 공급된다.

본 발명의 실시예에 따른 게이트 구동회로 내장형 액정표시장치는 서로 교차하는 데이터라인들 및 게이트라인들과, 상기 데이터라인들 및 상기 게이트라인들의 교차에 의해 정의되는 다수의 액정셀들을 가지는 액정표시패널, 제1 노드(Q) 상의 전압에 응답하여 출력노드에 하이논리의 전압을 공급하기 위한 제1 트랜지스터(T6), 제2 노드(QB_O) 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제2 트랜지스터(T7_O), 제3 노드(QB_O) 상의 전압에 응답하여 출력노드에 로우논리의 전압을 공급하기 위한 제3 트랜지스터(T7_E), 다이오드로 동작하여 제1 고전위 전원전압(V_{dd_O})을 상기 제2 노드(QB_O)에 공급하는 제4 트랜지스터(T4_O), 다이오드로 동작하여 제2 고전위 전원전압(V_{dd_E})을 상기 제3 노드(QB_E)에 공급하는 제5 트랜지스터(T4_E), 다음 단의 출력신호에 응답하여 상기 제1 고전위 전원전압(V_{dd_O})을

상기 제2 노드(QB_O)에 공급하는 제6 트랜지스터(T4n_O), 상기 다음 단의 출력신호에 응답하여 상기 제2 고전위 전원전압(Vdd_E)을 상기 제3 노드(QB_E)에 공급하는 제7 트랜지스터(T4n_E)를 포함한 쉬프트 레지스터를 이용하여 상기 게이트라인들에 스캔펄스를 순차적으로 공급하는 게이트 구동회로, 상기 데이터라인들에 비디오 데이터 전압을 공급하는 데이터 구동회로를 구비하고, 상기 게이트 구동회로는 상기 액정표시패널의 하부기판에 형성된다.

상기 쉬프트 레지스터는 스타트펄스(Vst) 또는 이전 단의 출력신호(Vg_i-1)가 공급되는 제4 노드, 저전위 전원전압(Vss)이 공급되는 제5 노드, 상기 제4 노드에 접속된 게이트단자, 상기 제1 노드(Q)에 접속된 소스단자를 구비하고 드레인단자에 제3 고전위 전원전압(Vdd)이 공급되는 제8 트랜지스터(T1), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제2 노드(QB_O)에 접속된 게이트단자를 구비하는 제9 트랜지스터(T3_O), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제3 노드(QB_E)에 접속된 게이트단자를 구비하는 제10 트랜지스터(T3_E), 상기 제1 노드(Q)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 다음 단의 출력신호(Vg_i+1)가 게이트단자에 공급되는 제11 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제12 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제4 노드에 접속된 게이트단자를 구비하는 제13 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제14 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자, 상기 제1 노드에 접속된 게이트단자를 구비하는 제15 트랜지스터, 상기 제3 노드(QB_E)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제1 고전위 전원전압(Vdd_O)이 게이트단자에 공급되는 제16 트랜지스터, 상기 제2 노드(QB_O)에 접속된 드레인단자, 상기 제5 노드에 접속된 소스단자를 구비하고, 상기 제2 고전위 전원전압(Vdd_E)이 게이트단자에 공급되는 제17 트랜지스터를 더 구비한다.

상기 제1 고전위 전원전압(Vdd_O)은 제1 프레임 기간에 공급되고, 상기 제2 고전위 전원전압(Vdd_E)은 제2 프레임 기간에 공급된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 6 내지 도 11b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6 및 도 7를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 $n \times m$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 n 개의 게이트라인들(G1 내지 Gn)과 m 개의 데이터라인들(D1 내지 Dm)이 교차되며 그 교차부에 박막트랜지스터(Thin Film Transistor : 이하 TFT라 한다)가 형성된 액정표시패널(103)과, 액정표시패널(103)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(101)와, 게이트라인들(G1 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(102)를 구비한다.

액정표시패널(103)은 두 장의 유리기판 사이에 액정분자들이 주입된다. 이 액정표시패널(103)의 하부 유리기판 상에 형성된 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)은 상호 직교된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되며, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 TFT의 소스전극은 액정셀(Clc)의 화소전극에 접속된다. 액정표시패널(103)의 상부 유리기판 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정표시패널(103)의 상부 유리기판과 하부 유리기판 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정표시패널(103)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 구동회로(101)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(101)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.

게이트 구동회로(102)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시켜 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트

트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(102)는 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정표시패널(103)의 수평라인을 선택한다.

도 7에서, 'Vd'는 데이터 구동회로(101)에 의해 출력되어 데이터라인들(D1 내지 Dm)에 공급되는 데이터전압이며, 'Vlc'는 액정셀(Clc)에서 충전전되는 데이터전압이다. 그리고 'Scp'는 1 수평주기로 발생하는 스캔펄스이다. 'Vcom'은 액정셀들(Clc)의 공통전극에 공급되는 공통전압이다.

도 8 내지 도 10b는 게이트 구동회로(101)의 쉬프트 레지스터 회로 구성과 그 회로의 각 노드 전압 파형을 나타낸다.

도 8의 쉬프트 레지스터는 종속적으로 접속된 n 개의 스테이지들(S₁ 내지 S_n) 및 더미 스테이지(S_{dum})를 구비한다. 스테이지들(S₁ 내지 S_n)과 게이트라인들(G1 내지 Gn) 사이에는 도시하지 않은 레벨 쉬프터와 출력버퍼가 설치된다.

이러한 쉬프트 레지스터에서 제1 스테이지(S₁)에는 스타트신호로서 스타트펄스(Vst)가 입력되고 제2 내지 제n 스테이지들(S₂ 내지 S_n)에는 스타트신호로서 이전 단계의 출력신호(Vg₁ 내지 Vg_{n-1})가 입력된다. 그리고, 제1 내지 제n-1 스테이지들(S₁ 내지 S_{n-1})에는 리셋신호로서 다음 단계의 출력신호(Vg₂ 내지 Vg_n)가 입력되고, 제n 스테이지에는 더미 스테이지(Dummy Stage)의 출력신호(V_{dum})가 리셋신호로서 입력된다.

또한, 각 스테이지(S₁ 내지 S_n)는 동일한 회로구성을 가지며 4 개의 클럭신호(C1 내지 C4) 중 어느 하나의 클럭신호에 응답하여 스타트펄스(Vst) 또는 이전 단계의 출력신호(Vg₁ 내지 Vg_{n-1})를 쉬프트시킴으로써 1 수평기간의 펄스폭을 가지는 스캔펄스를 발생한다.

도 9는 도 8에 도시된 쉬프트 레지스터에서 제i 스테이지(S_i; 단, i는 n보다 작거나 같은 양의 정수)를 간략히 나타낸 블록도이다. 이러한 제i 스테이지(S_i)는 Q 노드에 제1 신호를 공급하고, QB_O 및 QB_E 노드에 제2 신호를 공급하여 Q, QB_O 및 QB_E 노드를 충전시키는 제어부(107)와, Q, QB_O 및 QB_E 노드 상의 전압에 응답하여 하이논리의 전압 및 로우논리의 전압 중 어느 하나를 출력노드(NO_i)에 공급하는 출력부(108)로 구분된다. 출력부(108)는 이 후 설명할 도 10에서 보는 바와 같이 제1 신호에 응답하여 하이논리의 전압을 출력노드(NO_i)에 공급하기 위한 풀-업 트랜지스터(T6)와 제2 신호에 응답하여 로우논리의 전압을 출력노드(NO_i)에 공급하기 위한 풀-다운 트랜지스터들(T7_O, T7_E)을 구비한다.

도 10은 도 8에 도시된 쉬프트 레지스터에서 제i 스테이지(S_i; 단, i는 n보다 작거나 같은 양의 정수)의 구체적인 회로를 나타낸 것으로서, 제i 스테이지(S_i)는 하이논리의 전압신호를 출력노드(NO_i)에 공급하기 위한 제6 트랜지스터(T6)와, 오드(Odd) 프레임 기간에 로우논리의 전압신호를 출력노드(NO_i)에 공급하기 위한 제7_O 트랜지스터(T7_O) 및 이븐(Even) 프레임 기간에 로우논리의 전압신호를 출력노드(NO_i)에 공급하기 위한 제7_E 트랜지스터(T7_E)를 구비한다. 즉 하나의 풀-업 트랜지스터(T6)와 두개의 풀-다운 트랜지스터(T7_O, T7_E)를 구비한다.

이러한 제i 스테이지(S_i)중 제1 클럭신호(C1)에 응답하여 스캔펄스를 공급하는 제4j+1 스테이지(단, j=0, 1, 2, ...)의 동작에 대하여 도 11a 및 도 11b를 결부하여 설명하기로 한다.

제4j+1 스테이지(S_{4j+1})의 동작은 오드 프레임 기간의 동작과 이븐 프레임기간의 동작으로 구분된다.

우선, 오드 프레임 기간의 동작은 다음과 같다.

도 10 및 도 11a를 참조하면, 제1 클럭신호(C1)가 로우논리전압을 유지하는 t1 기간 동안 스타트펄스(Vst) 또는 이전 스테이지의 출력신호(Vg_{i-1})가 하이논리전압으로 제1, 제5_O, 제5_E 트랜지스터(T1, T5_O, T5_E)의 게이트전극에 공급되어 제1, 제5_O, 제5_E 트랜지스터(T1, T5_O, T5_E)를 턴-온시킨다.

이 때 제1 노드(Q) 상의 전압(V_Q)이 중간전압(Vm)으로 상승하면서 제6 트랜지스터(T6)를 턴-온시키지만 출력노드(NO_i)의 전압(Vg_i)은 제1 클럭신호(C1)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 또한, 이 때 제1 노드(Q) 상의 전압(V_Q)은 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)를 턴-온시킨다.

이러한 t1 기간동안 오드 프레임 고전위 전원전압(Vdd_O)에 의해 제 4_O 및 5b_E 트랜지스터(T4_O, T5b_E)가 턴-온되며, 이 때 턴-온된 제 4_O 및 5b_E 트랜지스터(T4_O, T5b_E)는 오드 프레임 기간동안 지속적으로 턴-온 상태를 유지한다.

한편, 제4_O 트랜지스터(T4_O)는 게이트 전극과 드레인 전극이 단락된 구조로 되어 있으며, 이러한 구조는 제4_O 트랜지스터(T4_O)를 다이오드로 동작하게 한다. 이렇게 다이오드로 동작하는 제4_O 트랜지스터(T4_O)를 통해 오드 프레임 전원전압(Vdd_O)이 제2 노드(QB_O)에 전해지지만, 제4_O 트랜지스터(T4_O)보다 큰 채널폭(적어도 5배 이상)을 가지도록 형성된 제5_O 및 제5a_O 트랜지스터(T5_O, T5a_O)에 의해 제2 노드(QB_O)의 방전경로가 형성되므로 제2 노드(QB_O) 상의 전압은 로우논리전압을 유지한다. 따라서, 제3_O 및 제7_O 트랜지스터(T3_O, T7_O)가 턴-오프되며, 제5_E, 제5a_E 및 제5b_E 트랜지스터(T5_E, T5a_E, T5b_E)의 턴-온에 의해 제3 노드(QB_E) 상의 전압이 방전되어 제3_E 및 제7_E 트랜지스터(T3_E, T7_E)가 턴-오프된다. 이렇게 제3_O, 제7_O, 제3_E 및 제7_E 트랜지스터(T3_O, T7_O, T3_E, T7_E)가 턴-오프되면, 제1 노드(Q)는 방전경로가 차단된다.

t2 기간 동안, 제1 클럭신호(C1)는 하이논리전압으로 반전되는 반면에 스타트펄스(Vst) 또는 이전 단의 출력신호(Vg_i-1)가 로우논리전압으로 반전된다. 이 때 제1, 제5_O, 제5_E 트랜지스터(T1, T5_O, T5_E)는 턴-오프(Turn-off)되며, 제1 노드(Q) 상의 전압(V_Q)은 클럭신호(Ck)의 하이논리전압이 공급되는 제6 트랜지스터(T6)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제6 트랜지스터(T6)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(Q) 상의 전압(V_Q)은 부트스트래핑(Bootstrapping)에 의해 t1 기간보다 더 높은 전압(Vh)으로 상승한다. 따라서, t2 기간 동안 제6 트랜지스터(T6)는 턴-온되고 출력노드(NO_i)의 전압(Vg_i)은 제6 트랜지스터(T6)의 도통에 의해 공급되는 클럭신호(Ck)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

이러한 t2 기간동안, 제1 노드(Q) 상의 전압(V_Q)에 의하여 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)는 턴-온 상태를 유지한다. 따라서, 제5a_O 트랜지스터(T5a_O)에 의해 제2 노드(QB_O)의 방전경로가 유지되므로, 제2 노드(QB_O) 상의 전압은 로우논리의 전압을 유지한다.

t3 기간 동안, 제1 클럭신호(C1)는 로우논리전압으로 반전되고 다음 단의 출력신호(Vg_i+1)에 의해 제3a, 제4n_O 및 제4n_E 트랜지스터(T3a, T4n_O, T4n_E) 턴-온된다. 제3a 트랜지스터(T3a)의 턴-온에 의해 제1 노드(Q)상의 전압은 방전되어 로우논리전압으로 반전되며, 이러한 제1 노드(Q) 상의 로우논리전압은 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)를 턴-오프시켜 제2 노드(QB_O)의 방전경로를 차단한다.

따라서, 제4_O 트랜지스터(T4_O)를 경유하여 제2 노드(QB_O)에 전해지는 오드 프레임 전원전압(Vdd_O)에 의해 제2 노드(QB_O) 상의 전압은 하이논리전압으로 반전된다. 이 때, 다음 단의 출력신호(Vg_i+1)에 의해 턴-온된 제4n_O 트랜지스터(T4n_O)는 제2 노드(QB_O) 상의 전압이 하이논리의 전압으로 충전되는 시간을 단축시킨다.

제2 노드(QB_O) 상의 하이논리전압은 제3_O 및 제7_O 트랜지스터(T3_O, T7_O)를 턴-온시키며, 이에 따라 제1 노드(Q)에는 제3a 트랜지스터(T3a)에 추가로 제3_O 트랜지스터(T3_O)를 경유하는 방전경로가 형성되며, 제7_O 트랜지스터(T7_O)를 통해 출력노드(NO_i) 상의 전압이 방전되어 출력신호(Vg_i)는 로우논리전압으로 반전된다.

한편, 제4n_O 트랜지스터(T4n_O)는 제2 노드(QB_O) 상의 전압이 하이논리의 전압으로 상승되는 시간을 단축시키는 역할 외에도 다음과 같은 역할을 한다.

제4_O 트랜지스터(T4_O)는 오드 프레임 전원전압(Vdd_O)에 의해 오드 프레임 기간동안 턴-온 상태를 지속적으로 유지하며, 이에 따라 제4_O 트랜지스터(T4_O)에는 열화가 발생하게 된다. 이러한 제4_O 트랜지스터(T4_O)의 열화는 제5_O 및 제5a_O 트랜지스터(T5_O, T5a_O)가 턴-온되어 커런트 플로우(Current flow)가 생기면 더욱 촉진되며, 제4_O 트랜지스터(T4_O)의 크기가 커질수록 더욱 빨리 일어나게 된다. 그러나, 제2 노드(QB_O) 상의 전압은 회로의 신뢰성과 밀접한 관계가 있기 때문에 제2 노드(QB_O)를 충전시키는 역할을 하는 제4_O 트랜지스터(T4_O)의 크기는 어느 정도 커야한다. 즉, 트레이드오프(Trade off) 관계가 성립하게 되는데, 제4n_O 트랜지스터(T4n_O)는 제4_O 트랜지스터(T4_O)의 크기를 어느 정도 작게 유지하면서도 제2 노드(QB_O) 상의 전압을 높일 수 있게 해준다. 이러한 제4n_O 트랜지스터(T4n_O)는 1 프레임 기간동안 다음 단의 출력신호(Vg_i+1)가 입력되는 때 1번만 동작하므로 열화에 대한 문제는 없다. 또한, 이러한 구조는 액정표시패널의 크기가 크거나, 해상도가 높아 회로의 크기가 커질 수 밖에 없는 액정표시장치에 있어서 특히 유리하다.

t4 기간 동안, 다음 단의 출력신호(Vg_i+1)는 로우논리의 전압으로 반전되어 제4n_O 및 제4n_E 트랜지스터(T4n_O, T4n_E)를 턴-오프시킨다.

이후, 남은 오드 프레임 기간동안 제2 노드(QB_O) 상의 전압은 제4_O 트랜지스터(T4_O)를 경유하여 공급되는 오드 프레임 전원전압(Vdd_O)에 의해 하이논리의 전압을 유지하며, 이는 제1 노드(Q)와 출력노드(NO_i) 상의 전압을 로우논리의 전압으로 유지하게끔 한다.

다음으로 이븐 프레임의 동작은 다음과 같다.

도 10 및 도 11b를 참조하면, 제1 클럭신호(C1)가 로우논리전압을 유지하는 t1 기간 동안 스타트펄스(Vst) 또는 이전 스테이지의 출력신호(Vg_i-1)가 하이논리전압으로 제1, 제5_O, 제5_E 트랜지스터(T1, T5_O, T5_E)의 게이트전극에 공급되어 제1, 제5_O, 제5_E 트랜지스터(T1, T5_O, T5_E)를 턴-온시킨다.

이 때 제1 노드(Q) 상의 전압(V_Q)이 중간전압(Vm)으로 상승하면서 제6 트랜지스터(T6)를 턴-온시키지만 출력노드(NO_i)의 전압(Vg_i)은 제1 클럭신호(C1)가 로우논리전압으로 유지되고 있으므로 로우논리전압을 유지한다. 또한, 이 때 제1 노드(Q) 상의 전압(V_Q)은 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)를 턴-온시킨다.

이러한 t1 기간동안 이븐 프레임 고전위 전원전압(Vdd_E)에 의해 제 4_E 및 5b_O 트랜지스터(T4_E, T5b_O)가 턴-온되며, 이 때 턴-온된 제 4_E 및 5b_O 트랜지스터(T4_E, T5b_O)는 이븐 프레임 기간동안 지속적으로 턴-온 상태를 유지한다.

한편, 제4_E 트랜지스터(T4_E)는 게이트 전극과 드레인 전극이 단락된 구조로 되어 있으며, 이러한 구조는 제4_E 트랜지스터(T4_E)를 다이오드로 동작하게 한다. 이렇게 다이오드로 동작하는 제 4_E 트랜지스터(T4_E)를 통해 이븐 프레임 전원전압(Vdd_E)이 제3 노드(QB_E)에 전해지지만, 제 4_E 트랜지스터(T4_E)보다 큰 채널폭(적어도 5배 이상)을 가지도록 형성된 제5_E 및 제5a_E 트랜지스터(T5_E, T5a_E)에 의해 제3 노드(QB_E)의 방전경로가 형성되므로 제3 노드(QB_E) 상의 전압은 로우논리전압을 유지한다. 따라서, 제3_E 및 제7_E 트랜지스터(T3_E, T7_E)가 턴-오프되며, 제5_O, 제5a_O 및 제5b_O 트랜지스터(T5_O, T5a_O, T5b_O)의 턴-온에 의해 제2 노드(QB_O) 상의 전압이 방전되어 제3_O 및 제7_O 트랜지스터(T3_O, T7_O)가 턴-오프된다. 이렇게 제3_O, 제7_O, 제3_E 및 제7_E 트랜지스터(T3_O, T7_O, T3_E, T7_E)가 턴-오프되면, 제1 노드(Q)는 방전경로가 차단된다.

t2 기간 동안, 제1 클럭신호(C1)는 하이논리전압으로 반전되는 반면에 스타트펄스(Vst) 또는 이전 단의 출력신호(Vg_i-1)가 로우논리전압으로 반전된다. 이 때 제1, 제5_O, 제5_E 트랜지스터(T1, T5_O, T5_E)는 턴-오프(Turn-off)되며, 제1 노드(Q) 상의 전압(V_Q)은 클럭신호(Ck)의 하이논리전압이 공급되는 제6 트랜지스터(T6)의 드레인전극과 게이트전극 사이의 기생 캐패시턴스에 충전되는 전압이 더해지면서 제6 트랜지스터(T6)의 문턱전압 이상으로 상승한다. 즉, 제1 노드(Q) 상의 전압(V_Q)은 부트스트래핑(Bootstrapping)에 의해 t1 기간보다 더 높은 전압(Vh)으로 상승한다. 따라서, t2 기간 동안 제6 트랜지스터(T6)는 턴-온되고 출력노드(NO_i)의 전압(Vg_i)은 제6 트랜지스터(T6)의 도통에 의해 공급되는 클럭신호(Ck)의 전압에 의해 상승하여 하이논리전압으로 반전된다.

이러한 t2 기간동안, 제1 노드(Q) 상의 전압(Vh)에 의하여 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)는 턴-온 상태를 유지한다. 따라서, 제5a_E 트랜지스터(T5a_E)에 의해 제3 노드(QB_E)의 방전경로가 유지되므로, 제3 노드(QB_E) 상의 전압은 로우논리의 전압을 유지한다.

t3 기간 동안, 제1 클럭신호(C1)는 로우논리전압으로 반전되고 다음 단의 출력신호(Vg_i+1)에 의해 제3a, 제4n_O 및 제4n_E 트랜지스터(T3a, T4n_O, T4n_E) 턴-온된다. 제3a 트랜지스터(T3a)의 턴-온에 의해 제1 노드(Q)상의 전압은 방전되어 로우논리전압으로 반전되며, 이러한 제1 노드(Q) 상의 로우논리전압은 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)를 턴-오프시켜 제3 노드(QB_E)의 방전경로를 차단한다.

따라서, 제4_E 트랜지스터(T4_E)를 경유하여 제3 노드(QB_E)에 전해지는 이븐 프레임 전원전압(Vdd_E)에 의해 제3 노드(QB_E) 상의 전압은 하이논리전압으로 반전된다. 이 때, 다음 단의 출력신호(Vg_i+1)에 의해 턴-온된 제4n_E 트랜지스터(T4n_O)는 제3 노드(QB_E) 상의 전압이 하이논리의 전압으로 충전되는 시간을 단축시킨다.

제3 노드(QB_E) 상의 하이논리전압은 제3_E 및 제7_E 트랜지스터(T3_E, T7_E)를 턴-온시키며, 이에 따라 제1 노드(Q)에는 제3a 트랜지스터(T3a)에 추가로 제3_E 트랜지스터(T3_E)를 경유하는 방전경로가 형성되며, 제7_E 트랜지스터(T7_E)를 통해 출력노드(NO_i) 상의 전압이 방전되어 출력신호(Vg_i)는 로우논리전압으로 반전된다.

t4 기간 동안, 다음 단의 출력신호(V_{g_i+1})는 로우논리의 전압으로 반전되어 제4n_O 및 제4n_E 트랜지스터($T4n_O$, $T4n_E$)를 턴-오프시킨다.

이후, 남은 오드 프레임 기간동안 제3 노드(QB_E) 상의 전압은 제4_E 트랜지스터($T4_E$)를 경유하여 공급되는 이븐 프레임 전원전압(V_{dd_E})에 의해 하이논리의 전압을 유지하며, 이는 제1 노드(Q)와 출력노드(NO_i) 상의 전압을 로우논리의 전압으로 유지하게끔 한다.

한편, 상술한 본 발명의 실시예에서의 쉬프트 레지스터를 포함하는 게이트 구동회로는 도 12a 및 도 12b에서 보는 바와 같이 액정표시패널(103)의 하부기판에 형성되는 방식으로 액정표시패널(13) 내장될 수도 있다. 이와 같이 액정표시패널(103)에 내장되는 게이트 구동회로는 아몰퍼스(Amorphous) 트랜지스터 이용하여 액정표시패널(103)의 하부기판에 형성된다.

도 12a는 액정표시패널(103)이 화면표시영역(109)의 외부 일측에 게이트 구동회로(104)를 내장한 형태이며, 도 12b는 액정표시패널(103)이 화면표시영역(109)의 양측에 게이트 구동회로를 제1 및 제2 게이트 구동회로(105, 106)로 분할하여 내장하는 형태를 나타낸다. 도 12b에서와 같이 양측에 게이트 구동회로를 내장하는 형태에서는 제1 및 제2 게이트 구동회로가 동시에 스캔펄스를 공급할 수도 있고, 서로 다른 타이밍에 교대하여 스캔펄스를 공급할 수도 있다. 이와 같은 내장형 게이트 구동회로는 공정상의 비용감소와 액정표시장치의 박막화에 유리하다.

발명의 효과

상술한 바와 같이, 본 발명의 실시예에 따른 쉬프트 레지스터는 두 개의 풀-다운 트랜지스터를 구비하여 오드 프레임 기간과 이븐 프레임기간에 교대로 동작시킴으로써, 풀-다운 트랜지스터의 게이트전압 인가시간을 줄여 게이트전압 스트레스에 의한 풀-다운트랜지스터의 동작 특성 열화를 줄일 수 있고, 그 결과 풀-다운트랜지스터의 동작 수명을 연장시킬 수 있다. 아울러 제4n_O 및 제4n_E 트랜지스터를 구비함으로써 QB 노드의 충전을 빨리 시킬 수 있으며, 더불어 QB 노드를 충전시키는 역할을 하는 제4_O 및 제4_E 트랜지스터의 열화를 방지하고 동작 수명을 연장시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 평면도.

도 2는 도 1에 도시된 액정표시장치의 구동신호를 나타낸 파형도.

도 3은 도 1에 도시된 액정표시장치의 게이트 구동회로를 나타낸 블록도.

도 4는 도 3에 도시된 게이트 구동회로의 각 스테이지를 나타낸 회로도.

도 5는 도 4에 도시된 회로의 각 노드 전압을 나타낸 파형도.

도 6은 본 발명의 실시예에 따른 액정표시장치를 나타낸 평면도.

도 7은 도 6에 도시된 액정표시장치의 구동신호를 나타낸 파형도.

도 8은 도 6에 도시된 액정표시장치의 게이트 구동회로를 나타낸 블록도.

도 9는 도 8에 도시된 게이트 구동회로의 각 스테이지를 나타낸 회로도.

도 10a는 도 9에 도시된 회로의 오드 프레임 기간의 각 노드 전압을 나타낸 파형도.

도 10b는 도 9에 도시된 회로의 이븐 프레임 기간의 각 노드 전압을 나타낸 파형도.

도 11a는 게이트 구동회로 내장형 액정표시패널을 나타내는 평면도.

도 11b는 게이트 구동회로 내장형 액정표시패널을 나타내는 평면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 101 : 데이터 구동회로

12, 102, 104, 105, 106 : 게이트 구동회로

13, 103 : 액정표시패널

C1, C2, C3, C4 : 클럭신호

S_1, S_2, ... : 스테이지

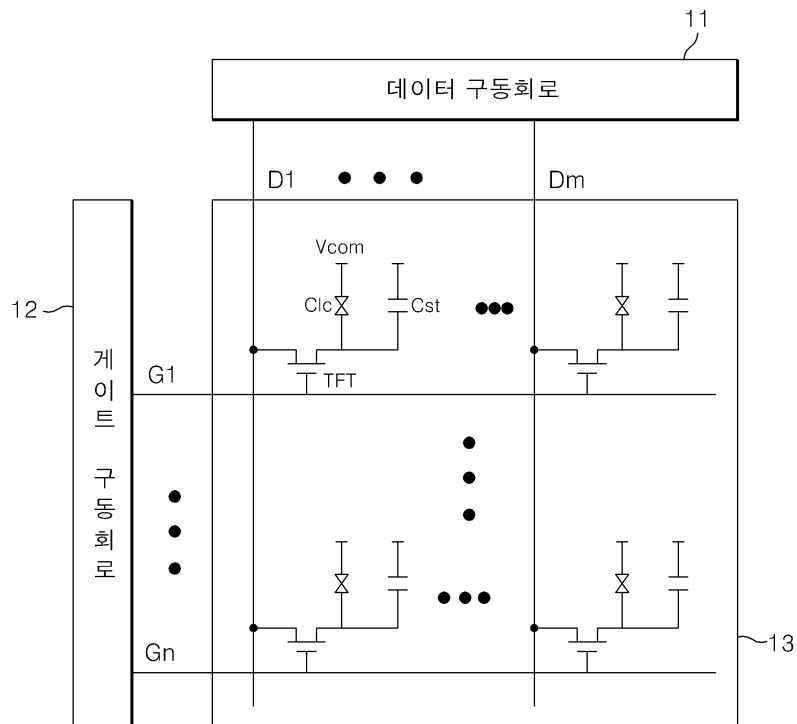
Vg_1, Vg_2, ... : 출력신호

T6 : 풀-업 트랜지스터

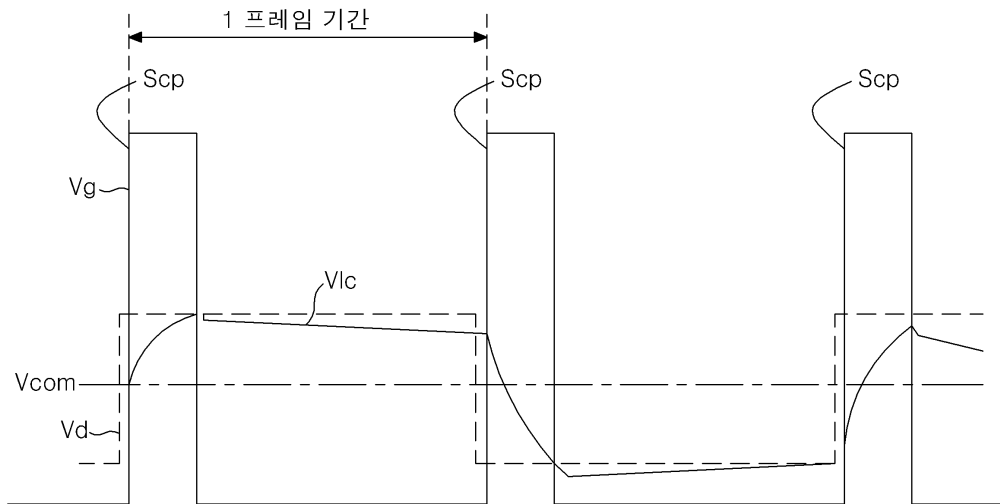
T7, T7_O, T7_E : 풀-다운 트랜지스터

도면

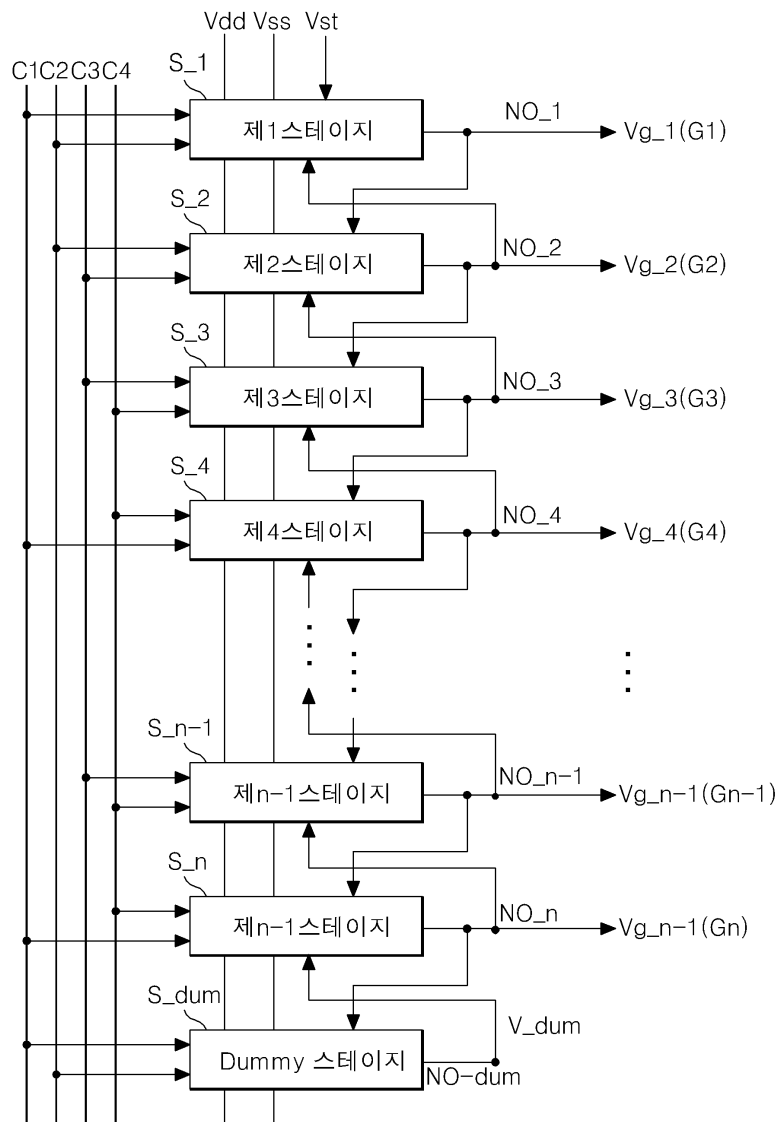
도면1



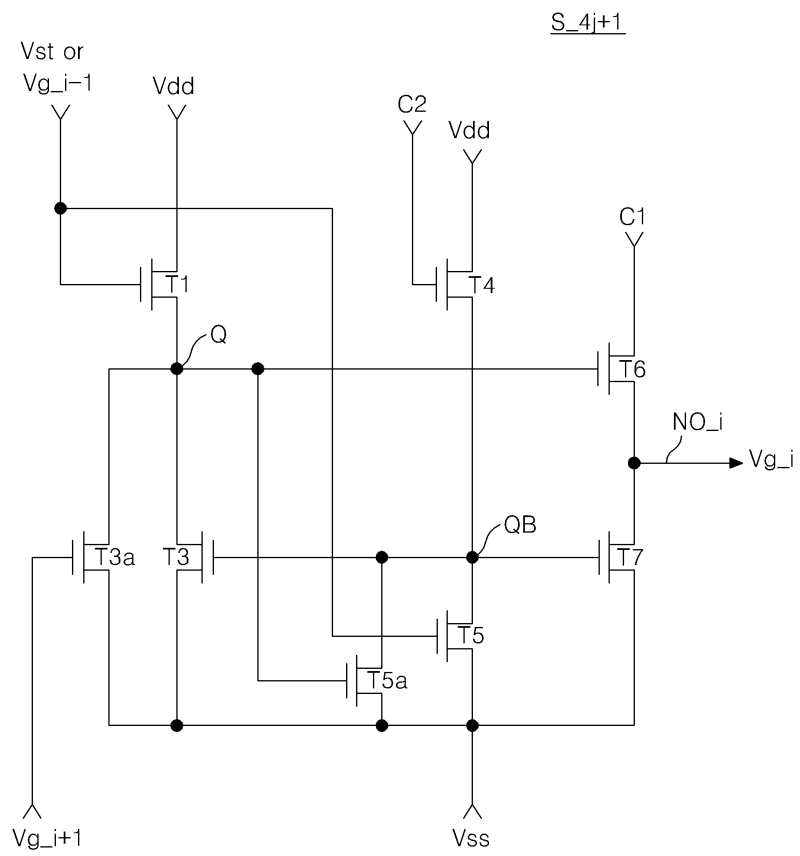
도면2



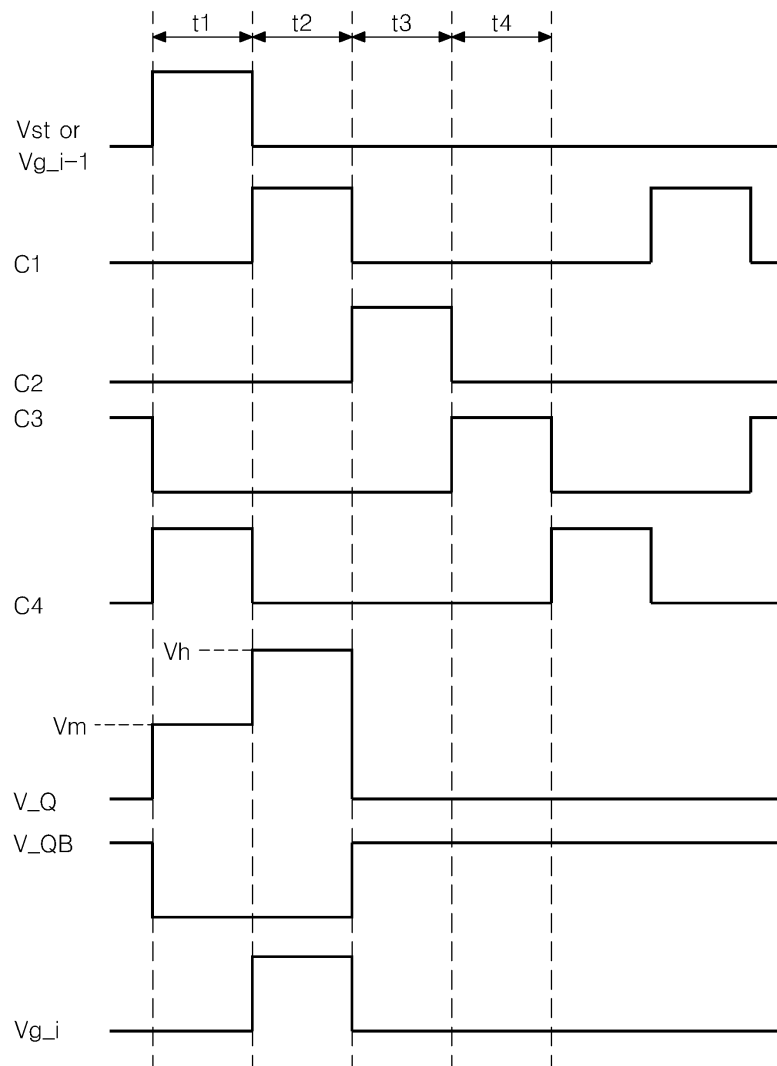
도면3



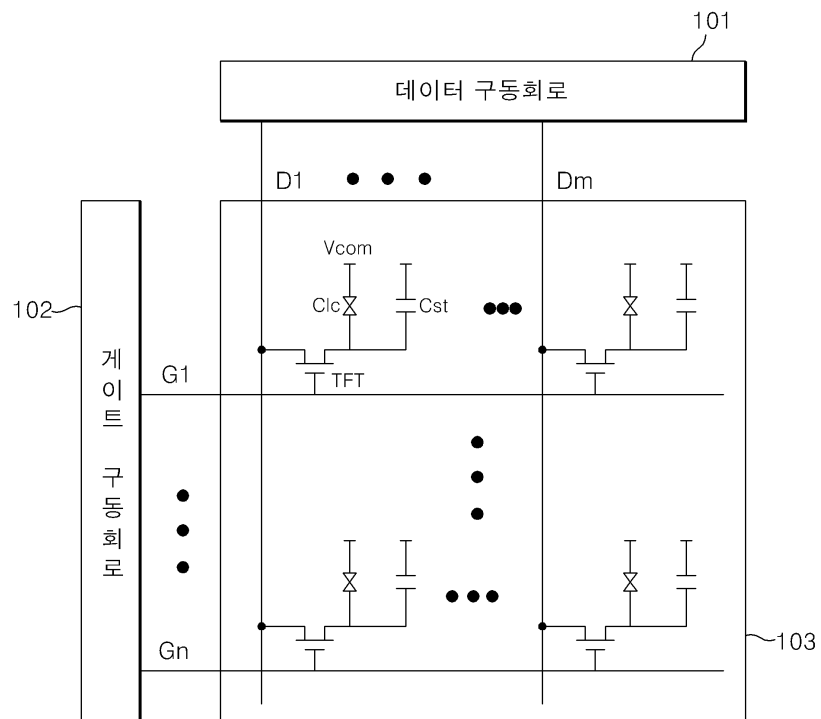
도면4



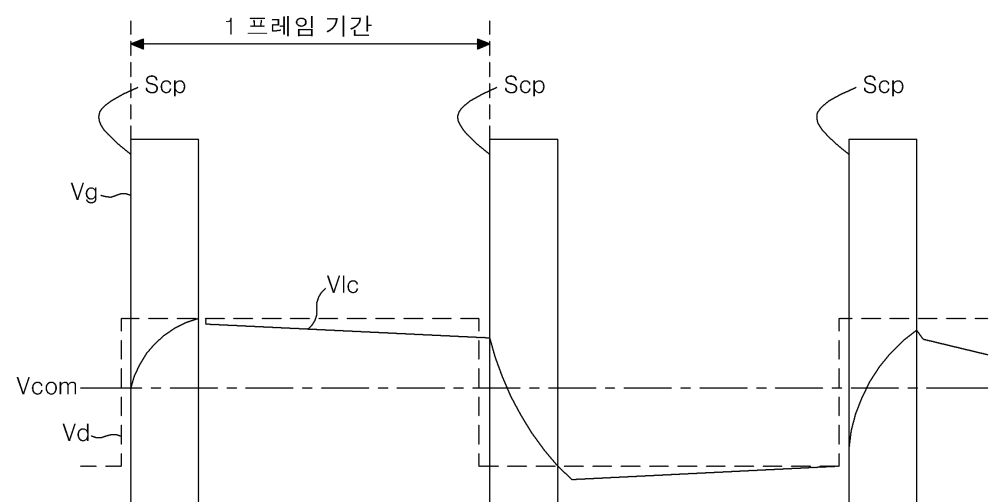
도면5



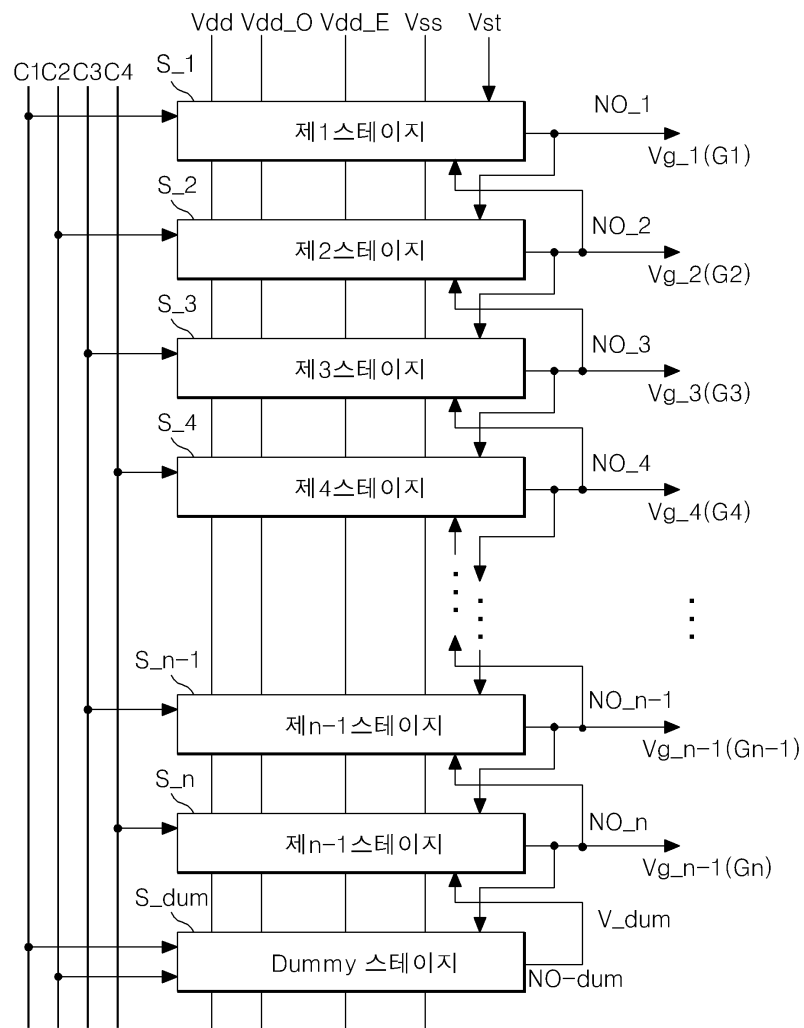
도면6



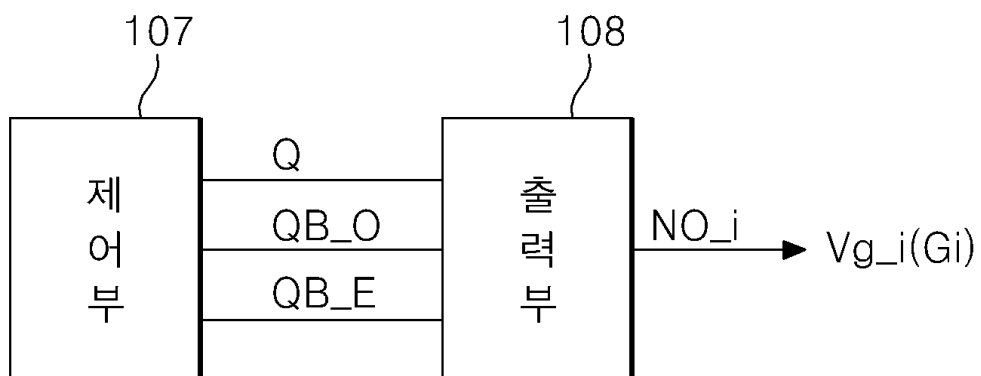
도면7



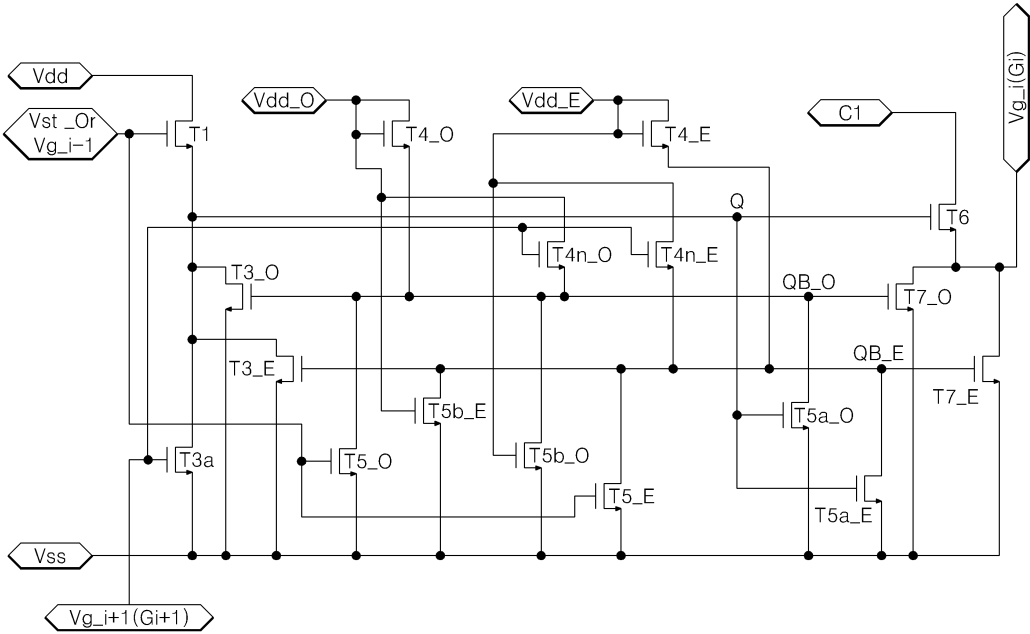
도면8



도면9

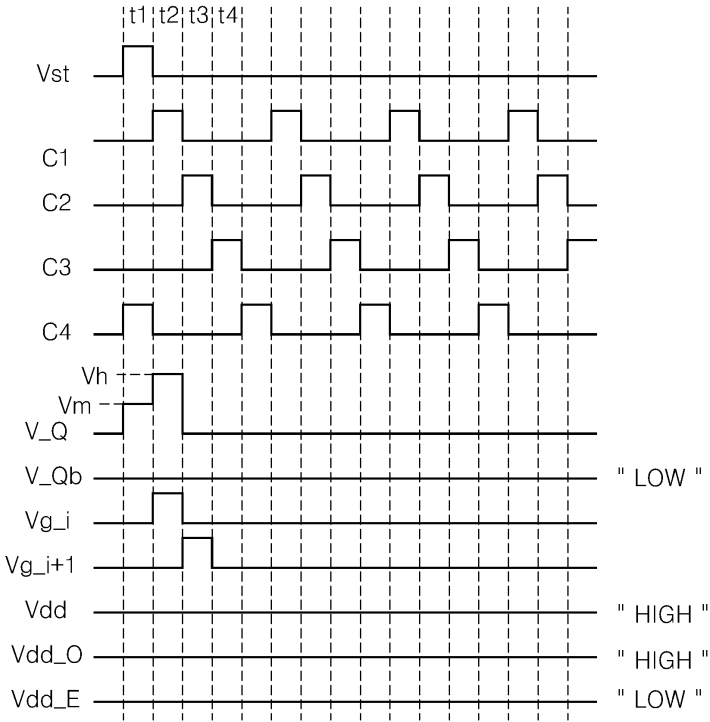


도면10

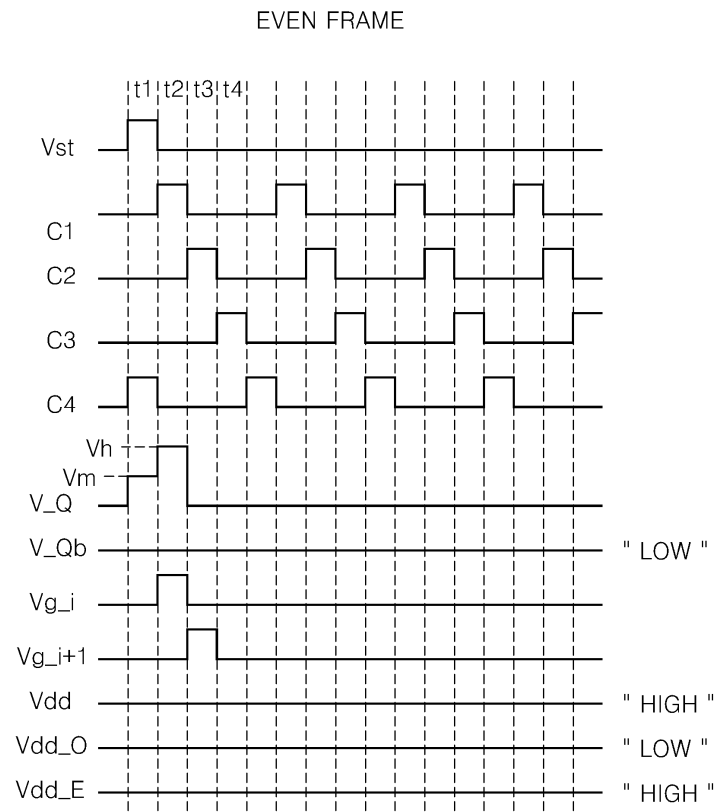


도면11a

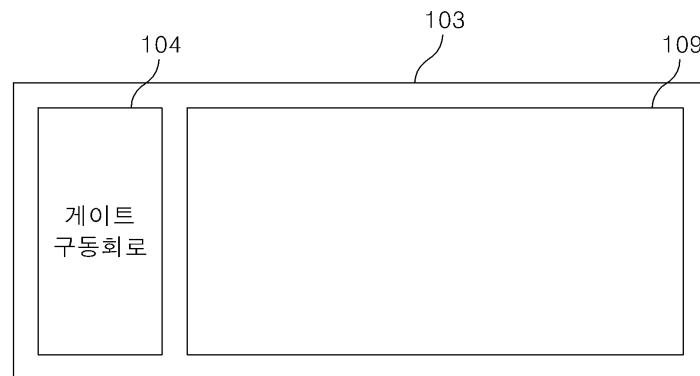
ODD FRAME



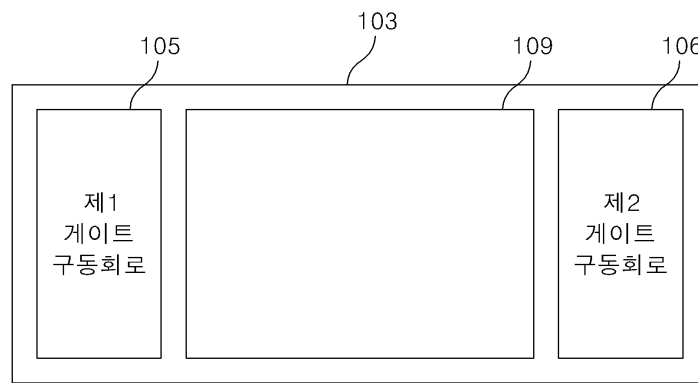
도면11b



도면12a



도면12b



专利名称(译)	移位寄存器和使用它的液晶显示器		
公开(公告)号	KR1020060129881A	公开(公告)日	2006-12-18
申请号	KR1020050050591	申请日	2005-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 JANG YONG HO 장용호 CHO HYUNG NYUCK 조혁력		
发明人	김빈 장용호 조혁력		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3696 G09G2310/0286 G09G2320/046		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101127842B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器，尤其能够防止由于作为液晶显示器的移位寄存器的下拉晶体管的劣化而改变的特性。该移位寄存器包括第一晶体管，用于响应于第一节点，第三晶体管上的电压，将高逻辑电压提供给输出节点，用于响应于第二晶体管向输出节点提供低逻辑电压。晶体管，用于响应第二节点上的电压向输出节点提供低逻辑电压，并且第三节点的电压调节第四晶体管，第四晶体管将第一高电位电源电压提供给它操作的第二节点二极管，第五晶体管，其向第二节点提供第二高压电源电压，其工作于二极管；以及第六晶体管，响应于下一级的输出信号，将第一高电位电源电压提供给第二节点，第七晶体管（T_{4nE}）响应下一级的输出信号向第三节点提供第二高压电源电压。

