

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0037365
G02F 1/13 (2006.01) (43) 공개일자 2006년05월03일

(21) 출원번호	10-2006-7001087	(87) 국제공개번호	WO 2005/008318
(22) 출원일자	2006년01월17일	국제공개일자	2005년01월27일
번역문 제출일자	2006년01월17일		
(86) 국제출원번호	PCT/JP2004/010552		
국제출원일자	2004년07월16일		

(30) 우선권주장 JP-P-2003-00277603 2003년07월22일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고

(72) 발명자 안도 나오키
일본국 도쿄도 시나가와쿠 기타시나가와 6-7-35 소니 가부시끼가이샤
내

(74) 대리인 최달용

심사청구 : 없음

(54) 검사 방법, 반도체 장치, 및 표시 장치

요약

액정 표시 장치에서의 데이터선, 게이트선의 선 결함을 효율적으로 검사할 수 있도록 한다. 액정 표시 장치의 반도체 기판의 배선 레이아웃 구조에 따라, 검사용의 논리 회로를 마련하고, 이 논리 회로의 입력에, 데이터선의 단부를 접속한다. 검사할 때에는, 소정의 논리치에 대응하는 검사용 구동 신호를 데이터선에 인가하고, 이때에 얻어지는 논리 회로의 출력에 의해 데이터선의 결함을 판정한다. 이것은 데이터선의 결함은, 논리 회로의 출력인 논리치, 즉 2치의 상태에 의해 판정할 수 있음을 의미한다. 또한, 이와 같은 구성을 게이트선에도 적용한다.

대표도

도 3

색인어

반도체 장치, 표시 장치

명세서

기술분야

본 발명은, 화소 구동용 셀이 매트릭스 형상으로 배열되도록 하여 형성되는 반도체 기관의 검사 방법과, 이 검사 방법에 대응한 반도체 기관으로 이루어지는 반도체 장치와, 이와 같은 반도체 장치를 구비한 표시 장치에 관한 것이다.

배경기술

액티브 매트릭스 방식을 채용한 액정 표시 장치가, 예를 들면 액정 프로젝터 장치나, 액정 디스플레이 장치 등에 널리 채용되고 있다.

이와 같은 액티브 매트릭스 방식에 의한 액정 표시 장치는, 유지하는 바와 같이, 예를 들면 반도체 기관에 대해, 예를 들면 MOS형 트랜지스터에 의한 화소 스위치와, 이 화소 스위치에 접속되는 화소 용량을 구비한 화소 셀 구동 회로가 매트릭스 형상으로 배치되도록 하여 형성된다.

즉, 수평(행) 방향에 따라서는 복수의 주사선(게이트선)이 배치됨과 함께, 수직(열) 방향에 따라서는 복수의 데이터선이 배치된다. 그리고, 이들 게이트선과 데이터선과의 교점에 대응하는 위치에 대해, 화소 셀 구동 회로가 접속되는 것이다. 그리고, 이 반도체 기관에 대해, 공통 전극을 형성한 대향 기관을 대향시키고, 이들 반도체 기관과 대향 기관 사이에 액정을 봉입(封入)하도록 된다. 이와 같은 구조에 의해 액정 표시 장치가 구성된다.

또한, 이와 같은 액정 표시 장치에서의 화상 표시를 위한 구동을 간단히 설명하면 다음과 같이 된다.

수평 방향으로 배치된 게이트선에 대해서는, 예를 들면 1수평 주사 기간마다, 소정 레벨의 전압을 순차적으로 인가하여 가도록 된다. 즉, 게이트선의 순차 주사를 행하여 가도록 된다. 이때, 주사가 행하여진 게이트선에 접속되어 있는 복수의 화소 스위치(MOS형 트랜지스터)의 게이트에 게이트 전압이 인가되는 것으로 되어, 이들의 화소 스위치는 온 상태로 된다. 이와 함께, 1수평 주사 기간 내에서는, 데이터선을 구동하는 것이 행하여진다. 즉, 데이터선에 대해 데이터에 응한 전압을 인가한다. 또한, 이때에는, 데이터선에 대해, 순차적으로, 데이터를 인가하는, 이른바 점순차(点顺次) 구동 방식에 의한 데이터선 구동이 일반적으로는 행하여진다.

이와 같이 하여 인가된 데이터는, 상기한 바와 같이 하여 온 상태에 있는 화소 스위치를 통하여 화소 용량에 전하로서 축적된다. 즉, 1수평 라인분의 화소 셀에 대한 데이터의 기록이 행하여지는 것이다. 이와 같이 하여 데이터의 기록이 행하여지면, 화소 용량에 축적된 전하와, 대향 전극에 인가되는 공통 전압 사이에 전위차가 생기고, 이 전위차에 의해, 그 사이에 봉입된 액정이 여기(勵起)되게 된다. 즉, 화소 셀의 구동이 행하여진다.

그리고, 이와 같은 1게이트선마다 대응하는 화소 셀의 구동이, 게이트선을 순차 주사할 때마다 실행됨으로써, 예를 들면 1화면분의 화상이 표시된다.

또한, 액정 표시 장치에서의 표시 구동에서는, 액정에 직류 전압이 걸림으로써 액정이 열화되어 버리는 것을 막도록 구동이 행하여지는 것이 통상이다. 그리고, 이와 같은 교류 구동의 방식의 하나로서, 공통 전압을 기준으로 하여, 정극측과 부극측으로 화소 데이터를 반전시켜서 구동하는 극성 반전 구동이 알려져 있다. 이 극성 반전 구동의 타이밍으로서는, 프레임 단위로 반전시키는 프레임 반전법, 수평 라인마다 반전시키는 라인 반전법, 또한, 화소 셀(도트)마다 반전시키는 도트 반전법 등을 들 수 있다.

그런데, 상기 구조에 의한 액정 표시 장치를 구성하는 반도체 기관이지만, 그 제조 과정에 있어서, 게이트선이나 데이터선에 회로에 불량이 형성되어 버리는 경우가 있다. 즉, 게이트선, 데이터선이 단선, 또는 다른 반도체 기관에서의 어떠한 배선과 단락하는 등으로, 정상적으로 동작하지 않는 게이트선, 데이터선이 존재할 가능성을 갖고 있다. 이와 같은 불량은, 선 결함이라고 한다. 선 결함에 의해서는 예를 들면 라인 형상의 비표시가 나타난다는, 액정 표시 장치로서는 중대한 품질 결함을 초래한다.

이 때문에, 액정 표시 장치를 제조하는 과정에서는, 반도체 기관상의 회로를 대상으로 하여, 선 결함이 없는지의 여부를 검사하는 것이 행하여진다.

이와 같은 반도체 기관 회로의 선 결함에 관한 검사는, 예를 들면, 다음과 같이 하여 행하여지고 있다.

즉, 게이트선이나 데이터선의 단부에 전기적으로 접속된 패드를 반도체 기관 회로에 마련하도록 한다. 그리고, 검사 대상이 되는 게이트선, 데이터선에 소정 레벨의 전압 인가를 행하고, 상기 패드에 대해 프로브의 바늘을 직접 대어서, 검출되는 전류를 관측하도록 된다. 이때에 검출되는 전류의 레벨은, 선 결함의 유무 등의 게이트선, 데이터선의 상태 등에 따른 변화를 나타내기 때문에, 이로써, 선 결함의 유무를 판정할 수 있다.

그러나, 근래에는, 예를 들면 프로젝터 장치 등에의 채용을 고려하여, 액정 표시 장치에 관해 소형화하고, 또한, 해상도의 향상을 위해 단위 면적당의 화소 수를 증가시키는 것이 요구되고 있다. 그러나, 이와 같은 소형화 또는 화소 수 증가에 따라서는, 인접하는 게이트선 사이 및 데이터선 사이의 간격이 좁아진다. 이 때문에, 반도체 기관상에, 게이트선, 데이터선마다 대응한 패드를 배치할 스페이스를 확보하는 것이 곤란하게 되어 오기 때문에, 상기한 검사를 현실적으로 행하는 것도 어렵게 되어 온다는 문제가 생긴다.

그래서, 예를 들면 특허 문헌 1(특개2001-201765호 공보)에 기재되어 있는 바와 같이, 예를 들면 데이터선에 관해, 구동 회로와 접속되지 않는 측의 단부를 공통 접속하여 하나로 통합하여 입출력 단자에 접속하고, 이 입출력 단자와 영상 신호를 공급하기 위한 단자 사이에 대해 외부로부터 소정 레벨의 전압을 인가하도록 된다. 그리고, 이때에 단자에 흐르는 전류 레벨을 관측함으로써, 선 결함의 불량률을 판정하도록 된다.

그러나, 상기 특허 문헌 1로서 개시되어 있는 발명의 내용에 의하면, 전류 레벨의 측정은, 아날로그 값에 의한 것으로 된다. 이와 같이 하여, 아날로그 값에 의한 전류 레벨 측정을 전제로 하는 경우에는, 측정한 전류 레벨에 의거한 선 결함 등의 판정을 정확하게 행하기 위해서는, 아날로그 값인 것에 의한 측정 오차를 고려하여야 한다. 이 때문에, 전류 레벨을 측정하기 위한 검사 시간이 길어져 버리고, 효율적으로 검사 작업을 진척시켜 나가는 것이 어렵다는 문제를 안고 있다.

그래서, 예를 들면 테스트시간을 단축하기 위해, 모든 데이터선 또는 게이트선에 관한 전류 레벨 검출을 일괄적으로 행하도록 하는 것도 고려된다. 그러나, 이 경우에는, 복수에 통합된 데이터선 또는 게이트선중에서, 예를 들면 1개소만이 단선 또는 단락하고 있는 경우에는, 전류 레벨로서 반영되는 변화가 매우 작은 것으로 되어, 결과적으로, 전류 레벨에 의해서는, 선 결함에 관한 판정 결과를 정확하게 얻는 것이 어렵게 되어 버린다. 이 때문에, 결국은, 예를 들면 데이터선 또는 게이트선에 대해 순차적으로 전압 인가를 행하여 구동하여야 한다. 이와 같이 하여, 현재 상태에 있어서, 액정 표시 장치 등의 반도체 기관의 선 결함의 검사에 관해서는, 보다 효율적으로 행할 수 있도록 되는 것이 요구되고 있다.

발명의 상세한 설명

그래서 본 발명은 상기한 과제를 고려하여, 화소 스위치와, 이 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로가, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하여 매트릭스 형상으로 배열되어 형성되는 반도체 기관에 대한 검사 방법으로서 다음과 같이 구성하는 것으로 하였다.

즉, 반도체 기관에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선을 선택하고, 이들 선택된 데이터선의 각각 또는 화소 스위치 제어선의 각각에 대해, 논리 연산 공정이 행하는 논리 연산의 연산식에 따라 설정한, 소요되는 논리치에 대응하는 레벨의 검사용 구동 신호를 인가하는 검사용 구동 공정과, 선택된 2 이상의 데이터선의 각각, 또는 2 이상의 화소 스위치 제어선의 각각에 생기는 전위 출력을 논리치로서 입력하여, 레이아웃 구조 및/또는 검사항목에 따라 결정한 연산식에 의한 논리 연산을 행하는 논리 연산 공정을 행하도록 구성한다.

또한, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하고, 화소 스위치와, 이 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로를 매트릭스 형상으로 배열하여 형성되는 화상 표시 영역부와, 반도체 기관에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라 선택한 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선의 각각에 관해, 논리 연산 수단이 행하는 논리 연산의 연산식에 따라 설정한, 소요되는 논리치에 대응하는 레벨의 검사용 구동 신호를 인가하는 구동 수단과, 검사용 구동 신호의 인가에 의해, 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선에 생기는 전위 출력을 논리치로서 입력하고, 레이아웃 구조 및/또는 검사항목에 따라 결정한 연산식에 의한 논리 연산을 행하고, 논리 연산 결과를 출력하는 논리 연산 수단을 반도체 기관에 형성하여, 반도체 장치를 구성하는 것으로 하였다.

또한, 표시 장치로서 다음과 같이 구성하는 것으로 하였다.

즉, 본 발명으로서의 표시 장치는, 반도체 기관과, 이 반도체 기관에 대해 대향하여 배치되는 공통 전극을 갖는 대향 기관과, 반도체 기관과 대향 기관 사이에 개재하는 액정층을 구비하여 이루어지게 된다.

그리고, 반도체 기판은, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하고, 화소 스위치와, 이 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로를 매트릭스 형상으로 배열하여 형성되는 화상 표시 영역부와, 반도체 기판에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라 선택한 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선의 각각에 관해, 논리 연산 수단이 행하는 논리 연산의 연산식에 따라 설정한, 소요되는 논리치에 대응하는 레벨의 검사용 구동 신호를 인가하는 구동 수단과, 검사용 구동 신호의 인가에 의해, 상기 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선에 생기는 전위 출력을 논리치로서 입력하여, 레이아웃 구조 및/또는 검사항목에 의거하여 결정한 연산식에 의한 논리 연산을 행하고, 논리 연산 결과를 출력하는 논리 연산 수단이 형성되어 있는 것으로 하였다.

상기 각 구성에 의한 발명으로서, 반도체 기판에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라, 이 반도체 기판상에 배치되는 데이터선 또는 화소 스위치 제어선중에서, 걸맞는 2 이상의 데이터선, 또는 2 이상의 화소 스위치 제어선을 선택하도록 된다.

그리고, 이들의 선택된 2 이상의 데이터선, 또는 2 이상의 화소 스위치 제어선에 대해, 상기 레이아웃 구조 및/또는 검사항목에 따라, 소정의 논리치로서의 검사용 구동 신호를 인가하고 나서, 이들의 검사용 구동 신호가 인가된 데이터선 또는 화소 스위치 제어선의 각각에 생기게 되는 논리치로서의 전위 출력의 논리 연산을 행하도록 된다. 이 논리 연산의 종류도, 상기 레이아웃 구조 및/또는 검사항목에 따라 결정된다. 또한, 논리 연산의 결과는, 검사용 구동 신호가 인가된 데이터선 또는 화소 스위치 제어선의 상태에 따라 변화하기 때문에, 이것이 검사를 위한 판정 요소로서 이용할 수 있게 된다.

이것으로부터 본 발명으로서, 검사를 위한 판정 요소로서의 검출 출력, 예를 들면 아날로그의 전류 레벨 변화 등으로 되는 것이 아니라, 0, 1(H, L)의 어느 하나를 취하는 2치, 즉, 디지털 값으로 된다.

또한, 화소 스위치와, 이 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로가, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하여 매트릭스 형상으로 배열되어 형성되는 반도체 기판에 대한 검사 방법으로서, 다음과 같이도 구성한다.

즉, 검사 대상인 상기 데이터선 또는 화소 스위치 제어선을, 소요되는 전압 레벨의 검사용 구동 신호에 의해 구동하는 구동 공정과, 검사용 구동 신호에 의해 구동되는 데이터선 또는 화소 스위치 제어선에 생기는 전위 출력 레벨과, 소정 레벨이 설정된 기준 레벨에 대해 비교를 행하고, 비교 결과를 논리치로서 출력하도록 된 비교 공정을 행하는 것으로 하였다.

또한, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하고, 화소 스위치와, 이 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로를 매트릭스 형상으로 배열하여 형성되는 화상 표시 영역부와, 검사 대상인 상기 데이터선 또는 화소 스위치 제어선을, 소요되는 전압 레벨의 검사용 구동 신호에 의해 구동하는 구동 수단과, 검사용 구동 신호에 의해 구동되는 데이터선 또는 화소 스위치 제어선에 생기는 전위 출력 레벨과, 소정 레벨이 설정된 기준 레벨에 대해 비교를 행하고, 비교 결과를 논리치로서 출력하도록 된 비교 수단을 반도체 기판에 형성하여 반도체 장치를 구성하는 것으로 하였다.

또한, 표시 장치로서는 다음과 같이 구성한다.

본 발명의 표시 장치는, 반도체 기판과, 이 반도체 기판에 대해 대향하여 배치되는 공통 전극을 갖는 대향 기판과, 반도체 기판과 대향 기판 사이에 개재하는 액정층을 구비하여 이루어진다.

그리고, 상기 반도체 기판은, 검사 대상인 상기 데이터선 또는 화소 스위치 제어선을, 소요되는 전압 레벨의 검사용 구동 신호에 의해 구동하는 구동 수단과, 검사용 구동 신호에 의해 구동되는 데이터선 또는 화소 스위치 제어선에 생기는 전위 출력 레벨과, 소정 레벨이 설정된 기준 레벨에 대해 비교를 행하여, 비교 결과를 논리치로서 출력하도록 된 비교 수단이 형성되어 있는 것으로 하였다.

상기 구성에 의한 발명에서는, 데이터선 또는 화소 스위치 제어선에 대해 소요되는 레벨의 검사용 구동 신호를 인가하도록 되어 있고, 이로써, 그 데이터선 또는 화소 스위치 제어선에는, 상태에 따른 전위 변화가 생기게 된다. 그리고, 이와 같이 하여 얻어지는 전위와 기준 레벨을 비교한 결과를 논리치로서 출력하도록 되어 있다. 따라서, 이 비교 결과로서의 논리치 출력도, 데이터선 또는 화소 스위치 제어선의 상태에 따른 변화를 나타내는 것으로 되고, 검사를 위한 판정 요소로서 이용할 수 있게 된다.

이와 같이 하여, 상기 발명으로서도, 검사를 위한 판정 요소로서의 검출 출력은 디지털 값으로서 얻어지게 된다.

도면의 간단한 설명

도 1은 본 발명의 제 1 및 제 2의 실시형태에 공통되는 액정 표시 장치의 회로 구성을 도시한 도면.

도 2는 실시형태의 액정 표시 장치를 구성하는 반도체 기관의 배선 레이아웃 구조의 예를 모식적으로 도시한 단면도.

도 3은 제 1의 실시형태(제 1 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

도 4의 A 내지 도 4의 D는 제 1의 실시형태(제 1 예)에 대응하는, 검사용 구동 신호의 논리치와, 데이터선의 선 결함 상태에 따른 논리 회로의 출력(논리치)과의 관계를 도시한 도면.

도 5는 제 1의 실시형태(제 2 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

도 6A 내지 도 6D는 제 1의 실시형태(제 2 예)에 대응하는, 검사용 구동 신호의 논리치와, 데이터선의 선 결함 상태에 따른 논리 회로의 출력(논리치)과의 관계를 도시한 도면.

도 7은 제 1의 실시형태(제 3 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

도 8A 내지 도 8L은 제 1의 실시형태(제 3 예)에 대응하는, 검사용 구동 신호의 논리치와, 데이터선의 선 결함 상태에 따른 논리 회로의 출력(논리치)과의 관계를 도시한 도면.

도 9는 제 1의 실시형태(제 4 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

도 10은 제 1의 실시형태(제 5 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

도 11은 제 2의 실시형태(제 1 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

도 12는 제 2의 실시형태(제 2 예)에 대응하는 액정 표시 장치의 회로 구성을 도시한 도면.

실시예

이하, 본 발명을 실시하기 위한 최선의 형태(이하, 단지 「실시형태」라고도 하기로 한다)에 관해 설명을 하여 가기로 한다. 본 실시형태로서는, 예를 들면 액정 프로젝터 장치 등을 비롯한 각종 영상 기기, 전자 기기에 채용되는, 액티브 매트릭스 방식의 액정 표시 장치를 예로 들기로 한다.

이후에서는, 본 발명의 실시형태로서, 제 1의 실시형태와 제 2의 실시형태에 대해 설명을 하여 가지지만, 도 1은, 제 1의 실시형태와, 제 2의 실시형태에서 공통이 되는 액정 표시 장치의 회로 구성예를 도시하고 있다. 이 도면에 도시된 액정 표시 장치(1)의 기본 구조로서는, 반도체 기관상에 대해, 적어도, 예를 들면 매트릭스 형상으로 배열된 화소 셀 구동 회로를 비롯한 소요되는 회로를 형성한다. 그리고, 이 반도체 기관에 대해, 공통 전극을 형성한 대향 기관을 대향시키고, 이들 반도체 기관과 대향 기관 사이에 액정을 봉입하도록 한 구조를 갖고 있다.

본 실시형태의 경우, 반도체 기관에는 실리콘(Si)의 재질에 의한 실리콘 기관이 이용된다. 그리고, 이 반도체 기관에 대해, 화소 셀 구동 회로(5)를 매트릭스 형상으로 배열하도록 하여 형성함과 함께, 게이트선 구동 회로(2), 데이터선 구동 회로(3), 및, 후술하는 바와 같이 하여 적어도 데이터선과 게이트선의 결함 검사에 이용할 수 있는, 데이터선 테스트 회로(11)와 게이트선 테스트 회로(10)를 형성한다.

우선, 이 반도체 기관상에 형성되는 화소 셀 구동 회로(5)의 회로 구성을, 도 1에서 파선으로 묶어서 나타내는 부위를 예로 설명한다.

하나의 화소 셀 구동 회로(5)는, 도면과 같이, 화소 스위치(Smn), 화소 용량(Cmn), 및 화소 전극(P22)을 구비한다.

화소 스위치(Smn)는, 예를 들면 FET(전계 효과 트랜지스터)로서의 구조를 갖고 있다. 화소 스위치(Smn)의 게이트(G)는, 게이트선(Gm)에 대해 접속되고, 드레인(D)은, 데이터선(Dn)과 접속된다. 또한, 각 게이트선 및 데이터선도, 반도체 기판에 대해 형성되는 것이다.

또한, 화소 스위치(Smn)의 소스(S)는, 화소 용량(Cmn)의 일단과 접속된다. 화소 용량(Cmn)의 타단은, 이 경우에는, 공통 전극에 대해 접속된다. 또한, 화소 스위치의 소스와 화소 용량(Cmn)의 접속점은, 화소 전극(P22)에 대해 접속된다.

그리고, 이와 같이 하여 형성되는 화소 셀 구동 회로(5)가, 도시한 바와 같이 하여 행방향과 열방향에 따라, 매트릭스 형상으로 배열되는 것이다. 또한, 이와 같이 하여 화소 셀 구동 회로(5)가 형성되는 반도체 기판으로서, 각 화소 셀 구동 회로(5)의 화소 전극(P)이 매트릭스 형상으로 배열되어 표출(表出)하여 있는 상태로 된다.

게이트선 구동 회로(2)는, 예를 들면 시프트 레지스터를 구비하여 형성되고, 통상의 표시를 행하는 경우에는, 행(1수평 라인)마다, 수직 방향에 따라서 게이트선의 주사를 행하기 위해 마련된다. 즉, 1수평 주사 기간마다, 게이트선($Gm-1 \rightarrow Gm \rightarrow Gm+1 \dots$)의 순서로, 펄스모양의 주사 신호(주사 펄스)를 출력함으로써 게이트선을 주사한다. 예를 들면 게이트선 구동 회로(2)의 주사에 의해 게이트선(Gm)이 구동되면, 게이트선(Gm)과 접속되어 있는 1행분의 화소 스위치(Smn-1, Smn, Smn+1)의 게이트에 게이트 전압이 인가되어, 이들의 화소 스위치(Smn-1, Smn, Smn+1)가 온으로 된다.

데이터선 구동 회로(3)도, 시프트 레지스터 등을 구비하여 형성되는 회로로서, 외부로부터 입력되는 1수평 라인마다의 데이터, 순차적으로 시프트함으로써, 각 데이터선(Dn-1, Dn, Dn+1)을 수평 방향에 따라 순차 주사하도록 하여 구동한다.

이와 같이 하여 형성되는 반도체 기판에 대해서는, 공통 전위(Vcom)가 인가되는 공통 전극이 형성된 대향 기판이 대향하도록 하여 배치된다. 그리고, 이 반도체 기판과, 대향 기판 사이에, 액정을 봉입함으로써 액정층(4)을 형성한다. 이와 같이 하여, 본 실시형태의 액정 표시 장치(1)가 구성된다.

이와 같이 하여 형성되는 액정 표시 장치(1)에 의해 통상의 화상 표시를 행하는 경우의 동작은, 간략하게는 다음과 같이 된다.

예를 들면 우선, 게이트선 구동 회로(2)는, 시프트 레지스터의 동작에 의해, 1수평 주사 기간마다의 타이밍으로 출력을 시프트하여 감으로써, 순차적으로, 1행째부터 최종행까지의 게이트선을 주사하여 간다.

이로써, 예를 들면 어떤 수평 주사 기간에서는, 게이트선($Gm-1$)에 접속되는 행의 화소 스위치(Sm-1n-1, Sm-1n, Sm-1n+1)에 게이트 전압이 인가되어 온으로 되고, 계속되는 수평 주사 기간에서는, 상기 화소 스위치(Sm-1n-1, Sm-1n, Sm-1n+1)는, 오프 상태로 되고 나서, 다음의 게이트선(Gm)에 접속되는 행의 화소 스위치(Smn-1, Smn, Smn+1)가 온으로 된다. 이후, 마찬가지로 하여 나머지 게이트선에 대한 주사가 행하여져 가는 것이다.

그리고, 상기한 바와 같이 하여 하나의 게이트선이 주사된 기간 내에서는, 데이터선 구동 회로(3)에서의 시프트 레지스터의 동작에 의해, 1열번째로부터 최종열까지의 데이터선을 순차적으로 구동하여 가는 것이 행하여진다. 여기서, 데이터선을 구동한다는 것은, 화소 데이터에 대응하는 전압치를 데이터선 구동 회로(3)로부터 데이터선에 대해 출력하는 것을 말한다.

예를 들면 게이트선(Gm)을 주사하고 있는 기간 내에서, 데이터선(Dn-1)의 구동이 행하여졌다고 한다. 이때에는, 게이트선(Gm)에 게이트가 접속되는 화소 스위치(Smn-1, Smn, Smn+1)가 온으로 되어 있는데, 데이터선(Dn-1)이 구동됨으로써, 이 게이트선(Gm)과 데이터선(Dn-1)의 교점에 있는 화소 스위치(Smn-1)에 접속되는 화소 용량(Cmn-1)에 대해, 데이터선(Dn-1)에 인가된 전압치(데이터)에 응한 전하가, 화소 스위치(Smn-1)의 드레인→소스를 통하여 축적된다. 이 축적된 전하량에 따른 전위가 화소 용량(Cmn-1)의 양단에 발생한다. 즉, 화소 용량(Cmn-1)에 대해 데이터의 기록이 행하여진 것으로 된다. 그리고, 이 데이터 기록에 의해 화소 용량(Cmn-1)에 생긴 전위는, 같은 화소 스위치(Smn-1)의 소스에 접속된 화소 전극(P21)에도 발생하는 것으로 된다.

그리고, 데이터선(Dn-1)에 의한 데이터의 기록이 종료되었다고 되면, 화소 용량(Cmn-1)에 기록된 데이터는 보존하고 나서, 다음의 데이터선(Dn)에 대한 구동이 행하여진다. 따라서, 이 경우에는, 게이트선(Gm)과 데이터선(Dn)의 교점에 있는 화소 스위치(Smn)에 접속되는 화소 용량(Cmn)에 대해, 데이터의 기록이 행하여지고, 화소 전극(P22)에 전위가 발생하게 된다.

여기서, 화소 전극(P)에 대해서는, 액정층(4)이 개재하도록 하여, 전위(Vcom)가 인가되어 있는 공통 전극이 대향하여 배치되어 있다.

그리고, 상기한 바와 같이 하여, 화소 전극(P21, P22)에서 데이터에 대응하는 전위가 순차적으로 발생하면, 이 화소 전극(P21)의 전위와, 전위(Vcom)의 전위차에 응하여, 그 사이에 개재하는 액정층(4)의 액정이 반응하여 여기되게 된다. 즉, 화소 셀의 구동이 순차적으로 행하여져 가는 것이다.

그리고, 상기한 바와 같이 하여, 게이트선(Gm)의 주사 기간 내에서 데이터선 구동 회로(3)가 데이터선을 순차적으로 구동하고 가는 것이 행하여지고, 1수평 라인의 화소의 구동이 종료되었다고 되면, 게이트선 구동 회로(2)에서는, 게이트선(Gm)의 주사를 종료하고, 다음의 게이트선(Gm-1)의 주사를 행한다. 그리고, 이 게이트선(Gm-1)의 주사 기간 내에서, 데이터선 구동 회로(3)가 데이터선을 순차적으로 구동하고, 마찬가지로 1수평 라인분의 화소의 구동을 행하도록 된다.

이와 같은 동작이, 전 수평 라인마다 행하여짐으로써, 1화면의 데이터의 기록이 완료하게 된다. 그리고, 이 1화면분의 데이터의 기록이, 예를 들면 필드 주기로 반복됨으로써, 화상 표시가 행하여지는 것이다.

그리고 본 실시형태로서는, 액정 표시 장치(1)를 구성하는 반도체 기관에 형성된, 데이터선 및 게이트선에 관한 이른바 선 결함이라고 말해지는 결함의 유무에 관한 검사를 행하도록 된다. 여기서의 선 결함이란, 데이터선이나 게이트선에 관해 단선 또는 단락 등의 결함이 생기고 있는 것을 말한다.

예를 들면 상기 도 1에 도시한 액정 표시 장치(1)를 구성하는 반도체 기관의 구성, 및 화상 표시 동작으로부터도 이해되는 바와 같이, 데이터선이나 게이트선에 관해선 결함이 생기고 있으면, 그 결함이 생긴 선이 적절하게 표시 구동되지 않게 된다는 중대한 결함이 생기게 된다. 선 결함의 검사는, 이와 같은 불량품을 배제하기 위해 행하여지는 것이다.

본 실시형태로서는, 도 1에 도시한 바와 같이, 데이터선 및 게이트선의 각선 결함을 검사하기 위해, 액정 표시 장치(1)를 구성하는 반도체 기관에 대해 데이터선 테스트 회로(11) 및 게이트선 테스트 회로(10)를 형성하도록 하여 마련하고 있다.

도시한 바와 같이 하여, 데이터선 테스트 회로(11)에는, 데이터선 구동 회로(3)측과 접속되는 측과는 반대측의 데이터선($\cdots D_{n-1}$, D_n , $D_{n+1} \cdots$)의 단부가 접속되어 있다. 마찬가지로 하여, 게이트선 테스트 회로(10)는, 데이터선 구동 회로(3)측과 접속되는 측과는 반대측의 게이트선($\cdots G_{m-1}$, G_m , $G_{m+1} \cdots$)의 단부가 접속되어 있다.

제 1의 실시형태로서는, 선 결함의 검사를 위한 구성으로서, 상기 데이터선 테스트 회로(11) 및 게이트선 테스트 회로(10)에 논리 회로를 구성하는 것으로 하고 있다. 그리고, 이 논리 회로가 실행하는 논리 연산의 종류, 및 이 논리 회로에 접속하여야 할 데이터선 또는 게이트선을 어느것으로 할 것인지에 관해서는, 반도체 기관에 있어서의 실제의 배선의 레이아웃의 구조에 따라, 선 결함의 검사의 판정 결과가 적절하게 얻어지도록 하는 것을 고려하여 결정하여야 할 것으로 된다.

그래서, 도 1에 도시한 액정 표시 장치(1)로서의 반도체 기관에서의 배선 레이아웃 구조예를, 도 2에 도시한다. 이 도면에서는, 반도체 기관의 레이아웃 구조를 단면도에 의해 도시하고 있다. 또한, 여기서는 설명을 간단하게 하기 위해, 데이터선과 게이트선중, 데이터선측에 대응하는 배선 레이아웃 구조를 도시하고 있다. 이후의 검사를 위한 구성의 구체적인 설명은, 이 도에 도시한 배선 레이아웃으로 되어 있는 것을 전제로 하여 행하여 간다.

이 도 2에서는, 우선, 반도체 기관에서의 레이아웃(배치)구조에 있어서, 2개의 데이터선(D_n , D_{n+1})이 인접하여 배치되어 있는 상태인 것으로 되어 있다. 그리고, 이들 데이터선(D_n , D_{n+1})의 양측에 인접하도록 하여, 실드 배선(20A, 20B)이 각각 배치되어 있다. 실드 배선(20A, 20B)은, 같은 층에 있는 상기 데이터선(D_n , D_{n+1})과, 다른 배선 사이를 실드하기 위한 것으로 된다.

또한, 이 경우의 반도체 기관은, 이와 같이 하여 복수층의 구조를 갖는 것으로 되어 있지만, 여기서는, 데이터선(D_n , D_{n+1}), 및 실드 배선(20A, 20B)에 대향하는 위치의 상층에 대해, 차광 배선(21A)이 배치되어 있는 상태로 되어 있다. 또한, 하층에 대해서는, 차광 배선(21B)이 배치되어 있다. 차광 배선은, 상층측으로부터의 광이 하층의 층으로 들어가지 않도록 하기 위해 마련되는 배선 구조이다.

상기한 실드 배선, 및 차광 배선에는, 전원 전위 또는 그라운드 전위 등의 고정 전위가 인가되어 있는 것이 통상이다.

그리고, 예를 들면 선 결합으로서 데이터선(또는 게이트선)에 단선이 생기고 있다고 하면, 단선 개소부터 앞은 구동되지 않기 때문에 하이 임피던스의 상태로 되고, 전류의 리크나 부근에 배치되는 배선과의 커플링 용량 등의, 주위의 배선의 레이아웃 상태에 따라, 어떠한 정해진 전위가 생긴다. 또한, 선 결합으로서, 데이터선(또는 게이트선)이, 인접하여 배치된 다른 어떠한 배선에 단락한 상태로 된 경우에는, 그 단락한 배선끼리의 전위 등의 조건에 의하여 어떤 정해진 전위가 생기게 된다.

즉, 데이터선(또는 게이트선)에, 단선 또는 단락에 의한 선 결합이 생긴 경우에 있어서의, 그 데이터선(또는 게이트선)에 생기는 전위는, 예를 들면 검사를 위해 인가하는 전압(검사용 구동 신호)의 레벨을 정하였다고 하면, 그 데이터선(또는 게이트선)의 주위에 있어서의 반도체 기관의 배선 레이아웃 구조에 의해 정해지는 것이라고 말할 수 있다. 또한, 여기서 말하는 배선 레이아웃 구조란, 상기한 바와도 같이, 배선에 인가되는 전위의 조건을 포함하고 나서의, 배선의 물리적인 배치를 말하는 것으로 한다.

그리고, 이것을 전제로 하여, 예를 들면 검사용 구동 신호로서, 1, 0(정론리(正論理)에서는 (H, L)로 된다)의 논리치에 대응하는 레벨의 전압을 인가하는 것으로 하면, 데이터선(또는 게이트선)에 관해서도, 선 결합의 유무, 상태에 따라, H, L의 논리치에 응한 검출 출력을 얻을 수 있다는 것이 도출된다.

이것에 의거하여 제 1의 실시형태로서는, 예를 들면 이후 설명하는 구성으로 하고 나서 검사를 행하도록 된다.

도 3은, 제 1의 실시형태에서의 제 1 예로 되는 것으로서, 선 결합으로서, 데이터선에 관한 단선을 검사하는 경우에 대응하는 데이터선 테스트 회로(11)의 내부 구성예를 도시하고 있다.

도 2에 도시한 레이아웃 구조를 전제로 하면, 데이터선(D_n , D_{n+1})은, 인접하여 배치되어 있다. 그래서, 이것에 의거하여, 데이터선 테스트 회로(11)에서는, 전 데이터선중에서, 이들 2개의 데이터선(D_n , D_{n+1})에 관해서는, 하나의 AND 게이트(12)에, 그 단부를 접속하는 것으로 하고 있다.

이로써, AND 게이트(12)에서는, 데이터선(D_n , D_{n+1})에 관해, 데이터선 구동 회로(3)와는 반대측의 단부에 생기는 전위가 논리치로서 입력되게 된다. 그리고, 그 입력에 관해 논리곱에 의한 논리 연산을 행하여, 그 연산 결과로서의 논리치를, 검사 출력 단자(17)로부터 출력하게 된다. 또한, 검사 출력 단자(17)는, 예를 들면 여기서는 도시하지 않은 검사 장치 등의 검출 입력단자 등과 접속된다. 이로써, 예를 들면 검사 작업자는, 검사 장치의 표시 등을 감시함으로써, AND 게이트(12)의 출력으로서의 검사 결과를 인식할 수 있다.

또한, 여기서는 도시하지 않지만, 데이터선 테스트 회로(11)에서는, 데이터선(D_n , D_{n+1}) 이외의 다른 데이터선과 접속되는 복수의 논리 회로가 형성되어 있는 것이다. 여기서는, 설명의 편의상, 데이터선(D_n , D_{n+1})에 대응한 AND 게이트(12)만을 도시하고 있다.

상기한 바와 같이 하여 구성한 경우, 데이터선(D_n , D_{n+1})에 관한 단선에 관해서는, 다음에 도 4의 A 내지 도 4의 D에 의해 설명하는 바와 같이 하여 검사할 수 있다.

여기서, 주위의 배선 레이아웃 구조로서는 다음의 것을 알고 있는 것으로 한다. 즉, 데이터선(D_n)에 대해 H레벨을 인가하여 구동한 경우에 있어서, 단선이 없는 무결합의 상태에서는, 그대로 H레벨에 의해 구동되는 것으로 되기 때문에, 이 H레벨에 대응한 전위가 생기게 된다. 이에 대해, 데이터선(D_n)이 단선되어 있으면, H레벨에 대응하지 않는 저전위가 생기게 된다. 또한, 데이터선(D_{n+1})에 관해서도, 이것은 마찬가지로 되어 있는 것으로 한다.

그래서, 이 경우의 단선의 검사에 있어서는, 검사용 구동 신호로서, 데이터선 구동 회로(3)로부터, 데이터선(D_n , D_{n+1})의 각각에 대해서는, 각각 동시에, H레벨(논리치(1))에 상당하는 레벨을 인가하도록 된다.

또한, 검사를 행하는 경우에는, 데이터선 구동 회로(3)에서는, 전술한 바와 같이 통상의 표시의 경우와는 다른 신호 인가 동작을 행하는 것으로 된다. 이와 같은 검사할 때에 대응한 데이터선 구동 회로(3)의 검사용 구동 신호의 인가 동작은, 예를 들면 여기서는 도시하지 않은 외부의 검사 장치 등에 의해 제어되어야 할 것으로 된다.

도 4의 A 내지 4D는, 검사용 구동 신호의 논리치 패턴과, 데이터선(D_n , D_{n+1})의 상태(단선의 유무)와, 이에 응한, AND 게이트(12)에의 논리치 입력 패턴(게이트 입력) 및 논리곱의 연산 출력(게이트 출력 : 검사 출력 단자(17)로부터의 출력으로 된다)의 관계를 도시하고 있다.

우선, 도 4의 A에 도시한 바와 같이 하여, 데이터선(Dn, Dn+1)에 대해 H레벨의 검사용 구동 신호를 인가하였다고 하여, 데이터선(Dn, Dn+1)이 함께 단선되지 않은 무결함의 상태에 있다고 하면, 이들 데이터선(Dn, Dn+1)에 생기는 전위로서도, 함께 H레벨에 대응한 것으로 되기 때문에, 검사 출력 단자(17)인 게이트 출력으로서는, H레벨이 된다.

또한, 도 4의 B에 도시한 바와 같이 하여, 데이터선(Dn)은 단선되지 않았지만, 데이터선(Dn+1)이 단선되어 있는 경우에는, 데이터선(Dn)에는 H레벨 대응의 전위가 생김에 대해, 데이터선(Dn+1)에는, L레벨 대응의 전위가 생기고, 이들의 전위가 AND 게이트(12)에 입력된다. 이 때문에, AND 게이트(12)의 출력으로서는 L레벨이 된다.

또한, 도 4의 C에 도시한 바와 같이 하여, 데이터선(Dn)이 단선되고, 데이터선(Dn+1)이 단선되지 않은 경우에도, 한쪽의 데이터선(Dn)에는 L레벨 대응의 전위가 생김에 대해, 다른쪽의 데이터선(Dn+1)에는, H레벨 대응의 전위가 생기게 되기 때문에, 이들의 논리곱을 취하는 AND 게이트(12)의 출력으로서는 L레벨이 된다.

또한, 도 4의 D에 도시한 바와 같이 하여, 데이터선(Dn, Dn+1)이 함께 단선되어 있는 경우에는, 데이터선(Dn, Dn+1)의 양쪽에서 L레벨 대응의 전위가 생기게 되기 때문에, 이 경우에도, AND 게이트(12)의 출력은 L레벨이 된다.

이와 같이 하여, 도 4의 A 내지 도 4의 D에 도시한 경우에는, AND 게이트(12)로부터의 출력으로서, H레벨이 출력되어 있으면, 데이터선(Dn, Dn+1)은 함께 단선이 없는 상태이고, L레벨이 출력되어 있으면, 데이터선(Dn, Dn+1)중의 적어도 어느 1개가 단선되어 있는 상태에 있는 것을 판정할 수 있게 된다.

또한, 상기한 경우와는 역으로, 도 2에 도시한 물리적 배선 레이아웃 구조로 된 것에서, 데이터선(Dn, Dn+1)에 관해, 단선되어 있는 때에는 다른 배선의 영향으로 H레벨에 대응하는 전위가 생기는 상태로 되는 주위의 배선의 전위 설정으로 되어 있는 경우에 대응한 검사를 위한 구성에 관해 설명한다.

그래서, 제 1의 실시형태의 제 2 예로서, 상기한 경우에 대응한, 데이터선 테스트 회로(11)의 구성예를 도 5에 도시한다. 또한, 이 도면에서 도 3과 동일 부분에는 동일 부호를 붙이고 설명을 생략한다.

이 경우로서는, 도시한 바와 같이, 데이터선(Dn, Dn+1)에 대응하여서는, AND 게이트(12)에 대신하여, NOR 게이트(13)를 마련하도록 된다. 즉, 데이터선 구동 회로(3)와는 반대측의 데이터선(Dn, Dn+1)의 단부를, NOR 게이트(13)의 입력에 접속한다. 이 경우에는, NOR 게이트(13)의 연산 결과가, 검사 출력 단자(17)로부터 출력되게 된다.

그리고, 이 경우에는, 데이터선 구동 회로(3)로부터는, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호로서, 동시에 L레벨에 대응하는 신호의 인가를 행하도록 된다.

이 도 5로서의 구성에 대응하여서는, 도 6A 내지 도 6D에 도시한 바와 같이 하여, 검출 출력이 얻어진다.

우선, 도 6A는, 데이터선(Dn, Dn+1)이 함께 단선되지 않은 무결함의 상태에 있는 경우에 대응하고 있다. 여기서는 전술한 바와 같이 하여, 데이터선(Dn, Dn+1)에 대해 L레벨의 검사용 구동 신호를 인가하고 있는데, 데이터선(Dn, Dn+1)이 함께 단선되지 않고 무결함이라면, 이들 데이터선(Dn, Dn+1)에 생기는 전위로서도, 함께 L레벨에 대응한 것으로 된다. 따라서 이 경우에는, NOR 게이트(13)에 (L, L)이 입력되고, 연산 출력으로서 H레벨이 얻어지게 된다.

또한, 도 6B에 도시한 바와 같이 하여, 데이터선(Dn)은 단선되지 않았지만, 데이터선(Dn+1)이 단선되어 있는 경우에는, 데이터선(Dn)은, 그대로 L레벨로 구동되기 때문에 L레벨 대응의 전위가 생김에 대해, 데이터선(Dn+1)에는, 다른 배선의 영향으로 H레벨 상당의 전위가 생기고, 이들의 전위가 NOR 게이트(13)에 입력된다. 이 때문에, NOR 게이트(13)의 출력으로서는 L레벨이 된다.

또한, 도 6C에 도시한 바와 같이 하여, 데이터선(Dn)이 단선되고, 데이터선(Dn+1)이 단선되지 않은 경우에는, 데이터선(Dn)에는 H레벨 상당의 전위가 생기고, 데이터선(Dn+1)에는, 그대로 L레벨 대응의 전위가 생기게 되기 때문에, 이들의 논리곱을 취하는 NOR 게이트(13)의 출력으로서는 L레벨이 된다.

또한, 도 6D에 도시한 바와 같이 하여, 데이터선(Dn, Dn+1)이 함께 단선되어 있는 경우에는, 데이터선(Dn, Dn+1)의 양쪽에서 H레벨 상당의 전위가 생기게 되기 때문에, 이 경우에도, NOR 게이트(13)의 출력은 L레벨이 된다.

이와 같이 하여, 도 6A 내지 도 6D에 도시한 경우에도, NOR 게이트(13)로부터의 출력으로서, H레벨이 출력되어 있음으로써, 데이터선(Dn, Dn+1)은 함께 단선이 없는 무결함의 상태이고, L레벨이 출력되어 있으면, 데이터선(Dn, Dn+1)중의 적어도 어느 1개가 단선되어 있는 상태에 있는 것을 판정할 수 있다.

제 1의 실시형태로서, 제 1 예로서의 도 3 내지 도 4의 D, 또는 제 2 예로서의 도 5 내지 도 6D는, 데이터선의 선 결함의 종류로서, 단선에 관한 검사를 행하기 위한 구성으로 되어 있지만, 계속해서, 데이터선의 선 결함의 종류로서, 다른 배선과의 단락의 유무에 관한 검사를 행하기 위한 구성에 관해 설명한다.

여기서도, 도 2에 도시한 물리적인 배선 레이아웃 구조하에서, 데이터선(Dn, Dn+1)의 각각에 관한 단락의 유무에 관한 검사를 행하는 경우를 예로 들기로 한다.

상기 데이터선(Dn, Dn+1)의 단락에 관한 유무를 검사하는 경우에는, 우선 단락 상태의 가능성으로서, 데이터선(Dn, Dn+1) 사이가 단락하고 있는 상태, 또한, 데이터선(Dn, Dn+1) 사이가 단락하지 않더라도, 데이터선(Dn, Dn+1)의 적어도 어느 한쪽이, 다른 인접하는 배선과 단락하고 있는 상태를 고려할 필요가 있다. 그리고, 양자의 어느 경우에도 대응하여 단락의 유무에 관한 정확한 판정 결과를 얻을 수 있도록 할 필요가 있다.

상기한 것을 고려한 결과, 제 1의 실시형태의 제 3 예로서는, 도 7에 도시한 바와 같이 하여, 데이터선 테스트 회로(11)에서 EXOR(Exclusive OR) 게이트(14)를 마련하고, 이 EXOR 게이트(14)의 입력과, 데이터선(Dn, Dn+1)의 단부를 접속하도록 하였다. 또한, 도 7에서, 도 3, 도 5와 동일 부분에는 동일 부호를 붙이고 설명을 생략한다.

그리고, 이 경우에 있어서는, 데이터선 구동 회로(3)로부터는, 데이터선(Dn, Dn+1)에 대해 각각 (H, L)에 대응하는 검사용 구동 신호를 인가하도록 된다. 또한, 이것만이 아니라, 인가 레벨을 교체하도록 하여, 각각 (L,H)에 의한 검사용 구동 신호도 인가하게 된다.

이 경우에 있어서의 검사용 구동 신호와, 검출 출력과의 관계를 도 8A 내지 도 8I에 도시한다.

도 8A 내지 도 8F에는, 데이터선(Dn, Dn+1)에 대해 (H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가한 경우가 도시되고, 도 8G 내지 도 8L에는, 데이터선(Dn, Dn+1)에 대해 (L,H)의 조합 패턴에 의한 검사용 구동 신호를 인가한 경우가 도시되어 있다. 또한, 도면에서 좌우로 이웃하도록 하여 도시된, 도 8A는 도 8G와, 도 8B는 도 8H와, 도 8C는 도 8I와, 도 8D는 도 8J와, 도 8E는 도 8K와, 도 8F는 도 8L과의 각 조(組)는, 같은 데이터선(Dn, Dn+1)의 상태를 대응시키고 있다.

우선, 도 8A에 도시한 바와 같이 하여, 데이터선(Dn, Dn+1)에 대해 (H,L)의 조합 패턴에 의한 검사용 구동 신호를 인가한 때, 데이터선(Dn, Dn+1)이 함께 단락하지 않은 무결함인 경우에는, 각각 인가된 검사용 구동 신호에 의해 구동되게 된다. 이 때문에, 데이터선(Dn, Dn+1)에도 각각 (H, L)에 상당하는 전위가 생기고, 이것이 EXOR 게이트(14)에 입력되기 때문에, 연산 출력은 H로 된다.

또한, 도 8A와 같은 무결함의 상태에서, 도 8G에 도시한 바와 같이 하여, 검사용 구동 신호의 패턴을 교체하여, 데이터선(Dn, Dn+1)에 각각 (L,H)의 검사용 구동 신호를 인가하였다고 한다.

이 경우에도, 데이터선(Dn, Dn+1)에는 각각 (L,H)에 상당하는 전위가 생긴다. 즉, 서로 반전한 전위가 생긴다. 그리고, 이 전위가 EXOR 게이트(14)에 입력되기 때문에, 연산 출력은 H로 된다.

이와 같이 하여, 데이터선(Dn, Dn+1)이 어느 배선도 단락하지 않은, 무결함의 상태인 때, 데이터선(Dn, Dn+1)에 인가해야 할 검사용 구동 신호의 패턴을 (H, L) (L,H)의 사이에서 교체하였다고 하여도, 어느 경우에도, EXOR 게이트(14)로부터는 H레벨의 연산 출력이 얻어진다.

즉, 검사시에 있어서, (H, L) (L,H)에 의한 각 패턴의 검사용 구동 신호를 입력한 경우에 있어서, 각각에서 H레벨의 EXOR 게이트(14)의 연산 출력이 얻어진 것이라면, 데이터 i선(Dn, Dn+1)에 관해서는 무결함인 것을 판정할 수 있게 된다.

또한, 도 8B에 도시한 바와 같이 하여, 데이터선(Dn, Dn+1) 사이가 단락하고 있는 상태하에서, 마찬가지로, 데이터선(Dn, Dn+1)에 대해 (H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가하고 있는 때에는, 데이터선(Dn, Dn+1)은, 각각, H레벨 또는 L레벨의 어느 하나에 상당하는 공통의 전위가 생기게 된다고 고려된다. 즉, H/L레벨의 어느 것으로 되든, 같은 논리치에 대응하는 전위가 생긴다. 이 때문에, EXOR 게이트(14)의 연산 출력으로서의 L레벨이 된다.

또한, 도 8H에 도시한 바와 같이 하여, 도 8B와 같이, 데이터선(Dn, Dn+1) 사이가 단락하고 있는 상태하에서, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호의 조합 패턴을 교체하여, (L,H)의 패턴에 의해 인가하였다고 한다. 이때에도, 상기 도 8B의 경우와 마찬가지로 하여, 데이터선(Dn, Dn+1)은, 각각, H레벨 또는 L레벨의 어느 하나에 상응하는 공통의 전위가 생기게 되기 때문에, EXOR 게이트(14)의 연산 출력으로서는 L로 된다.

따라서 데이터선(Dn, Dn+1) 사이가 단락하고 있는 때에는, (H, L) (L,H)에 의한 각 패턴의 검사용 구동 신호를 입력하면, 각 패턴에서 함께 L레벨의 EXOR 게이트(14)의 연산 출력이 얻어진다.

또한, 도 8C에 도시한 바와 같이 하여, 데이터선(Dn)은 단락하지 않은 무결함의 상태이지만, 데이터선(Dn+1)이 다른 배선과 단락하여, 이 경우에는 H레벨로 끌어 당겨진 상태하에서, 데이터선(Dn, Dn+1)에 대해 (H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가하였다고 한다.

이때에는, 데이터선(Dn, Dn+1)은, 함께 H레벨의 전위가 생기게 된다. 따라서 이 경우에는, EXOR 게이트(14)의 연산 출력으로서는 L이 된다.

그리고, 도 8I에 도시한 바와 같이 하여, 도 8B와 같이, 데이터선(Dn, Dn+1) 사이가 단락하고 있는 상태하에서, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호의 조합 패턴을 교체하여, (L,H)의 패턴에 의해 인가하였다고 한다.

이 경우에는, 데이터선(Dn)에는, L레벨의 검사용 구동 신호에 의해 구동됨으로써 L레벨 상당의 전위가 생기지만, 데이터선(Dn+1)에도, 이때의 검사용 구동 신호와 같은, H레벨의 전위가 생기게 된다. 따라서 이 경우에는, 데이터선(Dn+1)이 단락하고 있음에도 불구하고, 데이터선(Dn, Dn+1)이 무결함의 때와 같게, EXOR 게이트(14)로부터는 H레벨의 연산 출력이 얻어지게 된다.

즉, 데이터선(Dn)은 무결함이지만, 데이터선(Dn+1)이 H레벨로 되는 상태로 단락하고 있는 상태에서는, EXOR 게이트(14)의 연산 출력은, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호 패턴이 (H, L)일 때에는 L레벨, (L,H)일 때에는 H레벨로 되도록 하여 다른 값으로 된다.

또한, 도 8D에 도시한 바와 같이 하여, 데이터선(Dn)은 단락하지 않은 무결함의 상태이지만, 데이터선(Dn+1)이 다른 배선과 단락하고, 이 경우에는 L레벨로 끌어당겨 있는 상태하에서, 데이터선(Dn, Dn+1)에 대해 (H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가하였다고 한다.

이때에는, 데이터선(Dn)에는 H레벨 상당의 전위가 생기고, 데이터선(Dn+1)에 L레벨의 전위가 생기게 되기 때문에, EXOR 게이트(14)로부터는 H레벨의 연산 출력이 얻어진다.

이에 대해, 도 8J에 도시된 바와 같이 하여, 상기 도 8D와 같이, 데이터선(Dn)은 무결함이고, 데이터선(Dn+1)이 단락하여 L레벨로 끌어당겨 있는 상태에서, 데이터선(Dn, Dn+1)에 대해 (L,H)의 조합 패턴의 검사용 구동 신호를 인가하였다고 하면, 데이터선(Dn), Dn+1의 전위는 함께 L레벨로 되어, L레벨의 EXOR 게이트(14)의 연산 출력이 얻어진다.

즉, 이와 같은 결함이 생기고 있는 상태에서는, EXOR 게이트(14)의 연산 출력은, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호 패턴이 (H, L)일 때에는 H레벨, (L,H)일 때에는 L레벨로 되도록 하여 다른 값을 취하게 된다.

계속해서는, 도 8E에 도시한 바와 같이 하여, 데이터선(Dn)이 H레벨로 단락하고 있음에 대해, 데이터선(Dn+1)은 무결함인 경우에 있어서, 데이터선(Dn, Dn+1)에 대해 (H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가한 경우에는, 결과적으로, 검사용 구동 신호와 같은 논리치 패턴이 입력되는 것으로 되어, EXOR 게이트(14)로부터는 H레벨의 연산 출력이 출력된다.

또한, 도 8K에 도시된 바와 같이 하여, 상기 도 8E와 같은 데이터선의 상태에서, 데이터선(Dn, Dn+1)에 대해 (L,H)의 조합 패턴의 검사용 구동 신호를 인가하였다고 하면, 데이터선(Dn, Dn+1)의 전위는 함께 H레벨로 되어, L레벨의 EXOR 게이트(14)의 연산 출력이 얻어진다.

즉, 이 상태의 결함이 생기고 있는 경우에도, EXOR 게이트(14)의 연산 출력은, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호 패턴이 (H, L)일 때에는 H레벨, (L,H)일 때에는 L레벨로 되도록 하여 다른 값을 취한다.

또한, 도 8F에 도시한 바와 같이 하여, 데이터선(Dn)이 L레벨로 단락하고 있음에 대해, 데이터선(Dn+1)은 무결함인 경우에 있어서, 데이터선(Dn, Dn+1)에 대해 (H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가한 경우에는, EXOR 게이트(14)에 대해 (L,L)의 입력이 행하여지게 된다. 따라서, EXOR 게이트(14)의 연산 출력은 L레벨이 된다.

또한, 도 8I에 도시한 바와 같이 하여, 상기 도 8F와 같은 데이터선의 상태에서, 데이터선(Dn, Dn+1)에 대해 (L,H)의 조합 패턴의 검사용 구동 신호를 인가하였다고 하면, 데이터선(Dn)의 전위는 단락으로 L레벨, 데이터선(Dn+1)의 전위는, 검사용 구동 신호로 구동되어 H레벨로 되고, EXOR 게이트(14)에서는 연산 출력으로서 H레벨을 출력하게 된다.

따라서, 이 상태의 결합이 생기고 있는 경우에는, EXOR 게이트(14)의 연산 출력은, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호 패턴이 (H, L)일 때에는 L레벨, (L,H)일 때에는 H레벨로 되도록 하여 다른 값을 취하게 된다.

상기 도 8A 내지 도 8L의 설명으로 부터 알 수 있는 바와 같이, 데이터선(Dn, Dn+1)에 대해 (H, L)/(H, L)의 조합 패턴에 의한 검사용 구동 신호를 인가하여, 그때의 EXOR 게이트(14)의 연산 출력의 논리치의 패턴을 봄으로써, 데이터선(Dn, Dn+1)에 대한 단락에 관한 결합 상태를 파악하는 것이 가능해진다.

즉, 도 8A 및 도 8G에 도시한 바와 같이, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호의 조합 패턴 (H, L)/(H, L)에 대해, 함께 H레벨의 EXOR 게이트(14)의 연산 출력이 얻어진 경우에만, 데이터선(Dn, Dn+1)에 관해 단락이 생기지 않은 무결함의 상태인 것이 나타난다.

이에 대해, 데이터선(Dn, Dn+1)에 대한 검사용 구동 신호의 조합 패턴 (H, L)/(H, L)에 대해, EXOR 게이트(14)의 연산 출력의 패턴이 함께 H레벨로 되지 않은 경우, 즉, L/L, H/L, 또는 L/H인 경우에는, 데이터선(Dn, Dn+1)의 적어도 어느 한쪽에 관해 단락이 생기고 있는 것이 나타나게 된다.

그 중에서 또한, L/L로 되는 EXOR 게이트(14)의 연산 출력의 패턴은, 도 8B 및 도 8H에 도시한 바와 같이, 데이터선(Dn, Dn+1) 사이에서 단락하고 있는 때에만 얻어지는 것이기 때문에, 이 패턴이 나타났다고 하면, 데이터선(Dn, Dn+1) 사이에서의 단락이 생기고 있는 것을 판정할 수 있다.

또한, EXOR 게이트(14)의 연산 출력의 패턴이, H/L인 경우에는, 도 8B 및 도 8J, 또는, 도 8E 및 도 8K에 도시한 바와 같이, 데이터선(Dn+1)이 L레벨로 단락하고 있는 상태, 또는, 데이터선(Dn)이 H레벨로 단락하고 있는 상태의 어느 하나라고 판정할 수 있다.

또한, EXOR 게이트(14)의 연산 출력의 패턴이, L/H인 경우에는, 도 8C 및 도 8I, 또는, 도 8F 및 도 8I에 도시한 바와 같이, 데이터선(Dn+1)이 H레벨로 단락하고 있는 상태, 또는, 데이터선(Dn)이 L레벨로 단락하고 있는 상태의 어느 하나라고 판정할 수 있다.

또한, 지금까지 도 2 내지 도 8L에 의해 설명하여 온 검사를 위한 구성은, 게이트선측에 대해서도 완전히 마찬가지로 적용할 수 있는 것이다.

즉, 실제의 반도체 기관의 배선 레이아웃 구조에 의거하여 게이트선을 선택하고, 예를 들면 도 3, 도 5, 도 7에 도시한 바와 같은 데이터선 테스트 회로(11)의 내부의 논리 회로의 구성을, 게이트선 테스트 회로(10)의 내부에 형성한다. 그리고, 게이트선 구동 회로(2)로부터 소요되는 게이트선에, 미리 정하여 둔 H/L 어느 하나의 레벨의 검사용 구동 신호를 인가하여, 게이트선 테스트 회로(10)의 논리 회로로부터 출력되는 논리 연산 결과를 얻는다. 그리고, 이 논리 연산 결과에 의거하여, 게이트선에 관한 선 결합에 관한 판정을 행한다.

이와 같이 하여 제 1의 실시형태에서는, 우선, 반도체 기관에 있어서, 데이터선(또는 게이트선)을 포함하는 배선의 레이아웃 구조에 의거하여, 선 결합(단선, 단락)을 검사할 수 있도록 하는 것을 고려하여, 검출 대상으로 하는 2 이상의 데이터선(및 게이트선)을 선택한다. 또한, 이 선택한 데이터선(또는 게이트선)을 입력하여 논리치에 의한 검출 결과를 출력하기 위한, 데이터선 테스트 회로(11)(또는 게이트선 테스트 회로(10)) 내의 논리 연산 회로(논리 연산식)도 결정한다.

여기서, 이들 검출 대상이 되는 데이터선(또는 게이트선)의 선택과, 논리 연산 회로(논리 연산식)와의 조합은, 상기한 배선 레이아웃 구조에 의거한 것이다. 그러나, 특히 논리 연산 회로(논리 연산식)의 결정에 관해서는, 제 1 및 제 2 예의 단선 검사에서는 AND 게이트(12) 또는 NOR 게이트(13)인 것에 대해, 제 3 예의 단락 검사에서는 EXOR 게이트(14)로 되어 있는

것으로도 알 수 있는 바와 같이, 예를 들면 검사항목에 따라 달라져 오는 것으로 된다. 즉, 제 1의 실시형태에서는, 배선 레이아웃 구조만이 아니라, 검사항목도, 데이터선(또는 게이트선)의 선택과, 논리 연산 회로(논리 연산식)와의 조합의 결정 요소로 된다.

그리고, 이와 같은 데이터선(및 게이트선)의 선택 및, 논리 연산의 연산식 설정에 의거하여, 예를 들면, 도 3, 5, 7에 예시한 바와 같은 논리 연산 회로를 구비하는 데이터선 테스트 회로(11)(게이트선 테스트 회로(10)에도 적용할 수 있다)를 구성한다. 이와 같은 구성을 채택하고 나서, 상기한 논리 연산의 연산식 설정에 의거하여 정해지는, 논리치의 조합 패턴에 의한 검사용 구동 신호를 데이터선(및 게이트선)에 인가하여, 데이터선 테스트 회로(11)(논리 연산 회로)로부터의 출력을 관측하여, 선 결함에 관한 판정을 행하도록 된다.

이와 같은 구성에서는, 결함의 판정은, 논리 연산 결과로서의 논리치에 의거하여 행하여지는 것으로 되지만, 이것은 즉, 종래와 같이 하여, 아날로그의 전류 레벨의 변화에 의거한 판정이 아니라, 1, 0(H, L)에 의한 디지털 값에 의거한 판정인 것을 의미한다. 이로써, 종래와 같이 하여, 아날로그 전류 레벨의 오차 등을 고려할 필요가 없어지고, 2치에 응한 판정에 의거하여 정확한 판정 결과를 얻을 수 있게 된다. 또한, 이에 수반하여, 예를 들면, 검사 작업의 간략화, 및 시간 단축 등이 도모되고, 작업 효율이 향상되게 된다.

또한, 확인을 위해 기술하여 두면, 본 발명에서 언급하는 바의, 배선의 레이아웃 구조는, 배선에 있어서의 전위 설정의 상태도 포함하는 개념이다. 즉, 물리적인 배선의 레이아웃 구조의 요소에 더하여, 레이아웃 된 배선에 설정된 전위가, 예를 들면 그라운드 전위나 전원 전위 등을 위시하여, 어떠한 전위가 설정되어 있는 것인가 라는 것도 요소에 포함된다.

그리고, 본 실시형태로서는, 상기한 바와도 같이, 반도체 기관의 배선 레이아웃 구조로서, 상기한 배선의 전위 설정을 고려하여, 선 결함을 검출 가능한 논리 회로를 형성하고, 또한, 이 논리 회로에 대응하여 데이터선에 인가하여야 할 검사용 구동 신호의 H/L의 레벨을 결정하도록 하고 있다.

여기서, 예를 들면 실드 배선을 비롯하여, 고정 전위로 하여야 할 배선에 관해서는, 어떤 전위라고 할 것인지(구체적으로는 그라운드 전위와 전원 전위의 어느 것으로 할 것인지)는, 반도체 기관의 설계시에 정하도록 된다. 따라서, 데이터선 테스트 회로(11) 또는 게이트선 테스트 회로(10)의 내부의 논리 회로 구성은, 이 설계시에 결정된 배선의 전위에 응하여, 선 결함을 검출 가능하도록 결정하면 좋게 된다.

또한 이것은, 반대의 말을 하면, 반도체 기관의 설계의 단계에서, 선 결함을 검출 가능하도록 배선의 전위를 설정하면 좋다는 것이기도 한다.

그런데, 제 1의 실시형태에서, 상기 제 1 예로서의 도 3 내지 도 4의 D의 구성, 제 2 예로서의 도 5 내지 도 6D의 구성에서는, 데이터선 테스트 회로(11)에서, 단선을 검사하는 것에 대응하여 AND 게이트(12) 또는 NOR 게이트(13)만이 구비되어 있다. 또한, 제 3 예로서의 도 7 내지 도 8L의 구성은, 단락을 검사하는 것에 대응한 EXOR 게이트(14)가 구비되어 있다. 즉, 제 1의 실시형태에서의 제 1 예, 제 2 예, 제 3 예의 각 구성은, 데이터선(D_n , D_{n+1})의 선 결함으로서, 단선만이 검사 가능, 또는 단락만이 검사 가능하게 된 구성으로 되어 있다.

그러나, 이들의 구성은 어디까지나 설명을 간단한 것으로 하기 위한 편의로서, 상기 각 도면에 의한 구성은, 도 2에 도시한 배선 레이아웃을 상정한 경우에 있어서의, 데이터선(D_n , D_{n+1})에 관한, 단선과 단락의 상태의 각각을 검사하기 위한 기본적인 구성을 나타내고 있는데 지나지 않는다.

그래서, 예를 들면 단선과 단락의 양자를 검사 가능하게 한 경우의 구성예를, 제 1의 실시형태의 제 4 예로서, 도 9에 도시하여 둔다. 또한, 이 도 9에서도, 도 2에 도시한 배선 레이아웃 구조를 전제로 하고 있고, 게다가, 데이터선(D_n , D_{n+1})에 관한 단선과 단락의 양자의 상태를 검사 가능한 구성예를 도시하고 있는 것으로 된다.

그리고 도 9에서는, 데이터선 테스트 회로(11)에는, 데이터선(D_n , D_{n+1})에 대응하여 AND 게이트(12)와 EXOR 게이트(14)가 구비된다. 이와 같은 경우, 데이터선 테스트 회로(11)로서는, AND 게이트(12)의 연산 결과를 출력하는 검출 출력 단자(17a)와, EXOR 게이트(14)의 연산 결과를 출력하는 검사 출력 단자(17b)의 2개의 검출 출력 단자를 구비하면 좋다. 그리고, 데이터선 구동 회로(3)와는 반대측의 데이터선(D_n , D_{n+1})의 각 단부를 2개로 분기시키고, 각각 AND 게이트(12)와 EXOR 게이트(14)에 대해 입력시킨다.

이 구성은, 도 3에 도시한 단선 검사를 위한 구성과, 도 7에 도시한 단락 검사의 구성을 복합시킨 것이다.

또한, 이 경우의 단선의 검사에 대응하여서는, 도 3에 도시한 AND 게이트(12)를 구비하는 구성을 채용하고 있다. 즉, 여기서는, 데이터선(Dn, Dn+1)의 단선 상태로서는, H레벨에 의해 구동하였다고 하여도, H레벨에 상당하지 않는 저전위가 생기는 상태로 되는 배선 레이아웃인 것을 전제로 하고 있다.

그리고, 단선을 검사할 때에는, 도 4의 A 내지 도 4의 D에 의해 설명한 바와 같이 하여, 데이터선 구동 회로(3)로부터는, 데이터선(Dn, Dn+1)에 대해 함께 H레벨의 검사용 구동 신호를 출력시키도록 한다. 그리고, 데이터선 테스트 회로(11)의 검출 출력 단자(17a)에 출력되는, AND 게이트(12)의 연산 출력을 감시함으로써 데이터선(Dn, Dn+1)에 관한 단선을 검사하도록 된다.

또한, 단락을 검사할 때에는, 도 8A 내지 도 8L에 도시한 바와 같이, 데이터선(Dn, Dn+1)에 대해 (H, L)로 되는 조합 패턴의 검사용 구동 신호와, (L, H)로 되는 조합 패턴의 검사용 구동 신호를 각각 인가한다. 또한, 이 경우에는, EXOR 게이트(14)의 출력을 데이터선 테스트 회로(11)의 검사 출력 단자(17b)로부터 취출하게 된다. 그리고, 상기 2개의 조합 패턴의 검사용 구동 신호를 인가한 때의, 검사 출력 단자(17b)로부터 얻어지는 EXOR 게이트(14)의 연산 결과가 H/L의 어느 것인가에 의거하여 단락에 관한 검사를 행하도록 된다.

또한, 변형 예로서, 도 9의 경우와 같이, 데이터선(Dn, Dn+1)에 관한 단선 및 단락의 상태를 검사한 구성으로서, 데이터선 테스트 회로(11)를 도 10과 같이 하여 구성하는 것도 고려된다.

이 도 10에 도시한 데이터선 테스트 회로(11)에서는, 우선, 데이터선(Dn, Dn+1)에 대응하여 스위치 회로(Sw(n), Sw(n+1))를 형성하도록 하고 있다. 스위치 회로(Sw(n), Sw(n+1))는, 각각 단자(t1)에 대해 단자(t2, t3)의 어느 하나가 택일적으로 접속되도록 하여 전환이 행하여진다.

또한, 이들의 스위치 회로(Sw(n), Sw(n+1))는, 예를 들면 반도체 기판상에 형성되는 반도체 스위치에 의해 형성되면 좋다.

또한, 이들의 스위치 회로(Sw(n), Sw(n+1))의 전환 제어는, 예를 들면 도시한 바와 같이 하여, 전환 제어를 위한 라인을 인출하고, 데이터선 테스트 회로(11)에 마련한 전환 입력 단자(Tm1, Tm2)에 접속한다. 그리고, 예를 들면 여기서는 도시하지 않은 외부의 검사 장치 등을 전환 입력 단자(Tm1, Tm2)에 접속하고, 검사 장치로부터 전환 입력 단자(Tm1, Tm2)에, 스위치 전환을 위한 제어 신호를 출력시키도록 하면 좋다. 또한, 이 경우에는, 스위치 회로(Sw(n), Sw(n+1))는, 후술하는 설명으로부터도 이해되는 바와 같이, 그 전환 상태가 연동하는 것으로 됨으로써, 예를 들면, 전환 입력 단자(Tm1, Tm2)를 공통화하여 하나로 하고, 이 공통화된 전환 입력단자에 제어 신호를 입력하여, 스위치 회로(Sw(n), Sw(n+1))가 연동하여 전환되도록 구성하여도 좋다.

그리고, 스위치 회로(Sw(n), Sw(n+1))의 단자(t1)에 대해서는, 각각 데이터선(Dn, Dn+1)의 단부를 접속한다. 또한, 스위치 회로(Sw(n), Sw(n+1))의 단자(t2)를 각각 AND 게이트(12)에 입력시키고, 스위치 회로(Sw(n), Sw(n+1))의 단자(t3)를, 각각 EXOR 게이트(14)에 입력시킨다. 또한, AND 게이트(12) 및 EXOR 게이트(14)의 출력은, 이 경우에는, 모두 검사 출력 단자(17)에 접속된다.

이와 같은 구성에 있어서, 단선의 검사를 행하는 경우에는, 우선, 예를 들면 상기한 바와 같이 하여 검사 장치 등으로부터 전환 입력 단자(Tm1, Tm2)에 대해, 단자(t1)가 단자(t2)와 접속되도록 하기 위한 제어 신호를 출력시킨다. 이로써, 데이터선(Dn, Dn+1)의 단부는, 함께 AND 게이트(12)와 접속되게 된다. 그리고, 도 4의 A 내지 도 4의 D에서 설명한 바와 같이, 데이터선(Dn, Dn+1)에 대해 함께 H레벨의 검사용 구동 신호를 출력시키고, 검사 출력 단자(17)로부터 출력되는 AND 게이트(12)의 출력을 감시함으로써, 단선의 결함의 유무를 판정할 수 있게 된다.

또한, 단락의 검사를 행하는 경우에는, 검사 장치 등으로부터 전환 입력 단자(Tm1, Tm2)에 대해, 단자(t1)가 단자(t2)와 접속되도록 하기 위한 제어 신호를 출력시켜서, 데이터선(Dn, Dn+1)의 단부가, 함께 EXOR 게이트(14)와 접속되도록 한다.

그리고, 도 8A 내지 도 8L에서 설명한 바와 같이, 데이터선(Dn, Dn+1)에 대해 (H, L)로 되는 조합 패턴의 검사용 구동 신호와, (L, H)로 되는 조합 패턴의 검사용 구동 신호를 각각 인가하여, 각 조합 패턴의 검사용 구동 신호를 인가한 때에 얻어지는 EXOR 게이트(14)의 연산 결과(검사 출력 단자(17)의 출력)가 H/L의 어느 것인가에 의거하여, 단락에 관한 검사를 행하도록 된다.

또한, 이들 도 9 및 도 10에 도시한 구성도, 게이트선의 단선, 단락을 함께 검사 가능하게 한 구성으로서 완전히 마찬가지로 적용할 수 있는 것이다.

또한, 지금까지의 제 1의 실시형태로서 각 도면에 의해 설명한 구성은, 어디까지나 도 2에 의해 설명한 바와 같은 배선 레이아웃 구조에 있어서의 데이터선(Dn, Dn+1)에 관한 단선, 단락을 검사하기 위한 예에 지나지 않는 것이다.

따라서, 실제에 있어서의 배선 레이아웃 구조에 의해서는, 예를 들면 단선만, 또는 단락만을 검사하기 위한 것이라도, 복수의 특정한 논리 연산을 행하는 논리 연산 회로를, 필요하게 되는 접속 상태에 의해 접속하고, 이들의 회로로부터 출력되는 최종적인 연산 결과에 의해 결함 판정을 행하는 구성으로 되는 경우도 있다.

또한, 상기한 예에서는, 논리 회로(AND 게이트(12), NOR 게이트(13), EXOR 게이트(14))에 대해 2입력으로 하고 있는 예가 나타나 있지만, 이것은 도 2에 도시한 배선 레이아웃 구조로부터, 데이터선의 검사 대상이 인접하는 데이터선(Dn, Dn+1)인 것에 의한 것이다. 따라서, 실제의 배선 레이아웃 구조에 따라서는, 논리 회로에 대한 입력이 3입력 이상으로 되는 경우도 있다.

어느 쪽이든, 본 실시형태로서는, 논리치로서의 검출 출력에 의해, 데이터선 및 게이트선에 관한 선 결함을 검사할 수 있는 것이다. 또한, 검사를 위해 데이터선 테스트 회로(11), 및 게이트선 테스트 회로(10)에서 형성되는 회로도, 배선 레이아웃 구조에 따른 논리 연산 회로의 집합으로 되기 때문에, 예를 들어 복수의 논리 연산 회로를 접속한 경우라도 복잡하게 되는 일은 없고, 비교적으로 간단, 단순한 구성으로 한정시킬 수 있다.

또한, 지금까지 설명한 제 1의 실시형태로서의 각 구성에 관한 검사의 순서로서, 예를 들면 데이터선(또는 게이트선)을, 필요한 갯수의 조(組)마다 순차적으로 검사용 구동 신호를 인가하여 구동하여 가도록 하면, 어느 데이터선(또는 게이트선), 또는 어느 곳의 영역에서 선 결함이 생기고 있는 것인가 라는, 선 결함에 관한 위치적 특징이 가능해지고, 결함에 관한 그 후의 해석 등에 도움이 될 수 있다.

또는 역으로, 데이터선(또는 게이트선)의 전부(또는 어떤 영역 내에 모아진 다수의 데이터선군(또는 게이트선군))를 동시에 검사용 구동 신호에 의해 구동한다는 검사 순서라도 좋다. 또한, 이 경우에는, 예를 들면, 모든 데이터선(또는 게이트선)에 대해, 그 선의 위치에 따라 필요하게 되는 H/L의 어느 하나의 레벨을 설정하여, 검사용 구동 신호를 인가하도록 되어야 하게 된다. 그리고, 이와 같이 하여, 다수의 데이터선군(또는 게이트선군)을 동시에 구동하면, 이들의 데이터선군(또는 게이트선군)에서의 선 결함의 검사를 일괄하여 동시에 행할 수 있는 것이기 때문에, 이 경우에는, 그만큼 검사 시간을 단축할 수 있게 된다.

또한, 이와 같은 일괄적인 검사를 행하는 경우에는, 필요에 따라, 데이터선군(또는 게이트선군)의 단부를 통합하여 하나로 하고, 데이터선 테스트 회로(11)(또는 게이트선 테스트 회로(10)) 내의 논리 연산 회로에 입력하는 구성으로 하는 것이 고려된다.

예를 들면, 종래에 있어서도, 상기한 바와 같이 하여, 데이터선군(또는 게이트선군)의 단부를 통합하여 하나로 하여 결함 검사를 행한다는 것은 고려되어 있다. 그러나, 종래에는, 아날로그 전류 레벨에 의한 검출이기 때문에, 결함에 따른 레벨 변화는 근소하여, 이와 같은 전류 레벨에 의해 결함을 판정한 것은 매우 어려운 것이었다. 그러나, 본 실시형태로서는, 어디까지나 그 검사 출력은 논리치로서 얻어지도록 되어 있고, 2치에 의한 판정으로 된다. 즉, 결함 판정은 지금까지보다도 훨씬 용이하게 된다.

또한, 데이터선에 관해, 지금까지의 설명과 같이 하여 선 결함에 관한 검사를 행하는 것으로 하여, 데이터선에 검사용 구동 신호를 인가하여 구동하고 있는 동시에, 검사 대상으로 하는 1 이상의 게이트선을 구동한다는 검사 순서도 고려된다. 또한, 확인을 위해 기술하여 두면, 게이트선의 구동에는, 게이트선 구동 회로(2)를 이용한다.

이와 같은 검사 순서로 하면, 화소 용량의 결함을 검사할 수 있다. 즉, 화소 용량이 무결함이면, 구동된 게이트선(예를 들면 Gm의 1개라고 한다)에 접속된 화소 스위치(예를 들면 $\cdots S_{mn-1}, S_{mn}, S_{mn+1} \cdots$)가 온으로 되고, 이 화소 스위치에 접속된 화소 용량(예를 들면 $\cdots C_{mn-1}, C_{mn}, C_{mn+1} \cdots$)에 정상적으로 전하가 축적되어, 데이터 기록의 상태에 대응한 전위가 발생하게 된다. 그러나, 화소 용량의 결함으로서 단락이 생긴 것이라면, 이와 같은 전위의 발생은 생기지 않게 된다.

이와 같은 화소 용량의 단락의 유무에 따라서는, 검사용 구동 신호가 인가되어 있는 데이터선에도 전위 변화가 생기게 된다. 즉, 그 화소 용량 및 그 주변의 배선 레이아웃 구조에 따라, 단락한 화소 용량은 그라운드 전위나 전원 전위로 끌어 당겨진다.

그래서, 예를 들면, 데이터선만을 검사용 구동 신호에 의해 구동한 때에는 선 결함이 없는 것이 관정됨에도 불구하고, 예를 들면, 게이트선을 동시에 구동하여, H/L의 필요한 레벨의 검사용 구동 신호를 데이터선에 인가한 바, 데이터선으로부터 얻어지는 논리 연산의 출력(논리 연산 회로의 출력)이, 정상적인 경우와는 다른 논리치를 출력하였다고 한다. 이와 같은 검사 결과를 종합함으로써, 화소 용량의 단락 등의 결함을 판정할 수 있게 된다.

도 11은, 본 발명의 제 2의 실시형태의 제 1 예로서의 액정 표시 장치의 회로 구성예를 도시하고 있다.

이 도면에 도시된 액정 표시 장치(1)의 기본 구조로서는, 앞서 도 1에 도시한 제 1의 실시형태의 각 예와 마찬가지로 된다. 단, 데이터선의 선 결함을 검사한다고 한 경우에는, 데이터선 테스트 회로(11)에 관해 아래와 같이 하여 다른 구성을 채택하는 것으로 된다.

도 11에 도시한 데이터선 테스트 회로(11)에서는, 콤퍼레이터(15)가 도시되어 있다.

이 콤퍼레이터(15)의 비반전 입력에는, 데이터선(Dn)의 단부가 접속된다. 반전 입력에는 기준 레벨(VREF)이 입력된다. 이 경우의 콤퍼레이터(15)의 출력은 버퍼 앰프(16)에 의해 증폭되고, 검사 출력 단자(17)로부터 출력된다. 또한, 제 1의 실시형태로서 도 3, 도 5, 도 7에 도시한 바와 같은 논리 회로의 출력 등에도, 버퍼 앰프를 접속하면 좋다.

이와 같이 하여, 제 2의 실시형태로서는, 데이터선의 단부에 생기는 전위와, 미리 결정된 소정 전위의 기준 레벨(VREF)을 비교하는, 비교 회로가 구비되게 된다. 또한, 이 도면에서는, 데이터선(Dn)에 관한 검사를 행하기 위한 비교 회로만이 도시되어 있지만, 실제로는, 예를 들면 다른 데이터선에도 대응하여 비교 회로 등이 구비되면 좋다.

이와 같은 회로 구성에 의해 데이터선(Dn)의 선 결함에 관한 검사를 행하는 경우에는, 예를 들면, 레벨이 다른 검사용 구동 신호(VH/VL)를 각각 인가하도록 된다. 검사용 구동 신호(VH)에는, 선 결함(단선, 단락)이 없다고 되는 정상적인 데이터선(Dn)의 상태일 때에는, 기준 레벨(VREF)보다도 높게 되는 전위를 데이터선(Dn)의 단부(콤퍼레이터(15)의 입력)에 생기게 할 수 있는 레벨이 설정되어 있다. 역으로, 검사용 구동 신호(VH)에는, 데이터선(Dn)이 정상의 상태로 될 때에는, 기준 레벨(VREF)보다도 낮게 되는 전위를 데이터선(Dn)의 단부(콤퍼레이터(15)의 입력)에 생기게 할 수 있는 레벨이 설정되어 있다.

따라서, 데이터선(Dn)에 선 결함이 생기지 않은 경우에는, 콤퍼레이터(15)의 출력(검사 출력 단자(17)의 출력)은, 검사용 구동 신호(VH)를 인가하고 있는 때에는 H레벨로, 검사용 구동 신호(VL)를 인가하고 있는 때에는 L레벨이 얻어지게 된다.

이에 대해, 데이터선(Dn)에 선 결함이 생기고 있는 경우에는, 콤퍼레이터(15)에 입력되는 데이터선(Dn)의 단부는, 어느 일정 전위 레벨로 끌어 당겨지게 된다. 이 때문에, 데이터선(Dn)의 단부의 전위는, 검사용 구동 신호(VH)를 인가하고 있는 데도, 기준 레벨(VREF)보다 낮은 레벨로 되는, 또는, 검사용 구동 신호(VL)를 인가하고 있는 데도, 기준 레벨(VREF)보다 높은 레벨로 되는 등의 상태가 생기게 된다.

이 결과, 콤퍼레이터(15)의 출력(검사 출력 단자(17)의 출력)은, 검사용 구동 신호(VH)를 인가하고 있는 데도 L레벨로 되거나, 또는, 검사용 구동 신호(VL)를 인가하고 있는 데도 H레벨로 되는 등의 상태를 얻게 된다. 이와 같은 상태가 되었을 때에, 데이터선(Dn)에 관해서는, 선 결함이 생겨 있다고 판정할 수 있게 된다. 또한, 데이터선(Dn)의 배선 레이아웃 구조로부터, 단선, 단락한 때의 데이터선(Dn)의 단부의 전위를 알고 있으면, 검사용 구동 신호의 레벨(논리치)과 콤퍼레이터(15)의 출력의 논리치의 조합으로부터, 단선, 단락의 어느 선 결함인지 판정도 가능하게 할 수 있다.

또한, 도 12에 제 2의 실시형태로서의 제 2 예를 도시한 것으로 한다. 또한, 이 도면에서 도 11과 동일 부분에는 동일 부호를 붙이고 설명을 생략한다.

이 도면에 도시한 데이터선 테스트 회로(11)에서도, 콤퍼레이터(15)와 버퍼 앰프(16)를, 도 11의 경우와 마찬가지로 접속한 비교 회로가 도시되어 있다. 단 이 경우에는, 데이터선 구동 회로(3)로부터 검사용 구동 신호로서 데이터선(Dn)에 인가되는 신호는, 어떤 고정 레벨에 의한 검사용 구동 신호(VD)로 된다. 이에 대해, 콤퍼레이터(15)의 반전 입력에 입력된 기준

레벨에 관해서는, VREF-H와 VREF-L로 전환이 행하여지도록 되어 있다. 기준 레벨(VREF-H)은, 검사용 구동 신호(VD)의 인가에 의해, 무결함인 데이터선에 생기는 전위보다도 높은 전위이고, 기준 레벨(VREF-L)은, 검사용 구동 신호(VD)의 인가에 의해, 무결함인 데이터선에 생기는 전위보다도 낮은 전위이다.

앞의 도 11에서는 콤퍼레이터(15)의 기준 레벨(VREF)을 고정으로 하고, 검사용 구동 신호의 레벨을 전환하고 있다. 이에 대해, 상기 도 12의 구성은, 검사용 구동 신호의 레벨은 고정으로 하고, 콤퍼레이터(15)의 기준 레벨을 전환하고 있는 것으로 된다.

또한, 도 12에서는 기준 레벨(VREF-H, VREF-L)의 전환은, 데이터선 테스트 회로(11)의 외부로부터, 입력 단자(18)를 통하여 외부로부터 기준 레벨(VREF-H, VREF-L)로서의 전압 레벨을 출력함으로써 행하도록 되어 있다. 이와 같은 경우, 예를 들면, 여기서는 도시하지 않은 검사 장치를 입력 단자(18)와 접속하고, 검사 장치로부터 입력 단자(18)에의 전압 출력을 행하도록 하여 구성하면 좋다. 또한, 기준 레벨(VREF-H, VREF-L)의 전환 그 자체는, 데이터선 테스트 회로(11) 내부에, 예를 들면 공급 전원을 이용하여 행하여지도록 레벨 전환 회로를 형성하고, 이 레벨 전환 회로에서의 레벨 전환 동작을, 예를 들면 외부의 검사 장치로부터의 전환 제어 신호에 의해 행하여지도록 구성하는 것도 고려된다.

이와 같은 구성에서의 검사 순서로서는, 데이터선(Dn)에 검사용 구동 신호(VD)를 인가하면서, 기준 레벨(VREF-H/VREF-L)로 전환을 행하여, 콤퍼레이터(15)의 출력(검사 출력 단자(17)의 출력)을 관측하도록 된다.

데이터선(Dn)에 선 결함이 생기지 않은 상태에서는, 데이터선(Dn)의 단부에는, 검사용 구동 신호(VD)의 레벨에 대응하는 전위가 생기기 때문에, 콤퍼레이터(15)의 출력은, 기준 레벨(VREF-H)일 때에는 L레벨, 기준 레벨(VREF-H)일 때에는 H레벨이라는 것으로 된다.

이에 대해, 데이터선(Dn)에 선 결함이 생기고 있고, 검사용 구동 신호(VD)의 레벨에 대응하지 않는 어떠한 전위로 변화하고 있으면, 콤퍼레이터(15)의 출력은, 기준 레벨(VREF-H)인데도 H레벨, 또는, 기준 레벨(VREF-L)인데도 L레벨로 되는 결과가 관측된다. 이와 같은 콤퍼레이터(15)의 출력이 얻어짐으로써, 선 결함이 생겨 있음을 알 수 있다.

이 도 12의 구성에서도, 데이터선(Dn)의 배선 레이아웃 구조에 의해, 단선, 단락한 때의 데이터선(Dn)의 단부의 전위가 정하여져 있는 것이라면, 검사용 구동 신호의 레벨(논리치)과 콤퍼레이터(15)의 출력의 논리치의 조합으로부터, 선 결함이 단선, 단락의 어느것이지를 구별하여 판정할 수 있다.

이와 같이 하여, 도 11 및 도 12에 도시한 제 2의 실시형태의 제 2 예로서도, 데이터선 테스트 회로(11)로부터의 검출 출력은, H/L의 논리치로서 얻어지는 것으로 되는 것이고, 이로써, 앞서 설명한 제 1의 실시형태의 경우와 마찬가지로 하여, 검사 작업을 보다 간단하고, 단시간인 것으로 하는 것이 가능해진다. 또한, 이 경우에도, 콤퍼레이터(비교 회로)로서의 회로 구성을 채택하기 때문에, 데이터선 테스트 회로(11)에 형성하여야 할 회로 구성으로서도, 복잡하게는 되지 않고 간단하게 끝난다.

그리고, 이들 제 2의 실시형태로서도, 상기한 것에 의거한 회로 구성이나, 검사용 구동 신호의 인가 동작을, 게이트선 테스트 회로(10), 및 게이트선 구동 회로(2)에 적용하고, 상기한 데이터선의 경우와 마찬가지로, 게이트선에 대해서도 선 결함에 관한 검사를 행할 수가 있다.

또한, 제 2의 실시형태의 제 2 예로서도, 앞의 제 1의 실시형태의 각 예와 마찬가지로 하여, 검사 대상으로 하는 데이터선(또는 게이트선)를, 필요한 갯수의 조마다 순차적으로 검사용 구동 신호를 인가하여 구동하여 가도록 하면, 선 결함에 관한 위치적 특징이 가능해지고, 해석 등에 유효하다. 또한, 데이터선(또는 게이트선)의 전부(또는 어떤 영역 내에 모아진 다수의 데이터선군(또는 게이트선군))을 동시에 검사용 구동 신호에 의해 구동하여 검사하는 것이 가능하다.

나아가서는, 검사 순서로서, 데이터선과 게이트선을 동시에 구동함으로써, 화소 용량에 관한 결함을 검사할 수 있는 것도, 제 1의 실시형태와 마찬가지로 가능하다.

또한, 제 1의 실시형태와 제 2의 실시형태에서 공통이 되는 이점으로서, 액정 봉입 전과 봉입 후의 어느 공정에서도, 검사를 행하는 것이 가능한 것을 들 수 있다.

이에 의해서, 검사 공정을 어느 공정에서 행하여야 하는지에 관한 자유도가 주어지고, 제조 효율의 향상을 도모할 수 있다. 또한, 특히, 액정 봉입 전의 반도체 기관인 채로의 상태에서의 검사가 가능하게 됨에 의해, 결함품에 대해 액정을 봉입하여 조립하는 작업을 행하여 버리는 것을 피할 수 있기 때문에, 이 점에서도 제조 효율은 향상되고, 또한, 필요없이 액정을 소비한 것이 없어지는 등으로 제조 비용의 저감도 유효하게 도모되게 된다.

또한, 본 발명은, 예를 들면 메모리 소자의 이튼바 비트선, 워드선의 결함을 검사하는 것에도 적용 가능하다.

산업상 이용 가능성

그리고 본 발명으로서, 상기한 바와 같이 하여, 디지털 값으로서의 검출 출력에 응하여, 예를 들면 데이터선 또는 화소 스위치 제어선 등의 결함에 관한 검사의 판정 결과를 얻는 것이 가능해진다. 즉, 변화가 미묘한 아날로그의 전류 레벨 변화가 아니라, 0, 1(H, L)의 2치의 변화에 의거하여 판정을 행하는 것으로 되기 때문에, 측정 오차의 영향을 거의 완전하게 배제할 수 있다. 이로써, 지금까지보다도 정확한 판정 결과를 얻을 수 있고, 또한 이에 수반하여 검사 시간도 단축하는 것이 가능해지기 때문에, 그만큼, 검사 작업 효율이 향상하게 된다.

(57) 청구의 범위

청구항 1.

화소 스위치와, 상기 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로가, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하여 매트릭스 형상으로 배열되어 형성되는 반도체 기관에 대한 검사 방법에 있어서,

상기 반도체 기관에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라 2 이상의 상기 데이터선 또는 2 이상의 화소 스위치 제어선을 선택하고, 이들 선택된 데이터선의 각각 또는 화소 스위치 제어선의 각각에 대해, 논리 연산 공정이 행하는 논리 연산의 연산식에 따라 설정한, 소요되는 논리치에 대응하는 레벨의 검사용 구동 신호를 인가하는 검사용 구동 공정과,

상기 선택된 2 이상의 데이터선의 각각, 또는 2 이상의 화소 스위치 제어선의 각각에 생기는 전위 출력을 논리치로서 입력하여, 상기 레이아웃 구조 및/또는 검사항목에 따라 결정한 연산식에 의한 논리 연산을 행하는 논리 연산 공정을 행하는 것을 특징으로 하는 검사 방법.

청구항 2.

데이터선과 화소 스위치 제어선과의 교점 위치에 대응하고, 화소 스위치와, 상기 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로를 매트릭스 형상으로 배열하여 형성되는 화상 표시 영역부와,

반도체 기관에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라 선택한 2 이상의 상기 데이터선 또는 2 이상의 화소 스위치 제어선의 각각에 관해, 논리 연산 수단이 행하는 논리 연산의 연산식에 따라 설정한, 소요되는 논리치에 대응하는 레벨의 검사용 구동 신호를 인가하는 구동 수단과,

상기 검사용 구동 신호의 인가에 의해, 상기 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선에 생기는 전위 출력을 논리치로서 입력하여, 상기 레이아웃 구조 및/또는 검사항목에 따라 결정한 연산식에 의한 논리 연산을 행하고, 논리 연산 결과를 출력하는 논리 연산 수단을 반도체 기관에 형성하고 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

반도체 기관과, 상기 반도체 기관에 대해 대향하여 배치되는 공통 전극을 갖는 대향 기관과, 상기 반도체 기관과 대향 기관 사이에 개재하는 액정층을 구비하여 이루어지고,

상기 반도체 기판은,

데이터선과 화소 스위치 제어선과의 교점 위치에 대응하고, 화소 스위치와, 상기 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로를 매트릭스 형상으로 배열하여 형성되는 화상 표시 영역부와,

반도체 기판에서의 배선의 레이아웃 구조 및/또는 검사항목에 따라 선택한 2 이상의 상기 데이터선 또는 2 이상의 화소 스위치 제어선의 각각에 관해, 논리 연산 수단이 행하는 논리 연산의 연산식에 따라 설정한, 소요되는 논리치에 대응하는 레벨의 검사용 구동 신호를 인가하는 구동 수단과,

상기 검사용 구동 신호의 인가에 의해, 상기 2 이상의 데이터선 또는 2 이상의 화소 스위치 제어선에 생기는 전위 출력을 논리치로서 입력하여, 상기 레이아웃 구조 및/또는 검사항목에 의거하여 결정한 연산식에 의한 논리 연산을 행하고, 논리 연산 결과를 출력하는 논리 연산 수단이 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 4.

화소 스위치와, 상기 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로가, 데이터선과 화소 스위치 제어선과의 교점 위치에 대응하여 매트릭스 형상으로 배열되어 형성되는 반도체 기판에 대한 검사 방법에 있어서,

검사 대상인 상기 데이터선 또는 화소 스위치 제어선을, 소요되는 전압 레벨의 검사용 구동 신호에 의해 구동하는 구동 공정과,

상기 검사용 구동 신호에 의해 구동되는 데이터선 또는 화소 스위치 제어선에 생기는 전위 출력 레벨과, 소정 레벨이 설정된 기준 레벨에 대해 비교를 행하여, 비교 결과를 논리치로서 출력하도록 된 비교 공정을 행하는 것을 특징으로 하는 검사 방법.

청구항 5.

데이터선과 화소 스위치 제어선과의 교점 위치에 대응하고, 화소 스위치와, 상기 화소 스위치에 대해 접속되어 화소 데이터를 보존하는 화소 용량으로 이루어지는 화소 셀 구동 회로를 매트릭스 형상으로 배열하여 형성되는 화상 표시 영역부와,

검사 대상인 상기 데이터선 또는 화소 스위치 제어선을, 소요되는 전압 레벨의 검사용 구동 신호에 의해 구동하는 구동 수단과,

상기 검사용 구동 신호에 의해 구동되는 데이터선 또는 화소 스위치 제어선에 생기는 전위 출력 레벨과, 소정 레벨이 설정된 기준 레벨에 대해 비교를 행하여, 비교 결과를 논리치로서 출력하도록 된 비교 수단을 반도체 기판에 형성하고 있는 것을 특징으로 하는 반도체 장치.

청구항 6.

반도체 기판과, 상기 반도체 기판에 대해 대향하여 배치되는 공통 전극을 갖는 대향 기판과, 상기 반도체 기판과 대향 기판 사이에 개재하는 액정층을 구비하여 이루어지고,

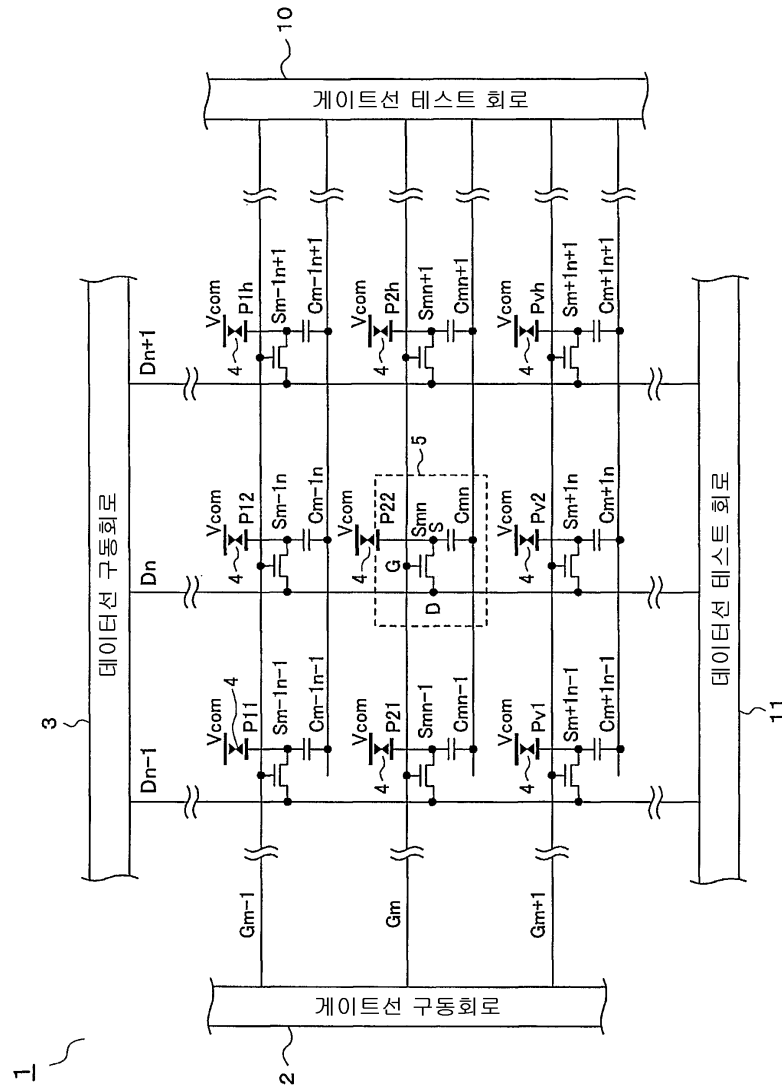
상기 반도체 기판은,

검사 대상인 상기 데이터선 또는 화소 스위치 제어선을, 소요되는 전압 레벨의 검사용 구동 신호에 의해 구동하는 구동 수단과,

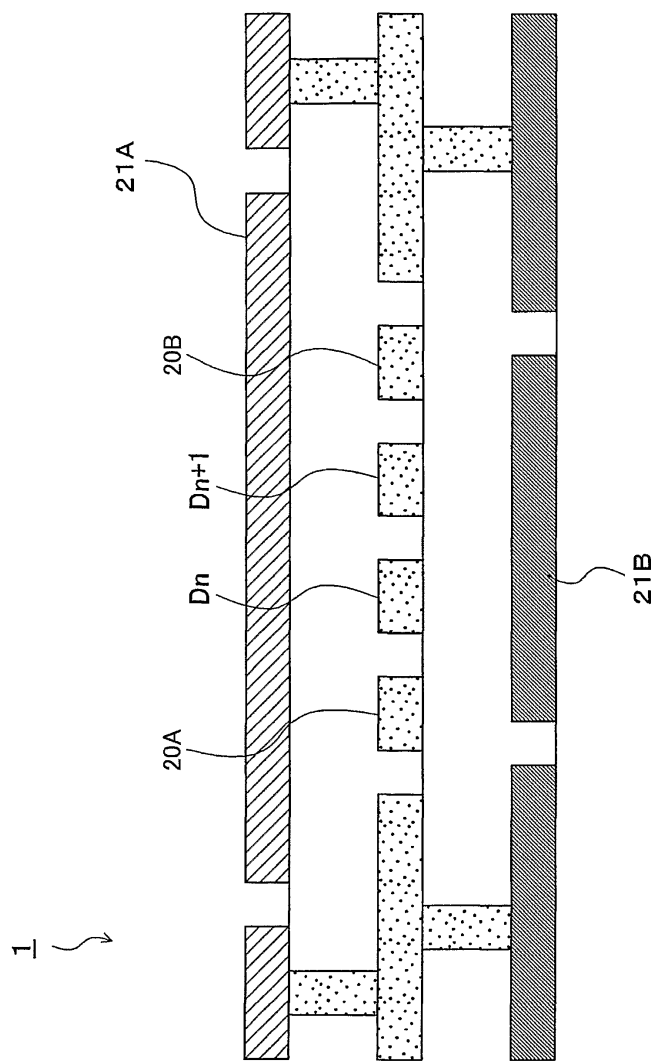
상기 검사용 구동 신호에 의해 구동되는 데이터선 또는 화소 스위치 제어선에 생기는 전위 출력 레벨과, 소정 레벨이 설정된 기준 레벨에 대해 비교를 행하여, 비교 결과를 논리치로서 출력하도록 된 비교 수단이 형성되어 있는 것을 특징으로 하는 표시 장치.

도면

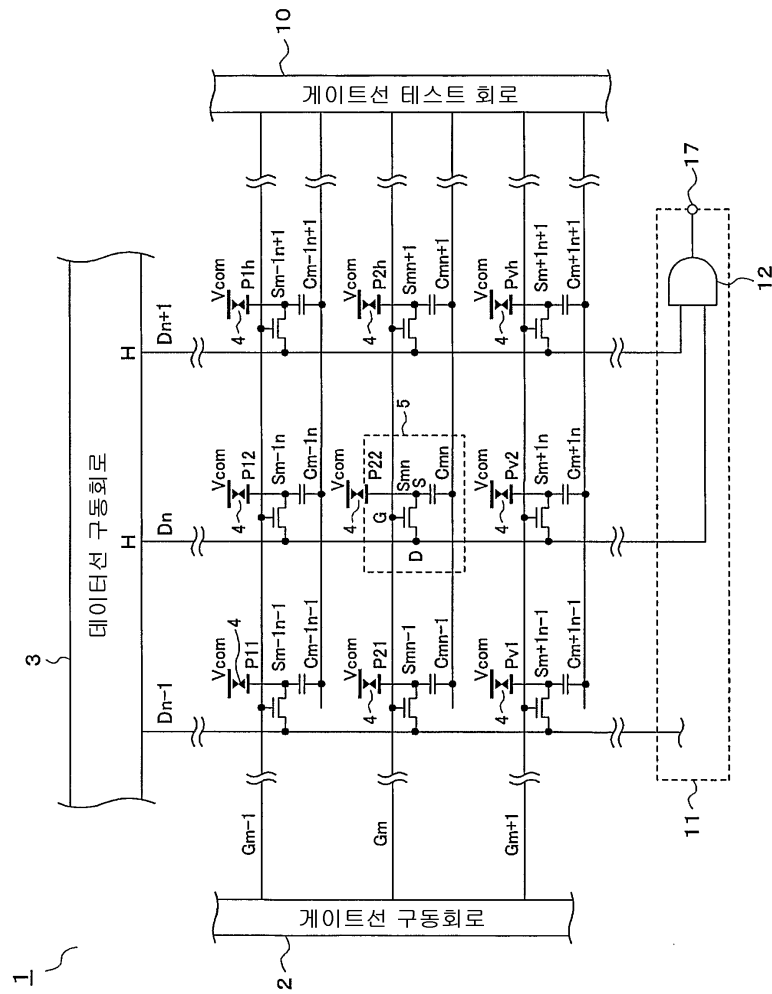
도면1



도면2



도면3



도면4

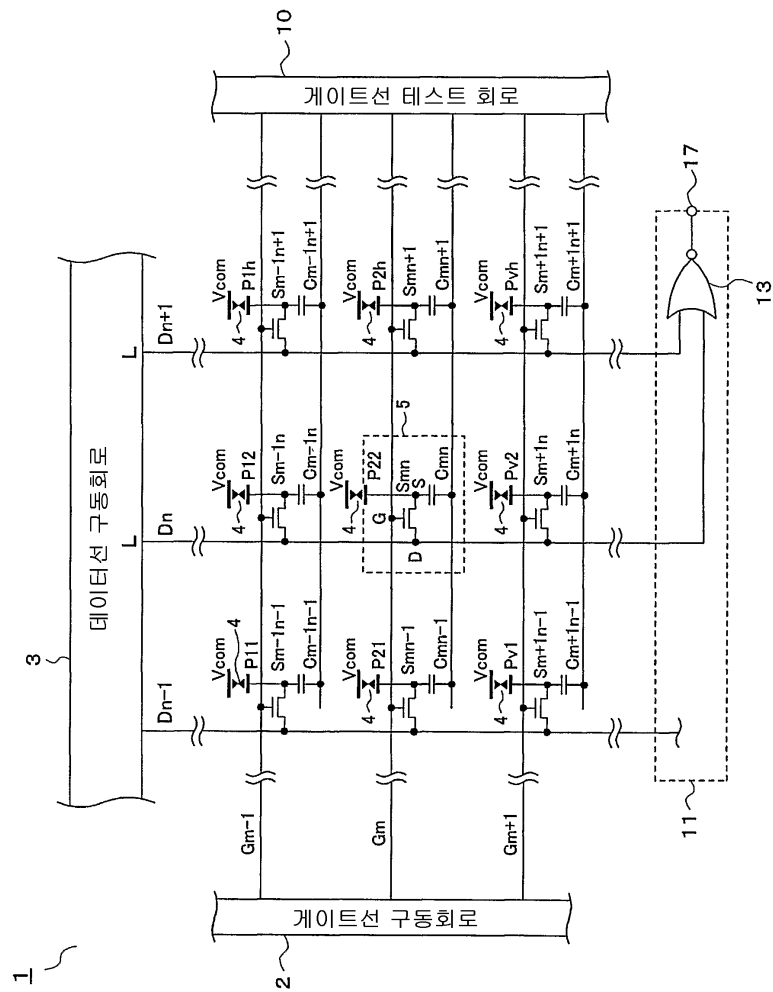
A	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	H	OK	H	H
	Dn+1	H	OK	H	

B	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	H	OK	H	L
	Dn+1	H	단선	L	

C	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	H	단선	L	L
	Dn+1	H	OK	H	

D	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	H	단선	L	L
	Dn+1	H	단선	L	

도면5



도면6

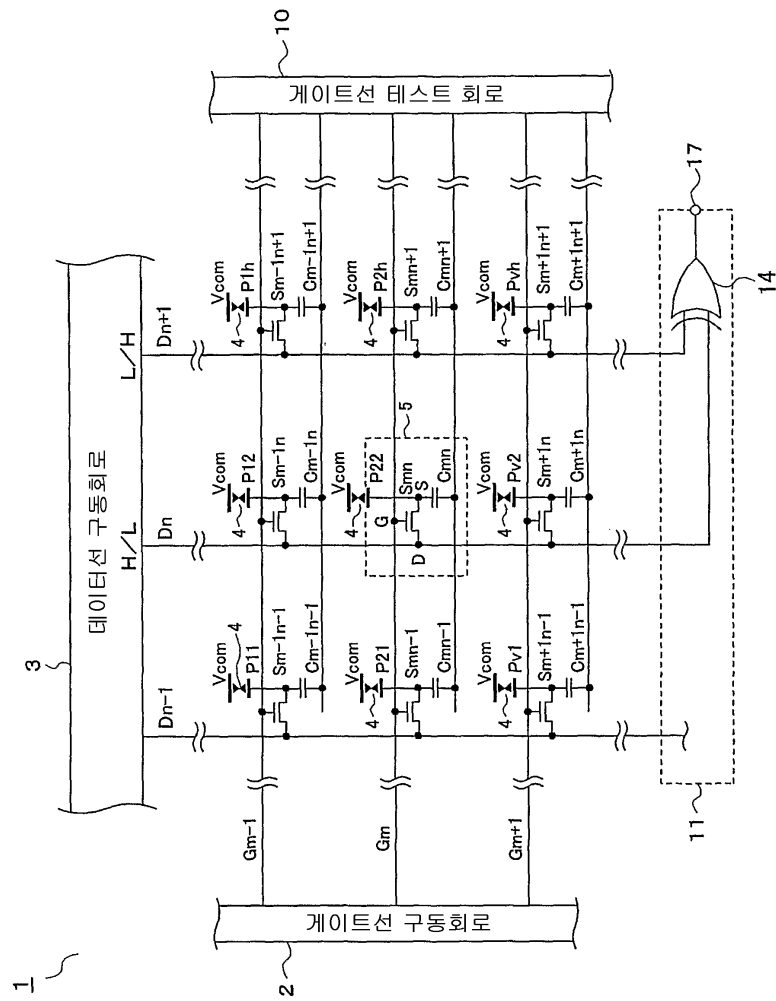
A	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	L	OK	L	H
	Dn+1	L	OK	L	

B	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	L	OK	L	L
	Dn+1	L	단선	H	

C	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	L	단선	H	L
	Dn+1	L	OK	L	

D	데이터선	구동신호	상태	게이트 입력	게이트 출력
	Dn	L	단선	H	L
	Dn+1	L	단선	H	

도면7



도면8

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	H	OK	H	H
Dn+1	L	OK	L	

A

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	L	OK	L	H
Dn+1	H	OK	H	

G

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	H	단락 (데이터선 간)	L : H	L
Dn+1	L		L : H	

B

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	L	단락 (데이터선 간)	L : H	L
Dn+1	H		L : H	

H

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	H	OK	H	L
Dn+1	L	단락(H)	H	

C

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	L	OK	L	H
Dn+1	H	단락(H)	H	

I

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	H	OK	H	H
Dn+1	L	단락(L)	L	

D

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	L	OK	L	L
Dn+1	H	단락(L)	L	

J

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	H	단락(H)	H	H
Dn+1	L	OK	L	

E

데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	L	단락(H)	H	L
Dn+1	H	OK	H	

K

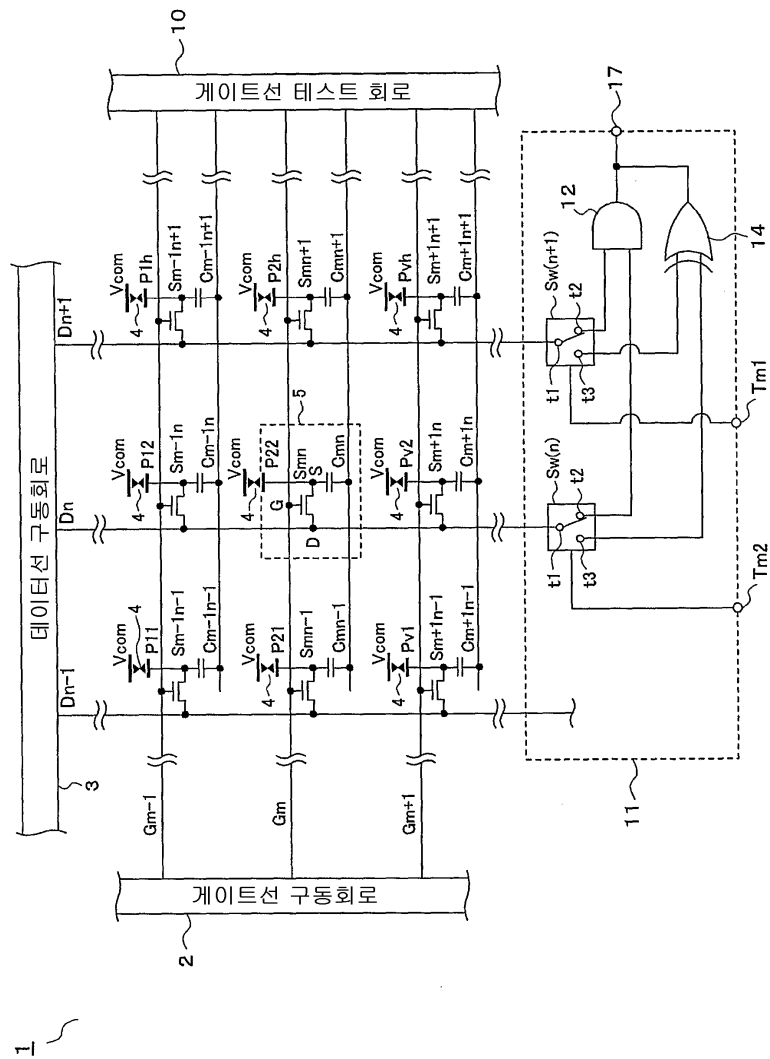
데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	H	단락(L)	L	L
Dn+1	L	OK	L	

F

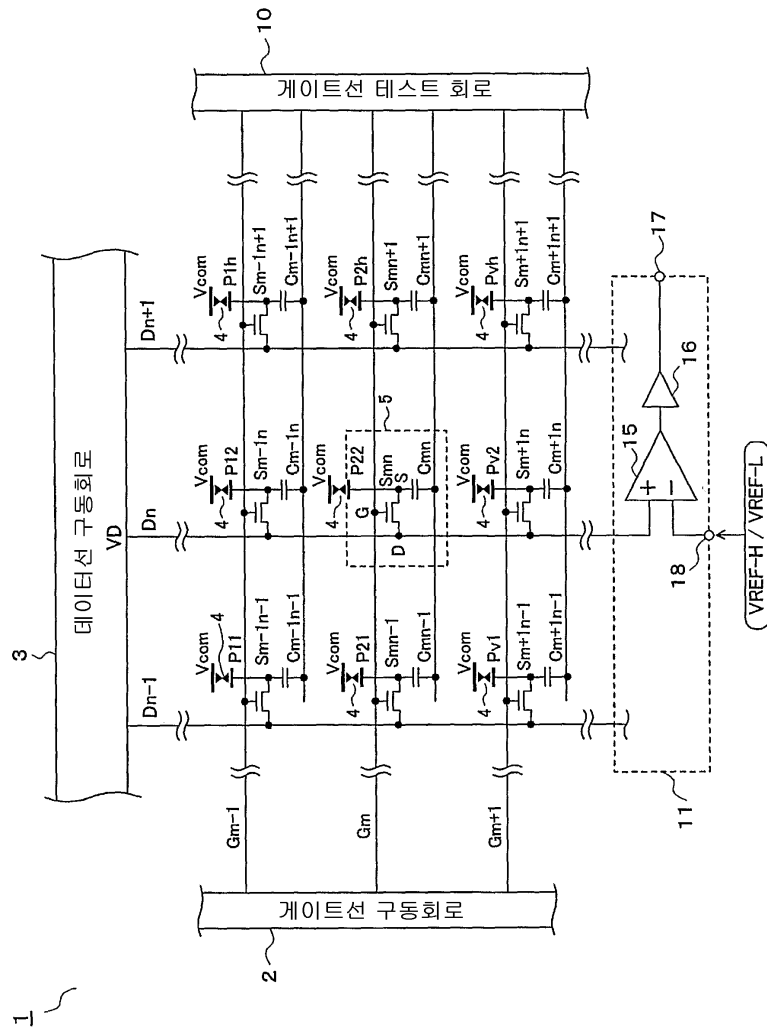
데이터 선	구동 신호	상태	게이트 입력	게이트 출력
Dn	L	단락(L)	L	H
Dn+1	H	OK	H	

L

도면10



도면12



专利名称(译)	检查方法，半导体装置和显示装置		
公开(公告)号	KR1020060037365A	公开(公告)日	2006-05-03
申请号	KR1020067001087	申请日	2004-07-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	ANDO NAOKI		
发明人	ANDO NAOKI		
IPC分类号	G02F1/13 G01R31/00 G02F1/1368 G09G3/00 G09G3/36		
CPC分类号	G09G3/3677 G09G3/006 G09G3/3688 G09G2330/12		
优先权	2003277603 2003-07-22 JP		
外部链接	Espacenet		

摘要(译)

液晶显示器上的数据线和栅极线的线缺陷被有效地检查。根据液晶显示器的半导体衬底的布线布局结构，准备了测试的逻辑电路。数据线的末端连接到该逻辑电路的输入端。对应于其检查的预定布尔值的测试驱动信号在数据线上被授权。利用逻辑电路的输出确定数据线的变形，即使在这种情况下也是如此。这意味着用布尔值确定这称为数据线的畸形是逻辑电路的输出，换句话说就是二进制的状态。而且，这种配置应用于栅极线。半导体器件和显示器件。

