

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) . Int. Cl.⁸
G09G 3/36 (2006.01)

(11) 공개번호 10-2006-0011509
(43) 공개일자 2006년02월03일

(21) 출원번호 10-2004-0060389
(22) 출원일자 2004년07월30일

(71) 출원인 매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1

(72) 발명자 성유창
서울특별시 동작구 대방동 348번지 e-편한세상아파트 101-1001
김종기
경기도 수원시 장안구 율전동 319 신일아파트 103-1605

(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 액정표시장치의 소스 드라이버

요약

본 발명은 디지털아날로그변환부에 단일이득앰프를 사용하지 않으므로 정확도를 향상시킬 수 있는 액정패널장치의 소스 드라이버를 제공하기 위한 것으로, 이를 위한 본 발명으로 각기 다른 M + N비트의 디지털 신호를 인가받아 아날로그신호로 변환하기 위한 복수의 디지털아날로그변환수단을 구비하여 액정패널의 L개 채널을 구동하는 TFT LCD 소스 드라이버에 있어서, 상기 디지털아날로그변환수단은, 직렬 연결된 2^M 개의 저항으로 구성되어, 2^M 개의 계조전압을 생성하기 위한 커스 계조전압 생성부; M비트의 디지털신호에 응답하여 상기 2^M 개의 계조전압 중 연속하는 두전압을 선택하여 출력하기 위한 제1 디코더; 직렬 연결된 2^N 개의 저항으로 구성되어, 상기 제1 디코더의 출력전압을 입력으로 하여 2^N 개의 계조전압을 출력하기 위한 파인 계조전압 생성부; 및 상기 N 비트의 디지털신호에 응답하여 상기 2^N 개의 계조전압 중 하나를 선택하여 상기 아날로그신호로 출력하기 위한 제2 디코더를 구비하되, 상기 L개의 디지털아날로그변환수단은 상기 커스계조전압 생성부를 공유하고, 상기 제1 디코더와 상기 파인 계조전압 생성부는 단일이득앰프 없이 연결되며, 상기 파인 계조전

$$R_{ch} \geq \frac{(2^M - 1) \cdot L \cdot R}{2^M \cdot 2^N}$$

압 생성부의 저항값 R_{ch} 는 을 가지며, 상기 R은 상기 커스계조전압 생성부의 저항값인 것을 특징으로 하는 액정표시장치의 소스드라이버를 제공한다.

대표도

도 7

색인어

소스드라이버, 채널, 디지털아날로그변환장치, 액정표시장치, 오프셋 전압

명세서

도면의 간단한 설명

도 1은 통상적인 TFT-LCD의 블록 구성도.

도 2는 도 1의 TFT-LCD의 소스 드라이버의 블록 구성도.

도 3은 종래기술에 따른 도 2의 디지털아날로그변환기의 내부 회로도.

도 4는 다른 종래기술에 따른 디지털아날로그변환기의 내부 회로도.

도 5는 또 다른 종래기술에 따른 디지털아날로그변환기의 내부 회로도.

도 6은 또 다른 종래기술에 따른 디지털아날로그변환기의 내부 회로도.

도 7은 본 발명의 일 실시예에 따른 디지털아날로그변환기의 내부회로도.

도 8은 도 7의 디지털아날로그변환기의 출력오차가 가장 큰 경우의 등가회로를 도시한 도면.

도 9는 본 발명에 따라 실제 구현된 디지털아날로그변환기의 등가회로도.

도 10는 도 9의 디지털아날로그변환기의 출력전압을 도시한 도면.

도 11은 전술한 바와같이 파인계조전압 생성부 내 저항렬의 첫번째 저항의 값을 조절하여 구현한 경우의 디지털아날로그변환기의 등가회로도.

도 12는 도 11의 디지털아날로그변환기의 출력전압을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

820 : 커스 계조전압 생성부

920 : 파인 계조전압 생성부

840, 940 : 제1 및 제2 디코더

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 액정표시장치(TFT-LCD 및 TFT-OELD)의 소스 드라이버(source driver)에 관한 것으로서, 특히 정확도 및 해상도를 향상시킨 액정패널 표시장치의 소스 드라이버에 관한 것이다.

도 1은 통상적인 TFT-LCD는 구성도를 도시한 것이다.

도 1을 참조하면, TFT-LCD는 타이밍 제어부(100)에 의해 구동되어 액정패널(400)의 게이트 라인을 순차적으로 구동시켜 주기 위한 복수의 게이트 드라이버(200)와, 타이밍 콘트롤러(100)에 의해 구동되어 액정패널(400)의 소스라인을 구동시켜 액정패널(400)이 데이터를 디스플레이하도록 하는 복수의 소스 드라이버(300)와, 시스템에서 요구되는 다양한 전압을 생성하는 전압발생부(500)를 구비한다.

그리고 액정패널(400)은 액정캐패시터(C1)와 스위칭 박막트랜지스터(T1)로 구성된 단위화소가 매트릭스 형태로 배열되며, 박막트랜지스터(T1)의 소스는 소스 드라이버(300)에 의해 구동되는 소스라인에 연결되고, 각 박막트랜지스터(T1)의 게이트는 게이트 드라이버(200)에 의해 구동되는 게이트라인에 연결된다.

TFT-LCD는 콘트롤러(100)를 통해 게이트 드라이버(200)가 해당하는 하나의 게이트 라인을 순차 구동시키고, 소스 드라이버(300)는 상기 콘트롤러(100)로부터 제공되는 데이터를 입력하여 아날로그신호를 소스 라인으로 인가하여 데이터를 표시하게 된다.

도 2는 도 1의 TFT-LCD의 소스 드라이버(300)의 블록 구성도이다.

도 2를 참조하면, 소스 드라이버(300)는 디지털 제어부(310)와, 디지털 제어부(310)로부터 제공되는 디지털 데이터를 저장하는 레지스터부(320)와, 레지스터부(320)로부터 제공되는 신호를 레벨 변환하기 위한 레벨шу프터(330)와, 레벨шу프터(330)을 통과한 디지털신호를 아날로그신호로 변환하기 위한 디지털 아날로그 변환부(340)와, 아날로그 바이어스부(350)와, 아날로그 바이어스부(350)로부터 제공되는 바이어스에 의해 디지털 아날로그 변환부(340)의 출력을 버퍼링하여 액정패널(도 1의 400)의 소스라인으로 제공하기 위한 버퍼링부(360)로 이루어져 있다.

디지털제어부(310)는 도 1의 타이밍 제어부(100)로부터 소스 드라이버 스타트 펄스(SSP)와 데이터클럭(data clock), 및 디지털데이터(digital data)를 입력 받아 레지스터부(320)로 디지털데이터를 전달하고 레지스터부(320)를 제어한다.

레지스터부(320)는, 쉬프트레지스터부(321)와, 샘플링레지스터부(322) 및 홀딩레지스터부(323)으로 구성되며, 쉬프트레지스터를 통해 각 모든 디지털데이터는 샘플링레지스터에 저장되고, 타이밍 제어부(도 1의 100)로부터 제공되는 제어신호(LOAD)에 의해 샘플링레지스터에 저장된 디지털데이터는 홀딩레지스터 및 레벨шу프터를 통해 디지털아날로그변환부(340)으로 전달된다.

디지털아날로그변환부(340)는 빛의 밝기를 선형적으로 표현하기 위하여 입력전압을 비선형적으로 만들기 위한 계조전압 생성부(342)와, 레벨шу프터부(330)를 통과한 디지털신호를 선택신호로하여 계조전압 생성부(342)의 출력을 디코딩하여 출력하는 디코더부(344)로 구성된다.

버퍼링부(360)는 단일이득앰프로 구성되며, 디지털아날로그변환부(340)에서 변환된 아날로그신호와 동일한 전압레벨의 신호를 보다 큰 구동력으로 액정패널의 소스라인에 공급한다.

도 3은 종래기술에 따라 도 2의 디지털아날로그변환부(340)를 구현한 회로도로서, 도면에 도시된 바와 같이 계조전압 생성부(342)의 각 출력을 연속적으로 연결된 6개의 스위치(344)를 통해 선택하여 출력한다. 이와같이 디지털신호(D<6:1>)에 제어받는 6개의 스위치를 통해 계조전압을 선택하므로, 별도의 디코더가 필요하지 않는다.

도 4는 다른 종래기술에 따라 구현된 디지털아날로그변화부(340)의 회로도로서, 계조전압생성부(342)의 각 출력은 1개의 스위치를 통해 선택되어 아날로그신호(AN_OUT)로 출력된다. 따라서, 각 스위치를 제어하기 위한 제어신호를 생성하기 위한 6×64 디코더가 필요하다.

또한, 도 3 및 도 4에서 전술한 바와같은 디지털아날로그변환부를 조합하면 다양한 디지털아날로그변환부의 구현이 가능하다. 즉, 6비트 해상도를 갖는 디지털아날로그변환부는 각 출력에 1개의 스위치 내지 최대 직렬 연결되는 6개의 스위치를 사용하고, 이를 각 스위치를 제어하기 위한 제어신호를 생성하기 위해 6X64디코더에서 별도의 디코더가 없는 구조까지 다양한 구현회로를 가질 수 있다. 예를들어, 각 출력에 직렬 연결된 스위치를 2개 사용하고 그 각각의 스위치를 선택하기 위한 3X8 디코더(2개)를 혼합 사용한다던지, 혹은 직렬 연결된 스위치를 3개 사용하고 2X4디코더(3개)를 혼합 사용한다던지 할 수 있다.

한편, 도 3 및 도 4에서 제시된 바와같은 구조의 디지털아날로그변환부(340)를 사용하여 6비트 해상도를 얻기 위해서는 계조전압을 생성하기 위한 64개의 저항이 필요하며, 생성된 계조전압을 선택하기 위한 디코더 및 스위치가 필요하다. 따라서, 이러한 구조의 디지털아날로그변환부가 8비트 또는 10비트의 해상도를 갖도록 구현하면, 회로면적은 약 4배, 16배로 커진다. 즉, N비트의 해상도 향상을 가져오려면, 회로면적은 2^N 배 증가한다.

이와같이, 디지털아날로그변환부(340)의 면적이 증가하면, TFT-LCD 구동회로칩의 면적이 증가하여 생산단가를 상승시키므로, 가격경쟁력이 줄어든다.

따라서, 이러한 회로 면적의 증가를 최소화하기 위해 디지털아날로그변환부를 2단(2-STAGE)으로 구현하였는데, 이에 대해서는 다음 도면을 통해 살펴보도록 한다.

도 5는 종래기술 따라 2단의 디지털아날로그변환부를 통해 구현한 경우로서, 상위 6비트 디지털신호($D<8:3>$)를 아날로그 신호로 변환하기 위한 첫째단 디지털아날로그변환부(346)는 상한전압(VREF_H)과 하한전압(VREF_L)을 디바이딩하기 위한 저항렬(346a)과, 디지털신호($D<2:1>$)에 응답하여 연속하는 두 아날로그전압 V_{N+1} 및 V_N 을 출력하기 위한 디코더(346b)를 구비하며, 하위 2비트($D<2:1>$)를 변환하기 위한 둘째단 디지털아날로그변환부(347)는 인가된 두 아날로그전압 V_{N+1} 및 V_N 의 전압레벨을 각각 디바이딩하기 위한 커페시터부(347b)와 디지털신호($D<2:1>$)에 응답하여 커페시터부(347b)를 통해 디바이딩되는 전압의 레벨을 조절하기 위한 스위칭부(347a)를 구비한다.

참고적으로, 각 소스드라이버의 첫째단 디지털아날로그변환부 내 저항렬(346a)은 공유되며, 이는 도 2에 도시된 바와같이 제조전압 생성부(342)이다.

그러나 이와같이 커페시터를 사용하여 구현된 아날로그디지털변환부는 출력신호의 정확도가 낮아지는데, 이는 커페시터와 연결된 스위치에서 발생되는 전하유입(Charge Injection) 및 클럭 피드쓰루(Clock Feedthrough)현상에 의해 유발된다. 이와같은 전하유입 및 클럭피드쓰루 현상에 의한 출력전압의 에러는 스위치로 사용되는 MOS트랜지스터의 구동전압에 비례하는데, 일반적인 TFT-LCD는 구동전압으로 약 7V 내지 16V까지 사용하므로, 에러전압의 크기가 커져 설계 시 목표했던 정확도를 만족시키기 어렵다. 따라서, 정확도를 향상시키기 위해 사용되는 커페시터의 용량을 크게하면 정확도의 향상은 가능하나, 회로 면적이 증가할 뿐아니라 동작속도도 줄어드는 문제점이 발생된다.

이러한 문제점을 극복하기 위해 2단의 디지털아날로그변환부를 각각 저항렬을 사용하여 구현하며, 이를 도시한 것이 도 6이다.

도 6를 참조하면, 첫째단 및 둘째단 아날로그변환부(348, 350)는 인가된 전압을 디바이딩하기 위한 저항렬(348a, 350a)과, 저항렬(348a, 350a)에 의해 출력된 전압 중 디지털신호($D<8:3>$, $D<2:1>$)에 대응하는 아날로그전압을 출력하기 위한 스위칭부(348b, 350b)를 각각 구비한다.

그리고 첫째단의 아날로그변환부(348)와 둘째단의 아날로그변환부(350)는 단일이득앰프(349)에 의해서 연결되는데, 이는 후단의 저항렬(350a)에 의해 전단의 디바이딩된 전압레벨이 영향을 받지 않도록 하기 위한 것이다. 즉, 각 스위칭부(348b, 350b)를 통해 첫째단과 둘째단의 저항렬(348a, 350a)이 병렬로 연결되는 구조를 갖게되므로, 출력되는 각 아날로그신호가 일정비율의 전압레벨차이를 갖지 못해, 디지털신호에 대응하는 아날로그신호가 출력되지 못하는 현상이 문제점이 발생하므로, 이를 해결하기 위한 것이다.

한편, 현재 일반적인 CMOS 공정으로 설계되는 단일이득앰프의 정확도는 약 20mV정도 이기때문에, 이러한 단일이득앰프를 사용하여 디지털아날로그변환부는 구현할 경우 6비트 해상도에 20mV정도 정확도 이상을 기대하기 어렵다.

또한, 채널에 2개의 단일이득앰프가 추가로 들어가게 되어 회로면적의 증가를 야기한다.

그러므로, 종래기술에 따라 단일이득앰프를 이용하여 구현된 디지털아날로그변환부는 단일이득앰프가 갖는 오프셋전압 때문에, 단일이득앰프의 오프셋전압 이상의 정확도를 갖는 고계조 디지털아날로그변환부를 설계하는데 제약된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 디지털아날로그변환부에 단일이득앰프를 사용하지 않으므로 정확도 및 해상도를 향상시킬 수 있는 액정패널장치의 소스드라이버를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치의 소스드라이버는 각기 다른 M + N비트의 디지털 신호를 인가받아 아날로그신호로 변환하기 위한 복수의 디지털아날로그변환수단을 구비하여 액정패널의 L개 채널을 구동하는 TFT LCD 소스 드라이버에 있어서, 상기 디지털아날로그변환수단은, 직렬 연결된 2^M 개의 저항으로 구성되어, 2^M 개의 계조전압을 생성하기 위한 커스 계조전압 생성부; M비트의 디지털신호에 응답하여 상기 2^M 개의 계조전압 중 연속하는 두전압을 선택하여 출력하기 위한 제1 디코더; 직렬 연결된 2^N 개의 저항으로 구성되어, 상기 제1 디코더의 출력전압을 입력으로 하여 2^N 개의 계조전압을 출력하기 위한 파인 계조전압 생성부; 및 상기 N 비트의 디지털신호에 응답하여 상기 2^N 개의 계조전압 중 하나를 선택하여 상기 아날로그신호로 출력하기 위한 제2 디코더를 구비하되, 상기 L개의 디지털아날로그변환수단은 상기 커스계조전압 생성부를 공유하고, 상기 제1 디코더와 상기 파인 계조전압 생성부는 단일

$$R_{ch} \geq \frac{(2^M-1) \cdot L \cdot R}{2^M \cdot 2^N}$$

이득앰프 없이 연결되며, 상기 파인 계조전압 생성부의 저항값 R_{ch} 는

을 가지며, 상기 R은 상

기 커스계조전압 생성부의 저항값인 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 7는 본 발명의 일 실시예에 따른 소스드라이버 내 디지털아날로그변환부의 내부회로도이다.

도 7를 참조하면, 본 발명의 일 실시예에 따른 디지털아날로그변환부는 직렬 연결된 2^M 개의 저항으로 구성되어, 2^M 개의 계조전압을 생성하기 위한 커스 계조전압 생성부(820)와, M비트의 디지털신호(D<M+N : N+1>)에 응답하여 커스 계조전압 생성부(820)의 출력전압 중 연속하는 두 전압(V_H 및 V_L)을 선택하여 출력하기 위한 제1 디코더(840)와, 직렬 연결된 2^N 개의 저항으로 구성되어, 제1 디코더(840)의 출력전압을 입력으로 하여 2^N 개의 계조전압을 출력하기 위한 파인 계조전압 생성부(920)와, N 비트의 디지털신호(D<N : 1>)에 응답하여 파인 계조전압생성부(920)의 출력전압 중 하나를 선택하여 아날로그신호(AN_OUT)로 출력하기 위한 제2 디코더(940)를 구비한다.

본 발명은 M+N 디지털신호(D<M+N : 1>)을 커스 계조전압 생성부(820)와 제1 디코더(840)를 구비하는 첫째 디지털아날로그변환부(800)와, 파인 계조전압 생성부(920)와 제2 디코더(940)를 구비하는 둘째 디지털아날로그변환부(900)를 통해 2단계에 걸쳐 변환하여 아날로그신호(AN_OUT)로 출력한다.

참고적으로, 커스계조전압 생성부(820)는 액정패널의 L개 채널을 구동하기 위한 L개의 디지털아날로그변환부에 의해 공유된다.

한편, 이를 종래기술에 따른 디지털아날로그변환부(도 6참조)와 비교하여 보면, 제1 디코더(840)와 파인 계조전압 생성부(920)는 단일이득앰프 없이 연결된다. 따라서, 커스 계조전압생성부(820)의 저항렬에 파인 계조전압생성부(920)의 저항렬이 병렬연결되므로, 병렬연결에 의한 예러를 최소화하기 위해 파인 계조전압생성부(920)의 저항값 R_{ch} 는 하기 수식을 만족시켜야한다.

수학식 1

$$R_{ch} \geq \frac{(2^M-1) \cdot L \cdot R}{2^M \cdot 2^N}$$

수식에 있어서, R은 커스 계조전압 생성부(820)의 저항값을 의미하며, 저항 값이 각기 다른 경우에는 그 중 가장 큰 저항값을 의미한다.

즉, 본 발명에 따른 소스드라이버의 디지털아날로그변환부는 단일이득앰프를 사용하지 않고 병렬연결되는 파인 계조전압 생성부(920)의 저항렬의 저항값을 조절하여, 병렬연결에 따른 영향을 최소화할 수 있으므로, 단일이득앰프의 오프셋전압으로 인한 제약이 없어 정확도를 향상시킬 수 있으며, 디지털신호의 비트를 늘릴 수 있다. 또한, 단일이득앰프에 의한 면적을 줄일 수 있다.

그러므로, 정확도가 높은 고계조 디지털아날로그변환부의 구현 가능하다.

한편, 전술한 파인 계조전압생성부(920)의 저항값 R_{ch} 는, 한 비트의 디지털신호에 대응하는 이상적인 전압레벨 V_{1LSB} 과 실제적인 전압레벨 V'_{1LSB} 사이의 전압레벨 차이가 하기수식과 같은 조건을 만족시키는 경우의 저항값이다. 즉, 이상적인 전압레벨 V_{1LSB} 은 후단의 저항렬에 의해서 앞단의 저항렬의 비가 영향을 받지 않는 경우이며, 실제적인 전압레벨 V'_{1LSB} 는 후단의 저항렬에 의해 앞단의 저항렬 비가 영향을 받는 경우이다.

수학식 2

$$V_{1LSB} - V'_{1LSB} \leq \frac{1}{2} V_{1LSB}$$

참고적으로, 출력 오차 수준을 $1/3 V_{1LSB}$ 수준이나 그 이하로 낮추고자 하면, 상기 수학식 2에서 계수를 변경하면 된다.

더욱이, L개의 채널이 동일한 아날로그신호를 출력하는 경우를 고려한 것으로서, 이는 병렬연결의 영향으로 인해 가장 큰 에러가 발생된다. 이와같은 경우 커스 계조전압생성부(820)의 한개의 저항에 L개의 파인 계조전압생성부(920)의 저항렬이 병렬 연결되는데, 이를 도시한 것이 도 8이다.

도 8은 L개의 채널에서 모두 동일한 출력을 발생하므로, 커스 계조전압생성부(820)의 저항렬에 L개의 파인계조전압생성부(920)의 저항렬이 병렬로 연결되는 경우에 대한 등가회로를 도시한 도면이다.

도 8를 참조하여 살펴보면, 한비트 디지털신호에 대응하는 실제적인 전압레벨 V'_{1LSB} 는 $(V_H - V_L)/2^N$ 의 관계를 갖는 것을 알 수 있다. 한편, 이상적인 전압레벨 V_{1LSB} 는 $(V_H - V_L)/2^N$ 이다. 따라서, 이를 상기 수학식 2에 대입하여 정리하면, 하기 수학식 3과 같은 관계를 얻을 수 있다.

수학식 3

$$(V_H - V_L) - (V_H' - V_L) = \frac{1}{2} (V_H - V_L)$$

또한, 도 8를 참조하면, $V_H' - V_L'$ 는 파인계조전압생성부(920)의 저항렬이 병렬로 연결된 커스 계조전압 생성부의 저항 R' 의 양단에 걸리는 전압으로 $R' \times (V_{REF_H} - V_{REF_L}) / R_{total}$ 로 나타나며, 이상적인 경우 커스 계조전압생성부(820)의 저항 R 의 양단에 걸리는 전압으로 $R \times (V_{REF_H} - V_{REF_L}) / R_{total}$ 로 나타낸다. 따라서, 이를 상기 수학식 3에 대입하여 정리하면, 하기 수학식 4를 얻을 수 있다.

참고적으로, R_{total} 은 도 8에 도시된 바와같이 L개의 파인계조전압 생성부(920)의 저항렬이 커스전압생성부(820)의 저항렬에 병렬연결된 경우의 커스전압생성부(820)의 전체 저항값을 의미하며, R_{total} 은 커스전압생성부(820)의 직렬 연결된 2^M 개의 저항렬의 전체 저항값을 의미한다.

수학식 4

$$\left(\frac{R}{R_{total}} \right) - \left(\frac{R'}{R_{total}} \right) \leq \frac{1}{2} \left(\frac{R}{R_{total}} \right)$$

도 8를 참조하여 살펴보면, 커스 전압생성부(820)의 전체 저항값 R_{total} 은 $R \times (2^M - 1) + R$ 이다. 또한, 이상적인 경우의 커스전압 생성부(820)의 전체 저항값 R_{total} 은 $R \times 2^M$ 이다. 이를 상기 수학식 4에 대입하여 정리하면, 하기 수학식 5를 얻을 수 있다.

수학식 5

$$\left(\frac{R}{R \times 2^M} \right) \cdot \left(\frac{R'}{R \times (2^M - 1) + R'} \right) \leq \left(\frac{R}{R \times 2^{M+1}} \right)$$

파인 계조전압 생성부(920)의 저항에 L개의 파인 계조전압 생성부(920)의 저항렬이 병렬 연결된 경우의 저항값 R'을 도 8를 참조하여 정리하여 보면, 다음과 같다.

$$R' = \frac{R \times \left(\frac{R_{ch-total}}{L} \right)}{R + \left(\frac{R_{ch-total}}{L} \right)}$$

참고적으로, R_{ch_total} 은 파인 계조전압 생성부(920)의 직렬 연결된 2^N 개의 전체 저항값을 의미한다. 이를 상기 수학식 5에 대입하여 정리하면 하기 수학식 6을 얻을 수 있다.

수학식 6

$$R_{ch-total} \geq \frac{(2^M - 1) \cdot L \cdot R}{2^M}$$

파인 계조전압 생성부(920)의 전체 저항값 R_{ch_total} 은 $R_{ch} \times 2^N$ 이므로, 상기 수학식 6에 대입하여 계조전압 생성부의 하나의 저항값 R_{ch} 에 대해 정리하면, 상기 수학식 1과 같은 결과가 나오는 것을 알 수 있다.

한편, 저항 R_1 에 저항 R_2 를 병렬 연결하였을 때, 저항 $R_1 \parallel R_2$ 에 걸리는 전압의 레벨이 저항 R_1 에 걸리는 전압레벨의 $1/2$ 이 되기 위한 저항 R_2 의 값에 대해 생각해 보면, 저항 R_2 가 저항 R_1 과 동일한 저항값을 가질 때 임을 알 수 있다. 즉, 이를 파인 계조전압 생성부(920)의 저항값에 관한 것으로 생각하여 보면, 다음과 같은 관계 $R_{ch_total}/L = R$ 가 성립하는 것을 알 수 있다. 이를 파인 계조전압 생성부의 저항값에 대해 정리하면, $R_{ch_total} = R \cdot L$ 이 성립한다.

그러므로, 수학식 6에서 M의 값이 충분히 커서, $2^M - 1 \approx 2^M$ 이 성립한다고 할 때, 직관적으로 계산한 파인 계조전압 생성부의 저항값이 상기 수학식 6과 동일한 것을 알 수 있다.

전술한 바와같이, 디지털아날로그변환부를 2단 병렬구조로 구현할 때 후단의 저항값을 조절하므로, 각 단 사이를 단일이 듀앰프 없이 연결 가능하다. 따라서, 종래 단일이 듀앰프의 오프셋전압으로 인한 디지털아날로그변환부의 정확도의 제약이 제거되므로, 정확도 높은 높은 해상도의 디지털아날로그변환부를 구현할 수 있다. 또한, 각 채널 별로 필요하던 단일이 듀앰프를 제거할 수 있으므로, 면적을 줄일 수 있다.

한편, 전술한 본 발명에 따른 디지털아날로그변환기 내 제1 디코더(840)는 하나의 MOS스위치에서 최대 직렬 연결된 M개의 MOS스위치 어레이로 구현되며, 이상적인 제1 디코더(840)의 전체 저항값은 0Ω 으로 가정되나, 실제 구현된 디지털아날로그변환기의 제1 디코더(840)는 파인계조전압 생성부(920) 내 저항에 비해 무시할 수 없는 정도의 저항값을 갖는다. 이와같이 실제 구현된 제1 디코더가(840) 갖는 저항값으로 인한 문제점을 도면을 통해 살펴보도록 한다.

도 9는 본 발명에 따라 실제 구현된 디지털아날로그변환기의 등가회로도로서, 커스계조전압 생성부(820)의 이웃하는 저항 R_N 및 R_{N-1} 에 의한 출력전압(V_{H1}/V_{L1} 및 V_{H2}/V_{L2})이 파인계조전압 생성부(920)에 의해 디코딩되는 경우를 함께 도시한 도면이다.

도면에 도시된 바와같이, 파인 계조전압 생성부(920, 920')의 저항렬의 양측단에 접속된 저항(R_{SW11}/R_{SW12} 및 R_{SW21}/R_{SW22})이 제1 디코더(840, 840') 내 스위치의 턴온 저항이다.

도 10는 도 9의 디지털아날로그변환기의 출력전압을 도시한 도면으로서, X축은 인가된 디지털신호에 대응하는 디지털아날로그변환기의 아날로그신호(AN_OUT)를 나타내며, Y축은 아날로그신호(AN_OUT)의 전압레벨을 나타낸다. 또한, 도면에 표기된 '★'는 이상적인 경우의 디지털아날로그변환기의 아날로그신호 출력을 나타내며, '○'는 실제 구현된 디지털아날로그변환기의 아날로그신호 출력을 나타낸다.

도 9 및 도 10을 참조하여 살펴보면, 파인계조전압 생성부(920)가 커스계조전압 생성부(820)의 저항 R_N 의 양단에 걸린 전압(V_{H1}/V_{L1})을 인가받아 전압 디바이딩을 하는 경우, 제1 디코더(840) 내 스위치의 턴온저항으로 인해 첫번째 출력신호(AN_{OUT}_N)의 전압레벨(V_N)은 예상된 첫번째 출력신호의 레벨(V_{ORG_N})보다 더 상승하며, 마지막 출력신호(AN_{OUT}_{N+3})의 레벨(V_{N+3})은 예상된 마지막 출력신호의 레벨(V_{ORG_N+3})보다 더 하강하는 것을 알 수 있다. 또한, 첫번째 출력신호(AN_{OUT}_N)의 전압레벨(V_N)이 상승하고, 마지막 출력신호(AN_{OUT}_{N+3})의 전압레벨(V_{N+3})이 하강하므로, 첫번째 전압(V_N)의 출력노드와 마지막 전압(V_{N+3})의 출력노드 사이에 직렬 배치되는 저항 R_{ch12} 및 R_{ch13} 을 통해 디바이딩되어 출력되는 신호 AN_{OUT}_{N+1} 및 AN_{OUT}_{N+2} 의 전압레벨 역시도 예상된 전압레벨보다 높거나, 낮은 것을 알 수 있다.

또한, 저항 R_{N-1} 의 양측단 전압 V_{H1}/V_{L1} 을 디바이딩하여 출력된 마지막 아날로그신호(AN_{OUT}_{N-1})의 전압(V_{N-1})과 저항 R_N 의 양측단 전압 V_{H2}/V_{L2} 을 디바이딩하여 출력된 첫번째 아날로그신호(AN_{OUT}_N)의 전압(V_N) 사이의 전압레벨 차이 $V_N - V_{N-1}$ 가 한비트의 디지털신호에 대응하는 전압레벨의 차이보다 큰 것을 알 수 있다.

즉, 본 발명에 따른 디지털아날로그변환기는 제1 디코더(840) 내 스위치의 턴온저항으로 인해, 출력되는 아날로그신호의 전압레벨 간격이 균등하지 못한 것을 알 수 있다.

한편, 설계자는 MOS 스위치의 크기(width)를 늘이거나, 또는 파인계조전압 생성부 내 저항렬의 크기를 상대적으로 크게 해주므로써, 전술한 바와같이 MOS 스위치의 턴온저항으로 인한 문제점을 해결할 수 있다. 그러나 이는 회로의 면적 증가를 유발시킬 뿐만 아니라, 디지털아날로그변환기의 변환 속도에 제한요소로 작용한다.

따라서, 디지털아날로그변환기의 아날로그신호의 전압레벨 간격이 균등하도록, 파인계조전압 생성부(920)의 저항렬에서 제1 디코더(840)에 접속되는 두개의 저항 중 어느 하나의 저항값을 제1 디코더(840) 내 전체 스위치의 턴온 저항값과 합하여 상기 수학식 1에서 제시한 R_{ch} 를 만족하도록 조절한다. 이를 다시한번 수학식으로 정리해 보면 다음과 같다.

수학식 7

$$R_{ch}' = R_{ch} - R_{SW-TOTAL}$$

수식에 있어서, R_{ch}' 는 제1 디코더에 접속되는 저항 중 하나의 저항으로 조절되는 저항값을 의미하며, R_{ch} 는 상기 수학식에 따라 계산된 파인계조전압 생성부의 저항값이다. 또한, $R_{SW-TOTAL}$ 은 제1 디코더 내 모든 스위치의 턴온 저항값을 나타낸다.

도 11은 전술한 바와같이 파인계조전압 생성부 내 저항렬의 첫번째 저항의 값을 조절하여 구현한 경우의 디지털아날로그변환기의 등가회로도이다.

도면에 도시된 바와같이 파인계조전압 생성부(920) 내 저항렬의 저항값은, 상기 수학식 1에 따라 계산된 것으로 저항렬 내 하나의 저항값 R_{ch} 은 $300\text{K}\Omega$ 이다. 또한, 제1 디코더(840) 내 스위치의 전체 턴온저항값이 $200\text{K}\Omega$ 이므로, 파인계조전압 생성부(920) 내 저항렬의 첫번째 저항값 R_{ch}' 은 $100\text{K}\Omega$ 으로 한다.

도 12는 도 11의 디지털아날로그변환기의 출력전압을 도시한 도면이다.

도 12을 참조하면, 제1 디코더(840)의 저항값을 고려하여 구현된 디지털아날로그변환기의 아날로그신호의 전압레벨(V_{RL})은 이상적인 경우의 디지털아날로그변환기의 아날로그신호보다 전체적으로 약간씩 높은 전압레벨을 갖게되나, 그 상승레벨은 제1 디코더(840)의 일측 스위치의 저항값으로 모두 동일하기 때문에, 본 실시예에 따른 디지털아날로그변환기의 아날로그신호는 균등한 전압레벨 차이를 갖는다.

즉, 디지털아날로그변환기의 출력되는 아날로그신호의 전압레벨 차이인 계조간격(Differential Non-Linearity, DNL)이 동일해진다.

참고적으로, 커스계조전압 생성부(820)에 공급되는 상한전압(VREF_H)과 하한전압(VREF_L)의 레벨을 조절해 주면, 이상적인 경우의 디지털아날로그변환기의 아날로그신호와 동일한 전압레벨을 갖도록 할 수 있다.

한편, 전술한 본 발명에 따른 반도체메모리소자는 디지털아날로그변환부를 2단 병렬구조로 구현할 때 후단의 저항값을 조절하므로, 각 단 사이를 단일이득앰프 없이 연결 가능하다. 따라서, 종래 단일이득앰프의 오프셋전압으로 인한 디지털아날로그변환부의 정확도의 제약이 제거되므로, 정확도 높은 높은 해상도의 디지털아날로그변환부를 구현할 수 있다. 또한, 각 채널 별로 필요하던 단일이득앰프를 제거할 수 있으므로, 면적을 줄일 수 있다.

또한, 실제 구현시 각단 사이의 스위치의 저항값을 고려하여 파인계조전압생성부 내 제1 디코더에 접속되는 저항값을 조절하여 주므로써, 계조간격이 일정하도록 한다.

전술한 본 발명에서는 TFT-LCD를 예로서 설명하였으나, 본 발명은 TFT-OELD에도 적용가능하다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명에 따른 액정표시장치의 소스드라이버는 2단 병렬구조를 갖는 디지털아날로그변환부를 단일이득앰프 없이 후단의 저항렬의 저항값을 조절하여 구현할 수 있으므로, 정확도 및 해상도를 향상시킬 수 있으며, 또한, 칩의 면적을 감소시킬 수 있다. 또한, 각 단 사이의 디코더 내 스위치의 턴온 저항값을 고려하여 후단의 디지털아날로그변환부의 저항렬 중 하나의 저항값을 조절하여 주므로써, 균등한 계조간격을 갖는 아날로그신호를 출력한다.

(57) 청구의 범위

청구항 1.

각기 다른 $M + N$ 비트의 디지털 신호를 인가받아 아날로그신호로 변환하기 위한 복수의 디지털아날로그변환수단을 구비하여 액정패널의 L 개 채널을 구동하는 TFT LCD 소스 드라이버에 있어서,

상기 디지털아날로그변환수단은,

직렬 연결된 2^M 개의 저항으로 구성되어, 2^M 개의 계조전압을 생성하기 위한 커스 계조전압 생성부;

M 비트의 디지털신호에 응답하여 상기 2^M 개의 계조전압 중 연속하는 두전압을 선택하여 출력하기 위한 제1 디코더;

직렬 연결된 2^N 개의 저항으로 구성되어, 상기 제1 디코더의 출력전압을 입력으로 하여 2^N 개의 계조전압을 출력하기 위한 파인 계조전압 생성부; 및

상기 N 비트의 디지털신호에 응답하여 상기 2^N 개의 계조전압 중 하나를 선택하여 상기 아날로그신호로 출력하기 위한 제2 디코더를 구비하되,

상기 L개의 디지털아날로그변환수단은 상기 커스제조전압 생성부를 공유하고, 상기 제1 디코더와 상기 파인 계조전압 생성부는 단일이득앰프 없이 연결되며,

상기 파인 계조전압 생성부의 저항값 R_{ch} 는

$$R_{ch} \geq \frac{(2^M - 1) \cdot L \cdot R}{2^M \cdot 2^N}$$

을 가지며, 상기 R은 상기 커스제조전압 생성부의 저항값인 것을 특징으로 하는 액정표시장치의 소스드라이버.

청구항 2.

제1항에 있어서,

상기 커스제조전압 생성부의 저항값이 다양한 경우, 상기 R은 상기 다양한 저항값 중 가장 큰 경우인 것을 특징으로 하는 액정표시장치의 소스드라이버.

청구항 3.

제2항에 있어서,

상기 파인계조전압생성부 내 저항렬에서 상기 제1 디코더에 접속되는 두개의 저항 중 어느 하나의 저항값을 상기 제1 디코더 내 모든 스위치의 턴온 저항값과 합하여 상기 수식을 만족하도록 조절하는 것을 특징으로 하는 액정표시장치의 소스드라이버.

청구항 4.

M비트의 디지털신호 응답하여 2^M 개 계조전압 중 연속하는 두 전압을 선택하여 출력하기 위한 제1 디코더와, 직렬 연결된 2^M 개의 저항으로 구성되어 상기 제1 디코더의 출력전압을 입력으로 하여 2^N 개의 계조전압으로 출력하기 위한 파인 계조전압 생성부와, N 비트의 디지털신호에 응답하여 상기 파인 계조전압생성부의 출력전압 중 하나를 선택하여 출력하기 위한 제2 디코더를 구비하는 L개의 디지털아날로그변환수단; 및

직렬 연결된 2^M 개의 저항으로 구성되어, 상기 2^M 개의 계조전압을 생성하기 위한 커스 계조전압 생성수단을 구비하고,

상기 제1 디코더와 상기 파인계조전압 생성부가 단일이득앰프없이 연결되되,

상기 파인 계조전압 생성부의 저항값 R_{ch} 는

$$R_{ch} \geq \frac{(2^M - 1) \cdot L \cdot R}{2^M \cdot N}$$

을 가지며, 상기 R은 상기 커스제조전압 생성부의 저항값인 것을 특징으로 하는 디지털아날로그변환장치.

청구항 5.

제4항에 있어서,

상기 커스케조전압 생성부의 저항값이 다양한 경우, 상기 R은 상기 다양한 저항값 중 가장 큰 경우인 것을 특징으로 하는 디지털아날로그변환장치.

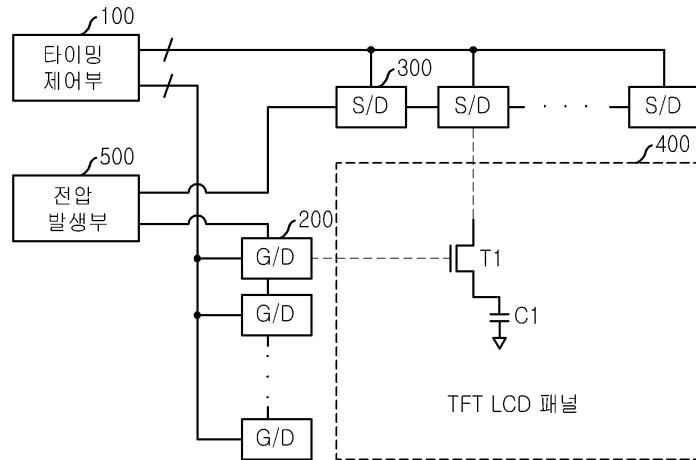
청구항 6.

제5항에 있어서,

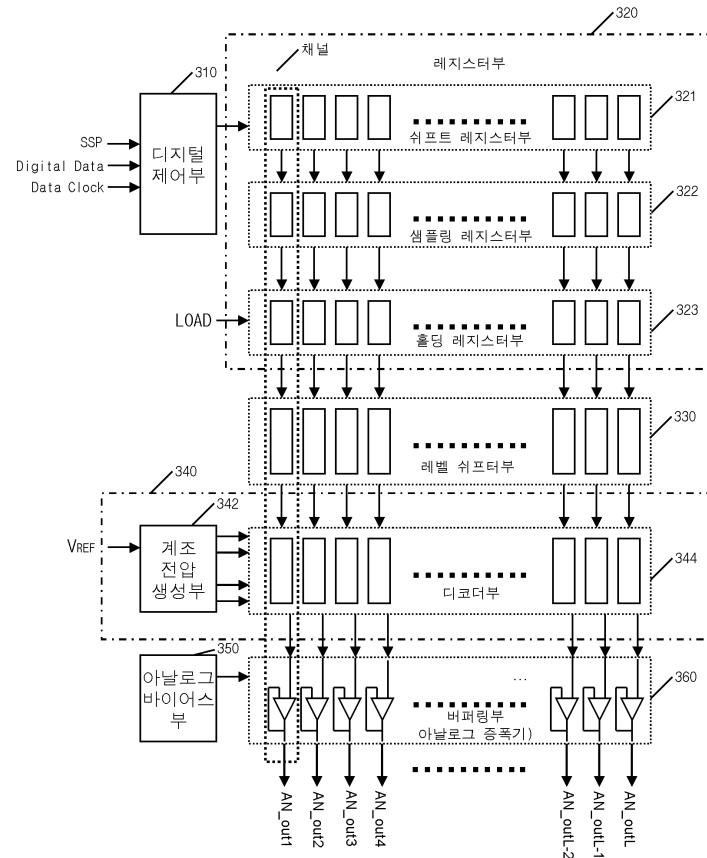
상기 파인계조전압생성부 내 저항렬에서 상기 제1 디코더에 접속되는 두개의 저항 중 어느 하나의 저항값을 상기 제1 디코더 내 모든 스위치의 턴온 저항값과 합하여 상기 수식을 만족하도록 조절하는 것을 특징으로 하는 디지털아날로그변환장치.

도면

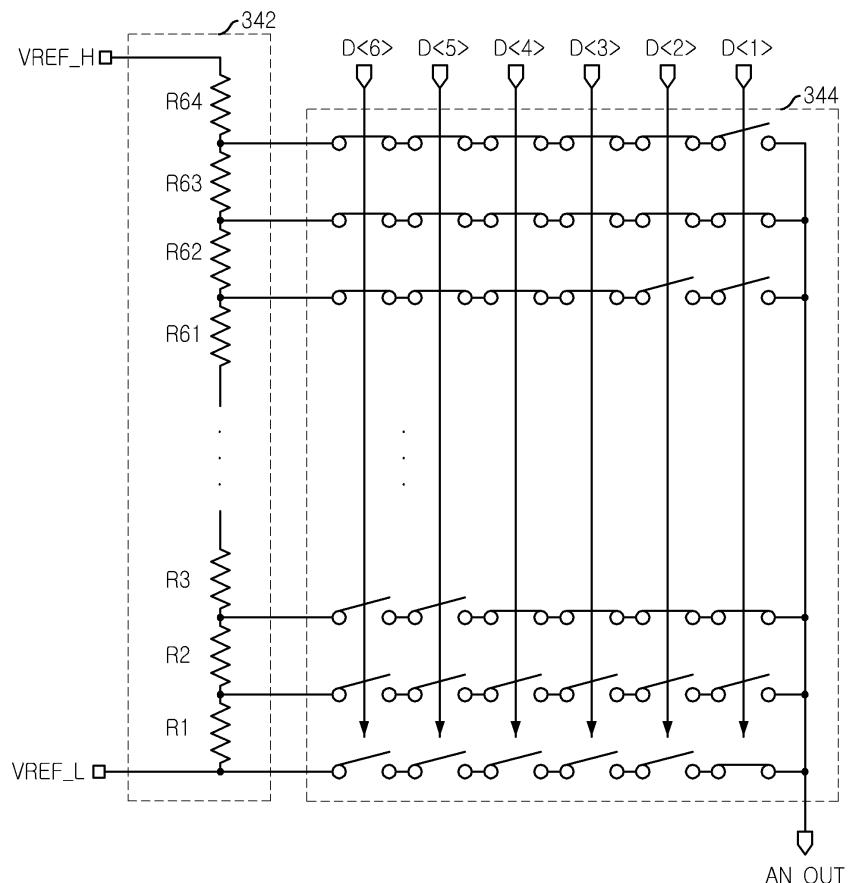
도면1



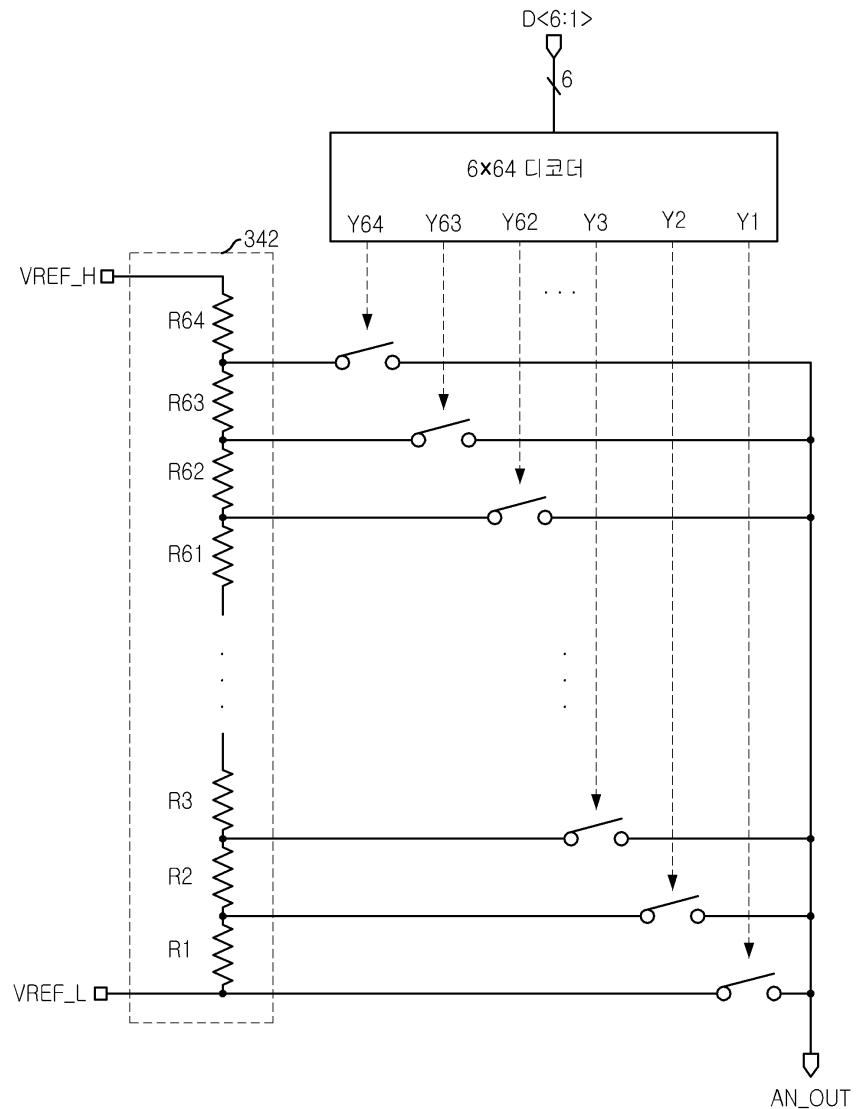
도면2



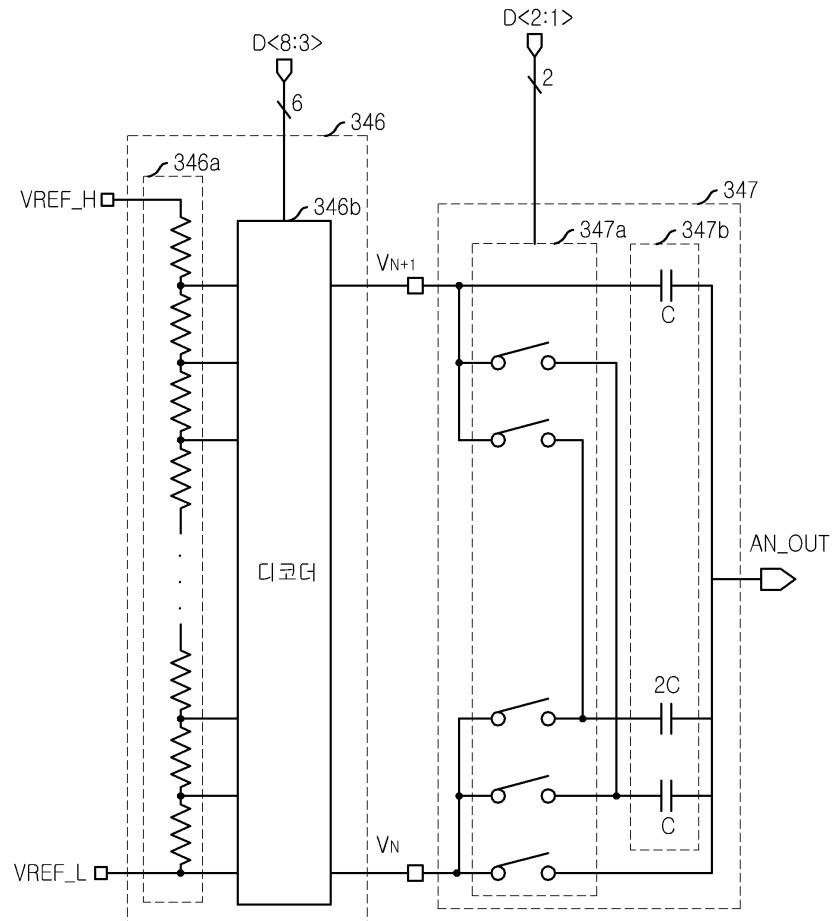
도면3



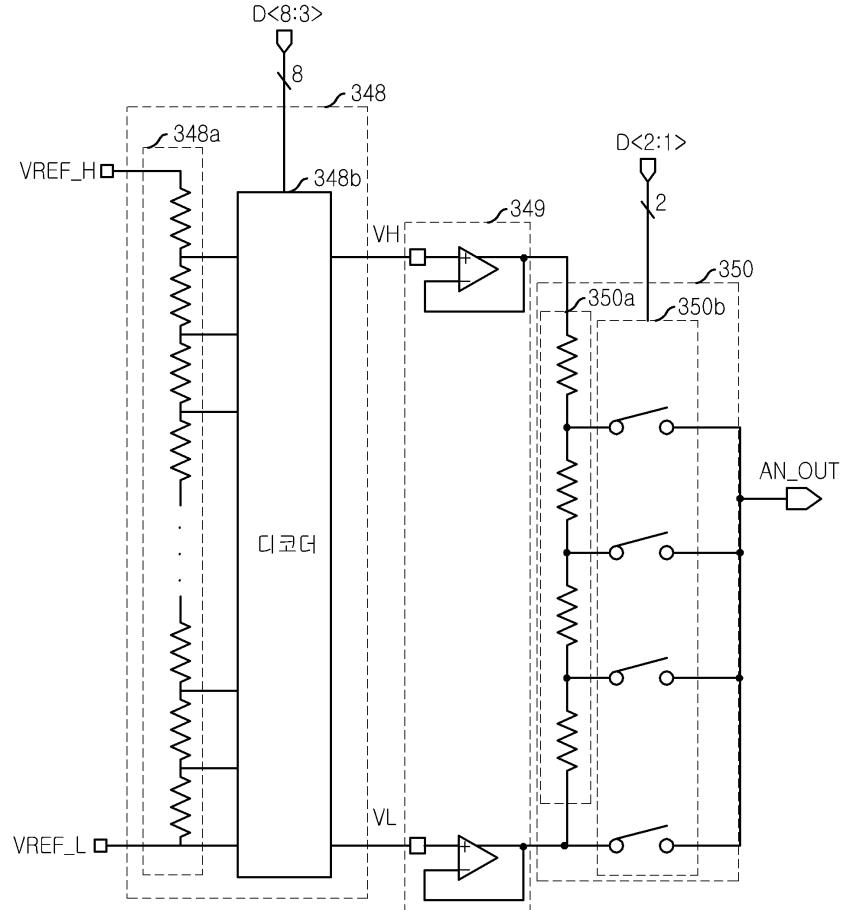
도면4



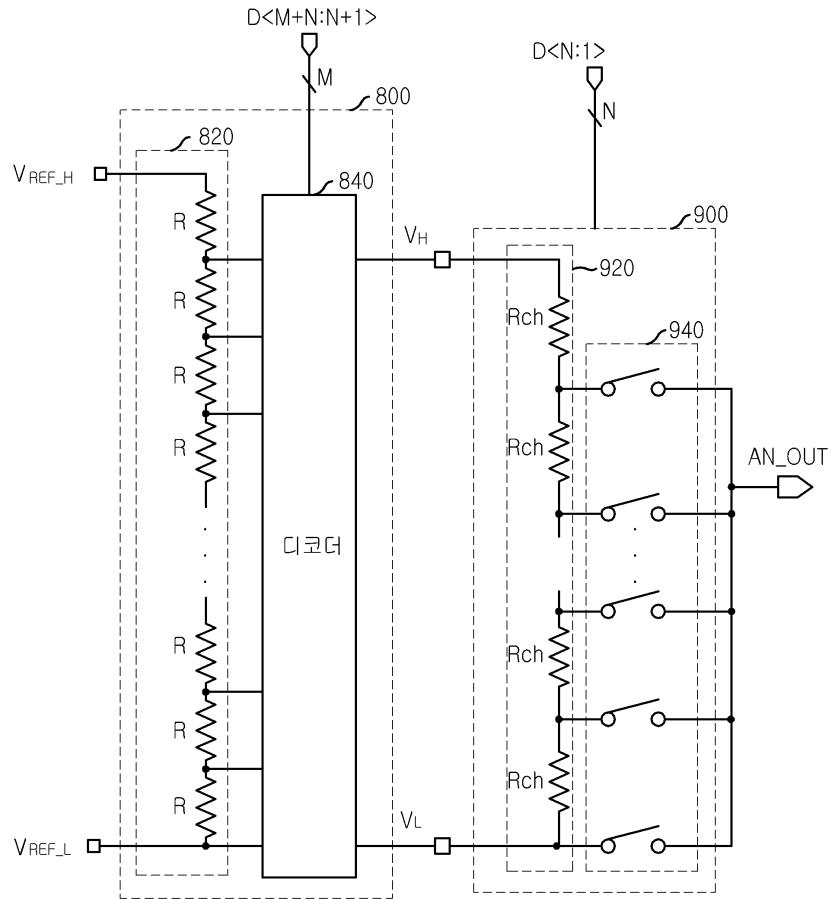
도면5



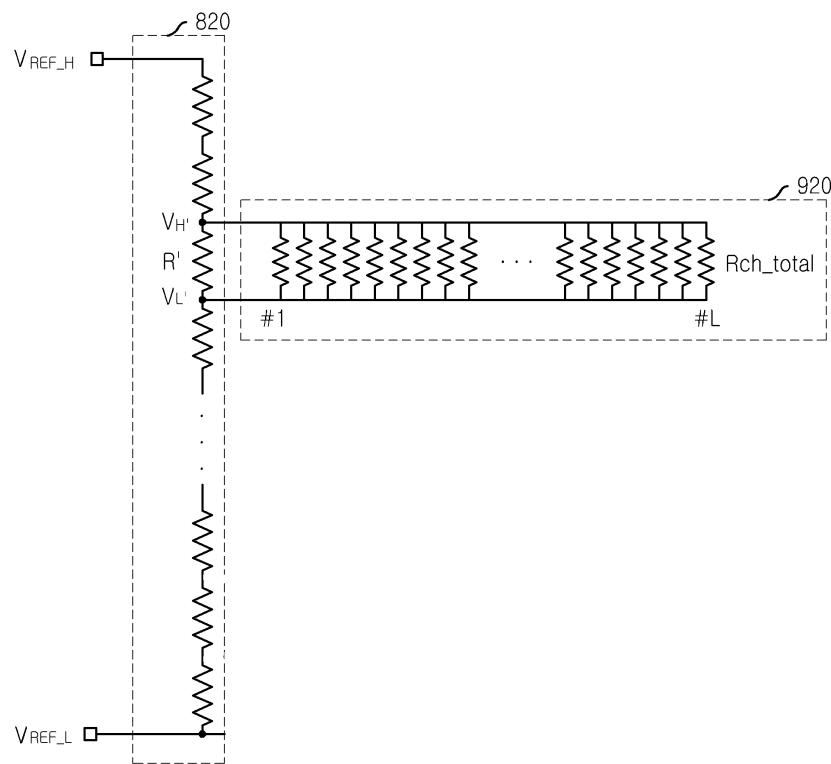
도면6



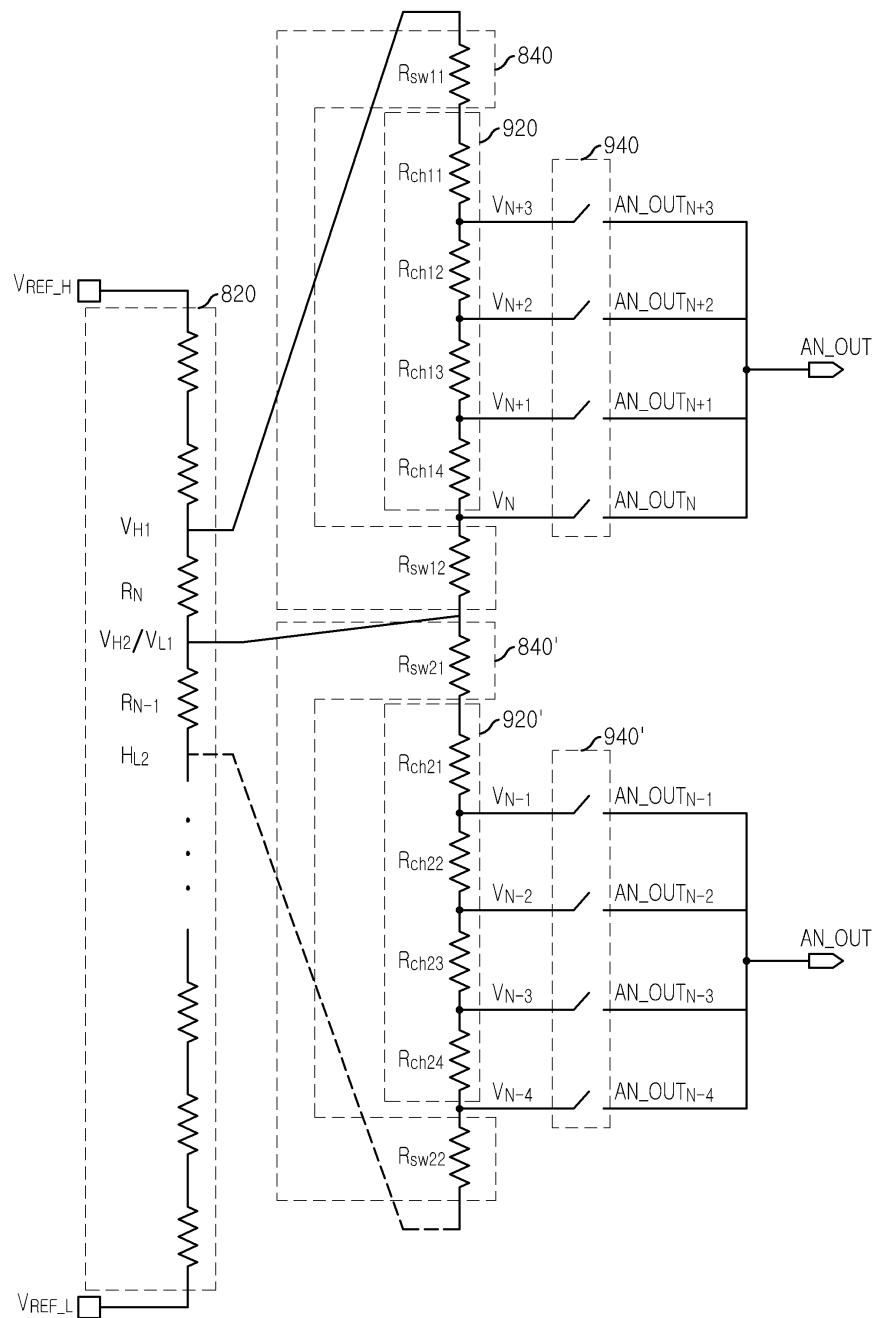
도면7



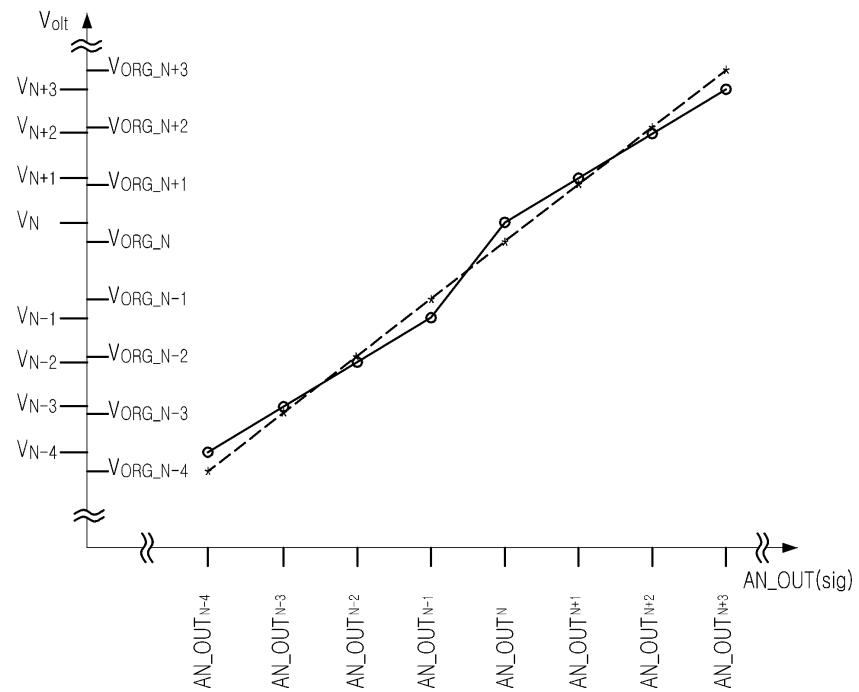
도면8



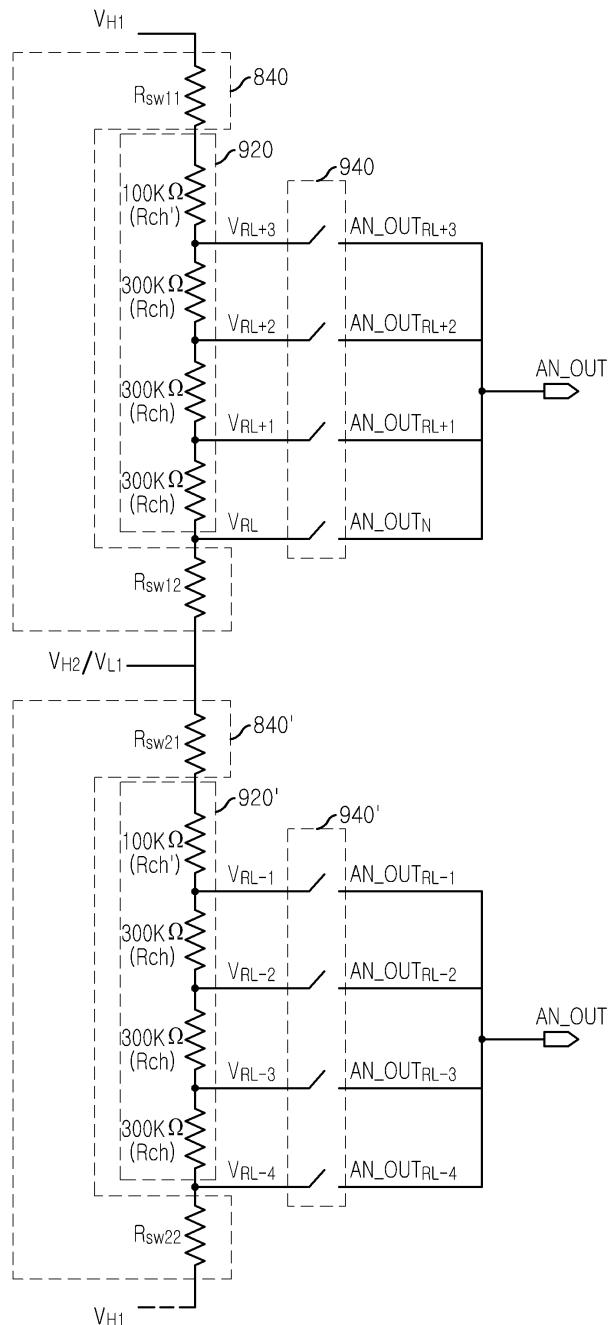
도면9



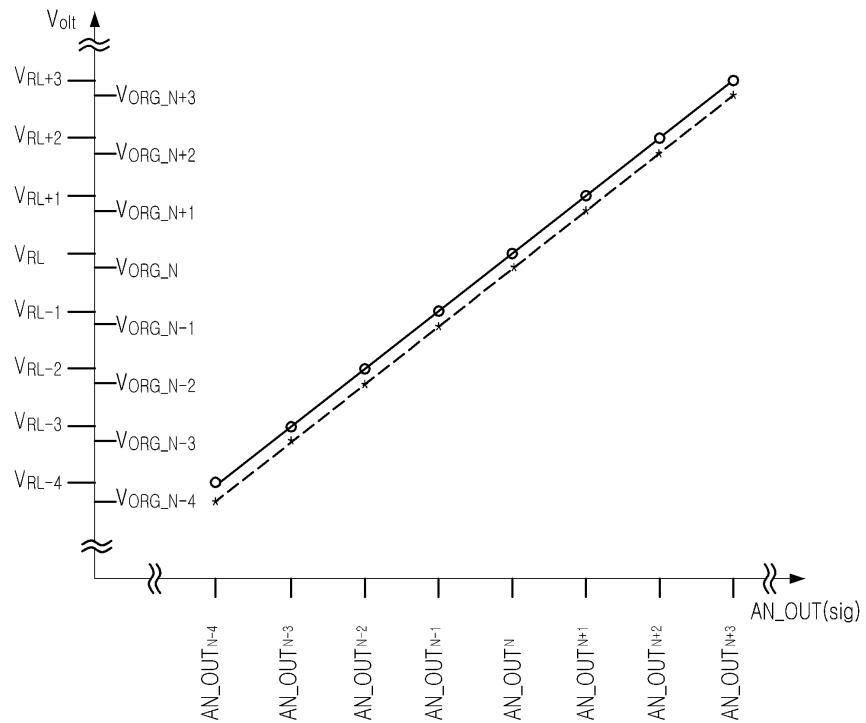
도면10



도면11



도면12



专利名称(译)	液晶显示器的源极驱动器		
公开(公告)号	KR1020060011509A	公开(公告)日	2006-02-03
申请号	KR1020040060389	申请日	2004-07-30
[标]申请(专利权)人(译)	美格纳半导体有限公司		
申请(专利权)人(译)	MagnaChip公司半导体有限公司		
当前申请(专利权)人(译)	MagnaChip公司半导体有限公司		
[标]发明人	SUNG YOOCHANG 성유창 KIM JONGKEE 김종기		
发明人	성유창 김종기		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/027 G09G3/3688		
代理人(译)	该专利事务所		
其他公开文献	KR100588745B1		
外部链接	Espacenet		

摘要(译)

至于用于驱动液晶面板的L通道的TFT LCD源极驱动器，它包括多个数模转换装置，用于将关于本发明的不同M + N位的数字信号应用于此并用于提供液晶面板装置的源极驱动器提高精度单位增益放大器不用于数字模拟转换器转换成本发明的模拟信号它由2M的电阻组成，数字 - 模拟转换装置是串联连接。并且由粗灰度电压发生器的电阻组成：第一解码器：2N用于响应于2位灰度电压中的M位数字信号输出，它选择连续的两个电压串联连接以产生2的灰度电压M.并且L的数字 - 模拟转换平均值具有第一解码器的输出电压，因为输入具有如上所述的雕刻灰度电压发生器的电阻值R ch是如上所述的第一解码器和雕刻的灰度电压发生器。在没有单位增益放大器的情况下连接粗灰度电压发生器。并且提供称为R的液晶显示器的次要驱动器是粗灰度电压发生器的电阻值。源极驱动器，通道，数字/模拟转换装置，液晶显示器，偏移电压。

