

(19)
(12)

(KR)
(A)

(51) 。 Int. Cl.⁷
G09G 3/36

(11)
(43)

10-2004-0079565
2004 09 16

(21) 10-2003-0014493
(22) 2003 03 07

(71) .

20

(72) 1494-6302

(74)

$$\begin{pmatrix} 1 \\ 0 \\ 0 \end{pmatrix}$$

(54) -

가

가 -

6

1

2 1

3 TFT 가

4

5 4

6 - 1

7

8a, 8b, 8c 6

9 7

10 - 2

11 - 3

12 - 4

< >

ND1~ND3 : Vr1~Vr4 :

30 : 40 : 1

50 : 2 60 : 3

C1, C2 :

가

가

(4) (6) , (2) (8) (2) (DL1 DLn) (GL1 GLm) (4)

m (GL1 GLm) n (Thin Film Transistor : 'TFT')가 (DL1 DLn) (6) m (GL1 GLm) TFT

(8) 2 가 (V_y) (4)

(V_y) (4) (DL1 DLn) 가 (V_y) ,

(2) 3 가 (DL) (CL) TFT , TFT (CL) (GL), (Clc) , TFT (R_{tft}) (GL) (Cgs) TFT가 (off) 가 (R_{tft}) (Clc)

TFT가 (on) (DL) (V_γ) (CL)
(Vcom) , (Cgs) , (Cgs)
가 TFT가 - (Cgs) (Cgs)
(Clc) (Clc) (Cgs) (Clc) (Cgs)
TFT (R_{tft}) (Vcom)
가 (4) (4) - (DAC)
(2) 4 PWM(Pulse Width Modulator) (10) (2) ,
(15) (12) (15)
가 PWM (12) PWM (DL1~DLn)
(C) (C)
가 (10) DAC 5
5 , (10) 1
(15)
ON PWM (12) PWM (Vdata) (15)
(C)
(2) TFT (10) DAC ,
(10) (Load)가 , 가

가 , -
1 1 ; 2 1 가 2
1 2 ; 3 1 2 ; 2
3 ; 3

3 2 .

- .

, p- n- .

1 2 CMOS .

1

6 , (Vr1, Vr2, Vr3, Vr4) , (20)가 , , 1 (ND1) . , (20) (2) () 가 .

2 (30) PWM 1 (31) 2 (32) 가 , 1 (40) (50) PWM .

7 () (30) PWM , - .

, 4 , PWM - ()

1 (30) MUX1 1 (MUX) PWM , D0= AND PWM .

1 (40) 1 (ND1) 1 (41) , 2 (ND2) 2 (42) .

2 (50) 2 (ND2) 1' (51) , 3 (ND3) 2' (52) .

1 (41) (51) (30) 1 (30) (31) 2 (32) 2' (42) (52) , 1' , (30) 1 2 (40)(50) , TFT 가 T

FT

2 (ND2) 3 (ND3) 1 (C1)가 .

(Vrst) 1 (C1) 가 가 .

3 (60) 3 (Vrst) , 1 (C1) 가 .

3 (ND3) 2 (C2)가 , 2 (C2) 2 (C2)가 .

- , p- n-
6
(Vr1~Vr4)

8a, 8b, 8c 9 9

1 (C1) 2 (ND2) (Vr1, Vr2, Vr3, Vr4)
(Vref) 가 , 3 (ND3) 가 1
(40) 2 (50)

8a 1 1 (C1) 2 (C2) 가
, 8b 1 (C1) 2 (C2) - (Charge-coupling)
, 8c 1 (C1) 2 (C2)
(Charge-sharing), (Vref) (Vrst) -
Down-ramp)가, (Vref) (Vrst) (Up-ramp)가
, - (Charge-Pumping) 가,

가

8a, 8b, 8c (Vref) 가 1 (DL1~DLn)
가 (Vdata) (1)

$$(1) \quad \Delta V_{data} = \frac{4C_1}{4C_1 + C_2} \times (V_{ref} - V_{rst})$$

(Vref) 가 2 (C2) 1 (C1)
가 가 가 (Vdata) (Vref), Vr
1~Vr4 가 가 가

2

가 , 1 (40) 2 (50) 10 가 (V
ref) (Vrst) 1 (40) n- , 1 (40) 2 (50)
(50) p- PWM

3

- 10 11 1 (40) p-
2 (50) n-
3 4 PMOS NMOS CMOS
8b 8c COMS
()

4

12 가 가 , - 9 -
8c -

(Vdata) 가 .

가 .

(57)

1.

,
,
;
1 ;
1 2 ;
1 2 1 2 가
;
2 ;
2 3 ;
3

2.

1 ,
-

3.

1 ,
3 2
-

4.

1 ,
-

5.

1 ,
p- n- -

6.

1

,

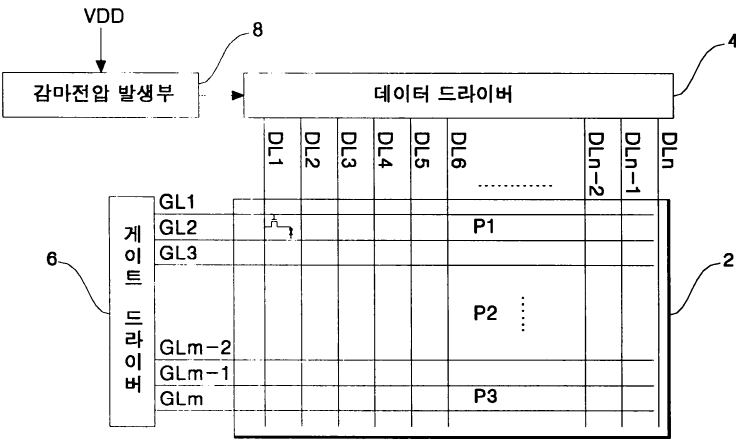
1

2

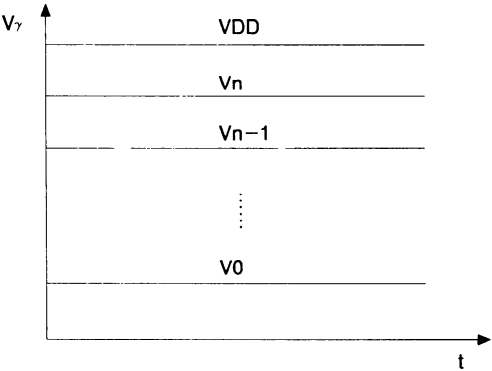
CMOS

-

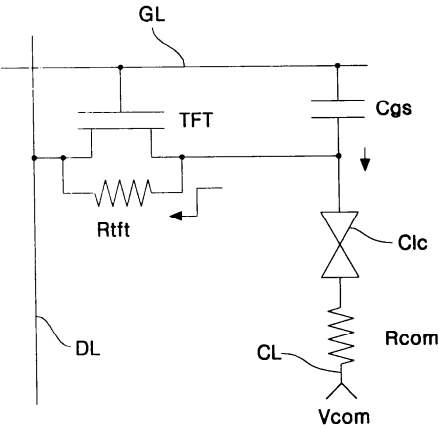
1

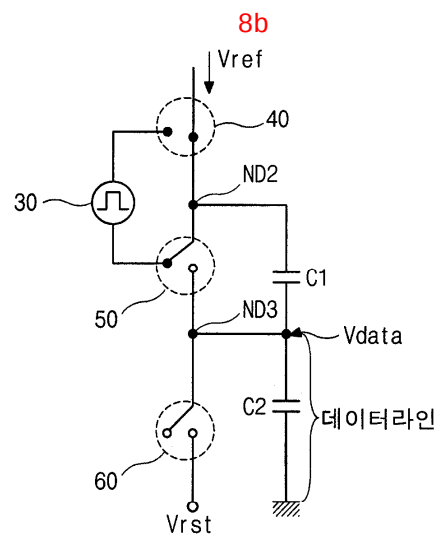
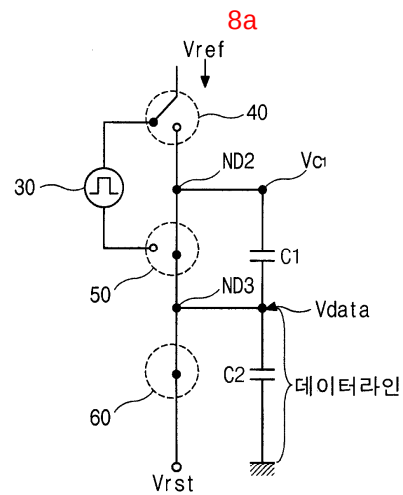
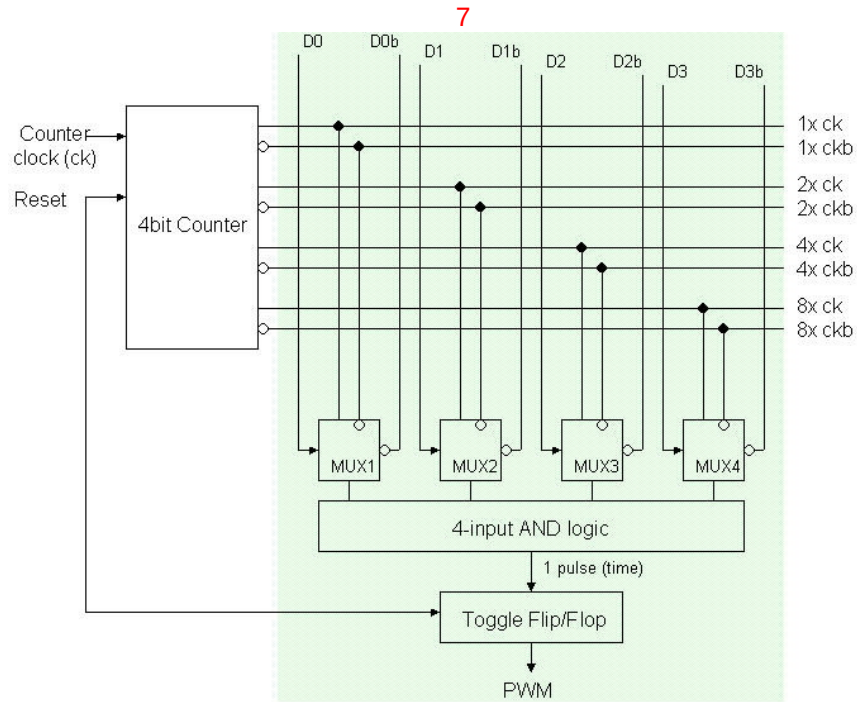


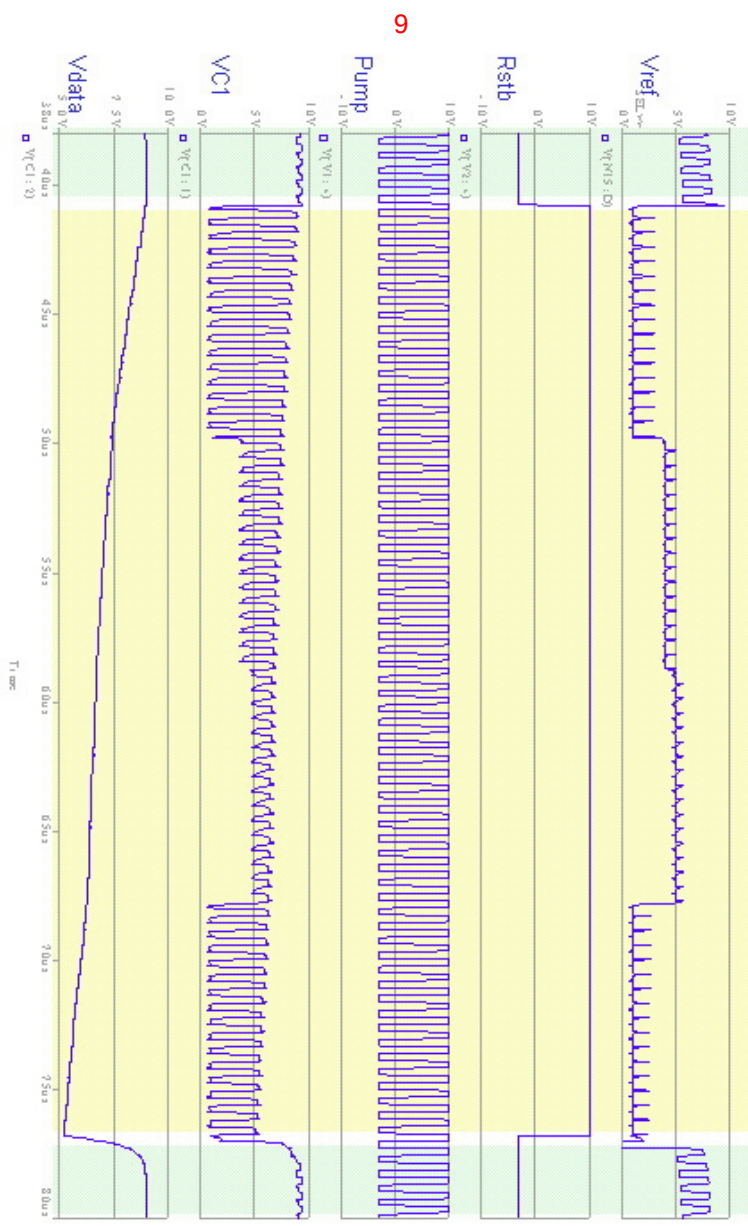
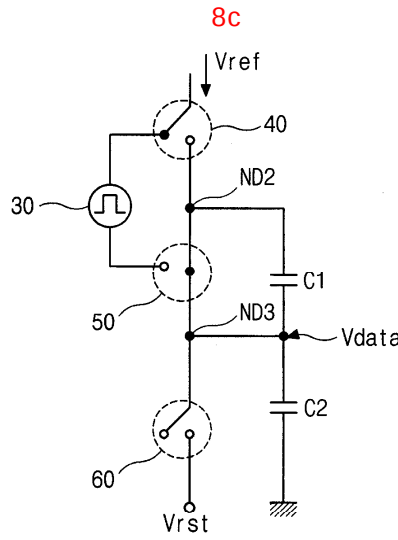
2

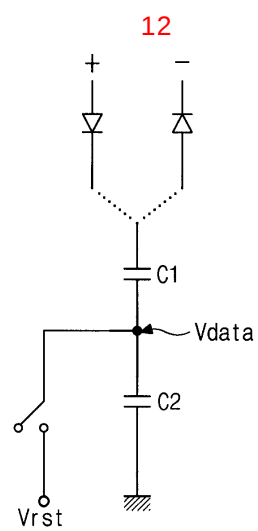
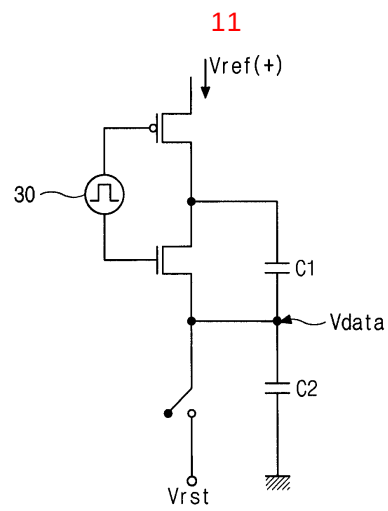
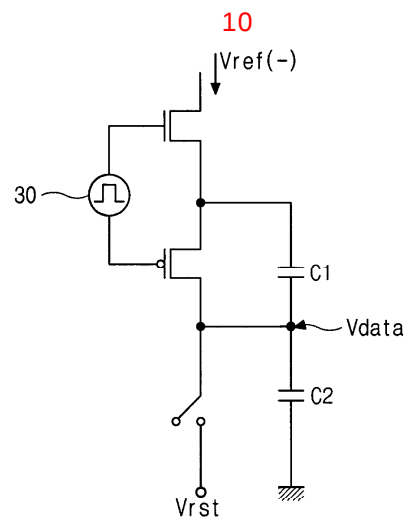


3









专利名称(译)	一种用于驱动液晶显示器的数字 - 模拟转换电路		
公开(公告)号	KR1020040079565A	公开(公告)日	2004-09-16
申请号	KR1020030014493	申请日	2003-03-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO JUHNSUK 유준석		
发明人	유준석		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/027 G09G2330/023 G09G3/3688		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，更具体地说，涉及一种用于驱动多晶硅型液晶显示装置的数模转换电路。传统上，要使用的多晶硅有源矩阵型液晶显示装置的数模转换电路，用于驱动所述灯型数字 - 模拟转换器的液晶显示装置 - 模拟转换器不容易受到数字yiyeseo薄膜晶体管元件的非均匀的特性。然而，该数字提供一斜坡信号到模拟转换器的数字到电源产生从液晶面板的外部的斜坡信号，由于其消耗电力非常大，以被配置为模拟转换器，一个斜坡信号产生如在本发明的聚已经提出了一种可以嵌入硅中的数模转换电路，其具有低功耗并且还可以执行伽马校正。 6

