

**(19)대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) 。 Int. Cl.<sup>7</sup>  
G02F 1/1345

(11) 공개번호 10-2004-0076720  
(43) 공개일자 2004년09월03일

(21) 출원번호 10-2003-0012056  
(22) 출원일자 2003년02월26일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 황광희  
대구광역시북구동천동칠곡화성3차108동1105호

(74) 대리인 김영호

심사청구 : 없음

**(54) 액정 표시 장치**

**요약**

본 발명은 별도의 회로를 추가하지 않고도 첫번째 수평 라인의 휘선 불량을 방지할 수 있는 액정 표시 장치에 관한 것이다.

본 발명의 액정 표시 장치는 게이트 라인들과 데이터 라인들의 교차 구조로 정의된 영역마다 형성된 액정셀들을 포함하는 표시 영역과, 그 표시 영역의 외곽을 감싸는 비표시 영역을 구비하는 액정 표시 패널과; 상기 비표시 영역에 인접한 수평 라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위하여 상기 표시 영역에 형성된 더미 게이트 라인과; 상기 게이트 라인들 중 어느 하나와 상기 더미 게이트 라인을 접속시키기 위하여 상기 비표시 영역에 형성된 더미 라인을 구비하는 것을 특징으로 한다.

**대표도**

도 3

**명세서**

**도면의 간단한 설명**

도 1은 종래의 제1 라인 온 글래스형 액정 표시 장치를 도시한 평면도.

도 2는 종래의 제2 라인 온 글래스형 액정 표시 장치를 도시한 평면도.

도 3은 본 발명의 제1 실시 예에 따른 라인 온 글래스형 액정 표시 장치를 도시한 평면도.

도 4는 본 발명의 제2 실시 예에 따른 라인 온 글래스형 액정 표시 장치를 도시한 평면도.

<도면의 주요부분에 대한 설명>

2, 32, 62, 82 : 하부 기판 4, 34, 64, 84 : 상부 기판

6, 36, 66, 86 : 액정 표시 패널 8, 38, 68, 88 : 게이트 TCP  
 10, 40, 70, 90 : 게이트 구동 IC 12, 42, 72, 92 : 데이터 TCP  
 14, 44, 74, 94 : 데이터 구동 IC 16, 46, 76, 96 : 데이터 PCB  
 18, 78 : 게이트 PCB 20 : 게이트 구동 IC 출력라인  
 22, 52, 70, 100 : 더미 라인 24, 54, 74, 104 : LOG 신호 라인군  
 48 : 더미 전압부 GL0 : 더미 게이트 라인  
 GLn : n번째 게이트 라인

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 라인 온 글래스형 신호 라인을 사용한 액정 패널에서 첫 라인 밝음 현상을 방지할 수 있는 액정 표시 장치에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.

액정 표시 패널은 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.

구동 회로는 액정 표시 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하기 위한 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로들의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.

데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC라 함)들로 분리되어 칩 형태로 제작된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 또한 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 칩 형태로 제작되어 메인 PCB(Printed Circuit Board) 상에 실장된다.

TCP에 의해 액정 표시 패널과 접속되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 서브 PCB를 통해 메인 PCB의 타이밍 제어부 및 전원부와 접속된다. 구체적으로, 데이터 드라이브 IC들은 메인 PCB -> 제1 FPC -> 데이터 PCB -> 데이터 TCP를 경유하여 타이밍 제어부로부터의 데이터 제어 신호들 및 화소 데이터와, 전원부로부터의 전원 신호들을 공급받게 된다. 게이트 드라이브 IC들은 메인 PCB -> 제1 FPC -> 데이터 PCB -> 제2 FPC -> 게이트 PCB -> 게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과, 전원부로부터의 전원 신호들을 공급받게 된다.

COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC와 액정 표시 패널에 형성되는 라인 온 글래스(Line-On-Glass; 이하 LOG라 함)형 신호 라인들을 통해 메인 PCB에 실장된 타이밍 제어부로부터의 제어 신호들 및 화소 데이터와 전원부로부터의 전원 신호들을 공급받게 된다.

한편, 액정 표시 장치를 더욱 박형화하기 위하여 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 FPC 및/또는 PCB를 제거하게 된다.

예를 들면, 데이터 PCB와 게이트 PCB를 연결하는 FPC를 제거하고 게이트 PCB에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하게 된다. 이에 따라, 게이트 TCP에 실장된 게이트

트 드라이브 IC들은 메인 PCB -> FPC -> 데이터 PCB -> 데이터 TCP -> LOG형 신호 라인 -> 게이트 TCP -> 게이트 PCB -> 게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.

또한, 데이터 PCB와 접속되는 FPC와 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하게 된다. 이에 따라, 게이트 TCP에 실장된 게이트 드라이브 IC들은 메인 PCB -> FPC -> 데이터 PCB -> 데이터 TCP -> LOG형 신호 라인 -> 게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다.

도 1은 데이터 PCB와 게이트 PCB 사이의 FPC가 제거된 LOG형 액정 표시 장치를 도시한 것이다.

도 1에 도시된 액정 표시 장치는 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)을 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)와, 게이트 TCP(8)와 접속된 게이트 PCB(18)를 구비한다.

액정 표시 패널(6)은 박막 트랜지스터 어레이가 형성된 하부 기판(2)과, 칼러 필터 어레이가 형성된 상부 기판(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터의 화소 신호를 액정셀에 공급한다. 액정셀은 공급된 화소 신호에 따라 광투과율을 조절하여 계조를 구현하게 된다. 이 경우, 액정셀은 박막 트랜지스터로부터 공급된 화소 신호를 다음 화소 신호가 공급될 때까지 안정적으로 유지하기 위한 스토리지 캐패시터를 추가로 구비한다. 스토리지 캐패시터는 통상 액정셀마다 형성된 화소 전극이 전단 게이트 라인과 절연층을 사이에 두고 중첩됨으로써 형성된다. 이에 따라, 첫번째 수평 라인에 포함되는 액정셀들에 다른 수평 라인들에 포함되는 액정셀들과 같이 스토리지 캐패시터를 형성하기 위하여 하부 기판(2) 상에는 더미 게이트 라인(GLO)이 추가로 형성된다. 더미 게이트 라인(GLO)은 하부 기판(2)의 비표시 영역에 형성된다.

데이터 드라이브 IC들(14)은 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드부를 경유하여 데이터 라인들과 접속된다. 이러한 데이터 드라이브 IC들(14)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들에 공급한다. 이를 위하여, 데이터 드라이브 IC들(14)은 데이터 PCB(16)를 통해 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(10)은 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인들과 접속된다. 이러한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)을 게이트 라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(10)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들에 공급한다.

이러한 게이트 드라이브 IC(10)에 공급되는 게이트 제어 신호들 및 전원 신호들은 먼저 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 PCB(16)를 경유하여 첫번째 데이터 TCP(12)에 공급된다. 그리고, 첫번째 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 하부 기판(2)의 가장자리 영역에 형성된 LOG형 신호 라인군(24)을 경유하여 첫번째 게이트 TCP(8)에 공급된다. 첫번째 게이트 TCP(8)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 PCB(18)를 경유하여 게이트 TCP들(8) 각각에 공급되고, 게이트 TCP들(8) 각각에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)로 공급되어 이용된다.

LOG형 신호 라인군(24)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

그리고, 액정 표시 패널(6)의 상단부에 형성된 더미 게이트 라인(GLO)은 게이트 드라이브 IC(10)의 출력 라인들 중 어느 하나의 출력 라인(20)과 전기적으로 접속된다. 예를 들면, 더미 게이트 라인(GLO)은 마지막 게이트 라인에 게이트 신호를 공급하는 게이트 드라이브 IC(10)의 마지막번째 출력 라인(20)과 접속되어 마지막번째 게이트 TCP(8) -> 게이트 PCB(18) -> 첫번째 게이트 TCP(8) -> LOG 신호 라인군(24)을 경유하는 더미 라인(22)과 접속된다. 이에 따라, 더미 게이트 라인(GLO)에도 다른 게이트 라인들과 동일한 조건으로 게이트 신호가 공급된다. 따라서, 첫번째 수평 라인에도 다른 수평 라인들과 동일한 조건의 스토리지 캐패시터가 형성됨으로써 노멀 화이트 모드인 경우 그 스토리지 캐패시터의 불균형으로 인하여 첫번째 수평 라인이 상대적으로 밝게 보이는 휘선 불량을 방지할 수 있게 된다.

도 2는 종래의 게이트 PCB가 제거된 LOG형 액정 표시 장치를 도시한 것이다.

도 2에 도시된 액정 표시 장치는 데이터 구동 IC(44)를 실장하여 데이터 PCB(46)와 액정 표시 패널(36) 사이에 접속된 데이터 TCP(42)와, 게이트 구동 IC(40)를 실장하여 액정 표시 패널(36)에 접속된 게이트 TCP(38)를 구비한다.

액정 표시 패널(36)은 박막 트랜지스터 어레이가 형성된 하부 기판(32)과, 컬러 필터 어레이가 형성된 상부 기판(34)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(36)은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된다. 박막 트랜지스터는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터의 화소 신호를 액정셀에 공급한다. 액정셀은 공급된 화소 신호에 따라 광투과율을 조절하여 계조를 구현하게 된다. 이 경우, 액정셀은 박막 트랜지스터로부터 공급된 화소 신호를 다음 화소 신호가 공급될 때까지 안정적으로 유지하기 위한 스토리지 캐패시터를 추가로 구비한다. 스토리지 캐패시터는 통상 액정셀마다 형성된 화소 전극이 전단 게이트 라인과 절연층을 사이에 두고 중첩됨으로써 형성된다. 이에 따라, 첫번째 수평 라인에 포함되는 액정셀들에 다른 수평 라인들에 포함되는 액정셀들과 같이 스토리지 캐패시터를 형성하기 위하여 하부 기판(32) 상에는 더미 게이트 라인(GLO)이 추가로 형성된다. 더미 게이트 라인(GLO)은 하부 기판(32)의 비표시 영역에 형성된다.

데이터 드라이브 IC들(44)은 데이터 TCP(42) 및 액정 표시 패널(36)의 데이터 패드부를 경유하여 데이터 라인들과 접속된다. 이러한 데이터 드라이브 IC들(44)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들에 공급한다. 이를 위하여, 데이터 드라이브 IC들(44)은 데이터 PCB(16)를 통해 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(40)은 게이트 TCP(38) 및 액정 표시 패널(36)의 게이트 패드부를 경유하여 게이트 라인들과 접속된다. 이러한 게이트 드라이브 IC들(40)은 게이트 하이 전압(VGH)을 게이트 라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(40)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들에 공급한다.

이러한 게이트 드라이브 IC(40)에 공급되는 게이트 제어 신호들 및 전원 신호들은 먼저 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 PCB(46)를 경유하여 첫번째 데이터 TCP(42)에 공급된다. 그리고, 첫번째 데이터 TCP(42)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 하부 기판(32)의 가장자리 영역에 형성된 LOG형 신호 라인군(54)을 경유하여 첫번째 게이트 TCP(38)에 공급된다. 첫번째 게이트 TCP(38)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(40)의 입력 단자들을 통해 게이트 드라이브 IC(40) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(40)의 출력 단자들을 통해 다시 출력되어 게이트 TCP(38)와 다음 LOG 신호 라인군(54)을 경유하여 다음 게이트 TCP(38)에 실장된 게이트 드라이브 IC(40)로 공급된다.

LOG형 신호 라인군(54)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

그리고, 액정 표시 패널(36)의 상단부에 형성된 더미 게이트 라인(GLO)은 데이터 PCB(46)에 실장된 더미 전압부(48)로부터 그 데이터 PCB(46)와 마지막번째 데이터 TCP(42)를 경유하는 더미 라인(52)을 통해 더미 게이트 신호를 공급받게 된다. 이 경우, 더미 전압부(48)는 더미 게이트 라인(GLO)에 공급되는 더미 게이트 신호는 다른 게이트 라인들에 공급되는 게이트 신호와 동일하게 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 구성된다. 이에 따라, 첫번째 수평 라인에도 다른 수평 라인들과 동일한 조건의 스토리지 캐패시터가 형성됨으로써 노멀 화이트 모드인 경우 그 스토리지 캐패시터의 불균형으로 인하여 첫번째 수평 라인이 상대적으로 밝게 보이는 휘선 불량을 방지할 수 있게 된다.

그러나, 도 2에 도시된 종래의 LOG형 액정 표시 장치는 더미 게이트 라인(GLO)에 더미 게이트 신호를 공급하기 위하여 데이터 PCB(46)에 추가적으로 더미 전압부(48)를 구비해야 하는 단점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 별도의 회로를 추가하지 않고도 첫번째 수평 라인의 휘선 불량을 방지할 수 있는 액정 표시 장치를 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 LOG형 액정 표시 장치는 게이트 라인들과 데이터 라인들의 교차 구조로 정의된 영역마다 형성된 액정셀들을 포함하는 표시 영역과, 그 표시 영역의 외곽을 감싸는 비표시 영역을 구비하는 액정 표시 패널과; 상기 비표시 영역에 인접한 수평 라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위하여 상기 표시 영역에 형성된 더미 게이트 라인과; 상기 게이트 라인들 중 어느 하나와 상기 더미 게이트 라인을 접속시키기 위하여 상기 비표시 영역에 형성된 더미 라인을 구비하는 것을 특징으로 한다.

상기 더미 라인은 상기 액정 표시 패널에서 상기 게이트 라인들을 구동하기 위한 게이트 구동 회로가 접속된 일측부와 대향되는 다른측부의 외곽영역을 따라 형성된 것을 특징으로 한다.

상기 더미 라인은 상기 게이트 라인들 중 마지막번째 게이트 라인과 상기 더미 라인을 경유하여 접속된 것을 특징으로 한다.

상기 게이트 라인들을 구동하기 위한 게이트 구동 회로를 실장하여 상기 액정 표시 패널과 접속된 게이트 테이프 캐리어 패키지들과; 상기 데이터 라인들을 구동하기 위한 데이터 구동 회로를 실장하여 상기 액정 표시 패널과 접속된 데이터 테이프 캐리어 패키지들과; 상기 데이터 구동 회로에 공급되어질 데이터 구동 신호들과 상기 게이트 구동 회로에 공급되어질 게이트 구동 신호들을 상기 데이터 테이프 캐리어 패키지로 공급하는 인쇄 회로 기판과; 상기 데이터 테이프 캐리어 패키지로부터의 게이트 구동 신호들을 상기 게이트 테이프 캐리어 패키지들에 공급하기 위하여 상기 액정 표시 패널에 형성된 라인-온-글래스형 신호 라인군을 추가로 구비하는 것을 특징으로 한다.

상기 어느 하나의 게이트 테이프 캐리어 패키지로 공급된 상기 게이트 구동 신호들을 다른 게이트 테이프 캐리어 패키지로 공급하기 위한 제2 인쇄 회로 기판을 추가로 구비하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예에 대하여 도 3 및 도 4를 참조하여 설명하기로 한다.

도 3은 본 발명의 제1 실시 예에 따른 데이터 PCB와 게이트 PCB 사이의 FPC가 제거된 LOG형 액정 표시 장치를 도시한 것이다.

도 3에 도시된 액정 표시 장치는 데이터 구동 IC(74)를 실장하여 데이터 PCB(76)와 액정 표시 패널(66) 사이에 접속된 데이터 TCP(72)와, 게이트 구동 IC(70)를 실장하여 액정 표시 패널(66)에 접속된 게이트 TCP(68)와, 게이트 TCP(68)와 접속된 게이트 PCB(78)를 구비한다.

액정 표시 패널(66)은 박막 트랜지스터 어레이가 형성된 하부 기판(62)과, 칼라 필터 어레이가 형성된 상부 기판(64)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(66)은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된 표시 영역과, 그 표시 영역의 외곽을 감싸는 비표시 영역으로 구분된다. 박막 트랜지스터는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터의 화소 신호를 액정셀에 공급한다. 액정셀은 공급된 화소 신호에 따라 광투과율을 조절하여 계조를 구현하게 된다. 이 경우, 액정셀은 박막 트랜지스터로부터 공급된 화소 신호를 다음 화소 신호가 공급될 때까지 안정적으로 유지하기 위한 스토리지 캐패시터를 추가로 구비한다. 스토리지 캐패시터는 통상 액정셀마다 형성된 화소 전극이 전단 게이트 라인과 절연층을 사이에 두고 중첩됨으로써 형성된다. 이에 따라, 첫번째 수평 라인에 포함되는 액정셀들에 다른 수평 라인들에 포함되는 액정셀들과 같이 스토리지 캐패시터를 형성하기 위하여 하부 기판(62) 상에는 더미 게이트 라인(GLO)이 추가로 형성된다. 더미 게이트 라인(GLO)은 하부 기판(62)의 비표시 영역에 형성된다.

특히, 액정 표시 패널(66)의 상단부에 형성된 더미 게이트 라인(GLO)은 하부 기판(62)에 형성된 게이트 라인들 중 어느 하나와 전기적으로 접속된다. 이 경우, 더미 게이트 라인(GLO)은 하부 기판(62)에서 게이트 TCP(68)가 형성되는 일측부와 대향되는 다른측부의 비표시영역을 따라 형성된 더미 라인(70)을 경유하여 게이트 라인들 중 어느 하나와 전기적으로 접속된다.

예를 들면, 더미 게이트 라인(GLO)은 우측부의 비표시영역을 따라 신장된 더미 라인(70)을 경유하여 마지막 n번째 게이트 라인(GLn)과 접속된다. 이러한 더미 라인(70)은 n개의 게이트 라인들 및 더미 게이트 라인(GLO)과 함께 게이트 금속으로 형성된다. 이에 따라, 더미 게이트 라인(GLO)에는 마지막 n번째 게이트 라인(GLn)과 동일한 게이트 신호가 공급된다. 다시 말하여, 더미 게이트 라인(GLO)에도 다른 게이트 라인들과 동일한 조건으로 게이트 신호가 공급된다. 따라서, 첫번째 수평 라인에도 다른 수평 라인들과 동일한 조건의 스토리지 캐패시터가 형성됨으로써 노멀 화이트 모드인 경우 그 스토리지 캐패시터의 불균형으로 인하여 첫번째 수평 라인이 상대적으로 밝게 보이는 휘선 불량을 방지할 수 있게 된다.

데이터 드라이브 IC들(74)은 데이터 TCP(72) 및 액정 표시 패널(66)의 데이터 패드부를 경유하여 데이터 라인들과 접속된다. 이러한 데이터 드라이브 IC들(74)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들에 공급한다. 이를 위하여, 데이터 드라이브 IC들(74)은 데이터 PCB(76)를 통해 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(70)은 게이트 TCP(68) 및 액정 표시 패널(66)의 게이트 패드부를 경유하여 게이트 라인들과 접속된다. 이러한 게이트 드라이브 IC들(70)은 게이트 하이 전압(VGH)을 게이트 라인들에 순차적으로 공급한다. 또한 게이트 드라이브 IC들(70)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들에 공급한다.

이러한 게이트 드라이브 IC(70)에 공급되는 게이트 제어 신호들 및 전원 신호들은 먼저 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 PCB(76)를 경유하여 첫번째 데이터 TCP(72)에 공급된다. 그리고, 첫번째 데이터 TCP(72)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 하부 기판(62)의 가장자리 영역에 형성된 LOG형 신호 라인군(75)을 경유하여 첫번째 게이트 TCP(68)에 공급된다. 첫번째 게이트 TCP(68)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 PCB(78)를 경유하여 게이트 TCP들(68) 각각에 공급되고, 게이트 TCP들(68) 각각에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(70)로 공급되어 이용된다.

LOG형 신호 라인군(75)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

도 4는 본 발명의 제2 실시 예에 따른 게이트 PCB가 제거된 LOG형 액정 표시 장치를 도시한 것이다.

도 4에 도시된 액정 표시 장치는 데이터 구동 IC(94)를 실장하여 데이터 PCB(96)와 액정 표시 패널(86) 사이에 접속된 데이터 TCP(92)와, 게이트 구동 IC(90)을 실장하여 액정 표시 패널(86)에 접속된 게이트 TCP(88)를 구비한다.

액정 표시 패널(86)은 박막 트랜지스터 어레이가 형성된 하부 기판(82)과, 칼러 필터 어레이가 형성된 상부 기판(84)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(86)은 게이트 라인들과 데이터 라인들의 교차로 정의되는 영역마다 박막 트랜지스터에 의해 독립적으로 구동되는 액정셀들이 마련된 마련된 표시 영역과, 그 표시 영역의 외곽을 감싸는 비표시 영역으로 구분된다. 박막 트랜지스터는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터의 화소 신호를 액정셀에 공급한다. 액정셀은 공급된 화소 신호에 따라 광투과율을 조절하여 계조를 구현하게 된다. 이 경우, 액정셀은 박막 트랜지스터로부터 공급된 화소 신호를 다음 화소 신호가 공급될 때까지 안정적으로 유지하기 위한 스토리지 캐패시터를 추가로 구비한다. 스토리지 캐패시터는 통상 액정셀마다 형성된 화소 전극이 전단 게이트 라인과 절연층을 사이에 두고 중첩됨으로써 형성된다. 이에 따라, 첫번째 수평 라인에 포함되는 액정셀들에 다른 수평 라인들에 포함되는 액정셀들과 같이 스토리지 캐패시터를 형성하기 위하여 하부 기판(82) 상에는 더미 게이트 라인(GLO)이 추가로 형성된다. 더미 게이트 라인(GLO)은 하부 기판(82)의 비표시 영역에 형성된다.

특히, 액정 표시 패널(86)의 상단부에 형성된 더미 게이트 라인(GLO)은 하부 기판(82)에 형성된 게이트 라인들 중 어느 하나와 전기적으로 접속된다. 이 경우, 더미 게이트 라인(GLO)은 하부 기판(82)에서 게이트 TCP(88)가 형성되는 일측부와 대향되는 다른측부의 비표시영역을 따라 형성된 더미 라인(100)을 경유하여 게이트 라인들 중 어느 하나와 전기적으로 접속된다.

예를 들면, 더미 게이트 라인(GLO)은 우측부의 비표시영역을 따라 신장된 더미 라인(100)을 경유하여 마지막 n번째 게이트 라인(GLn)과 접속된다. 이러한 더미 라인(100)은 n개의 게이트 라인들 및 더미 게이트 라인(GLO)과 함께 게이트 금속으로 형성된다. 이에 따라, 더미 게이트 라인(GLO)에는 마지막 n번째 게이트 라인(GLn)과 동일한 게이트 신호가 공급된다. 다시 말하여, 더미 게이트 라인(GLO)에도 다른 게이트 라인들과 동일한 조건으로 게이트 신호가 공급된다. 따라서, 첫번째 수평 라인에도 다른 수평 라인들과 동일한 조건의 스토리지 캐패시터가 형성됨으로써 노멀 화이트 모드인 경우 그 스토리지 캐패시터의 불균형으로 인하여 첫번째 수평 라인이 상대적으로 밝게 보이는 휘선 불량을 방지할 수 있게 된다.

데이터 드라이브 IC들(94)은 데이터 TCP(92) 및 액정 표시 패널(86)의 데이터 패드부를 경유하여 데이터 라인들과 접속된다. 이러한 데이터 드라이브 IC들(94)은 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인들에 공급한다. 이를 위하여, 데이터 드라이브 IC들(94)은 데이터 PCB(96)를 통해 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 제어 신호, 화소 데이터, 그리고 전원 신호들을 공급받게 된다.

게이트 드라이브 IC들(90)은 게이트 TCP(88) 및 액정 표시 패널(86)의 게이트 패드부를 경유하여 게이트 라인들과 접속된다. 이러한 게이트 드라이브 IC들(90)은 게이트 하이 전압(VGH)을 게이트 라인들에 순차적으로 공급한다. 또

한 게이트 드라이브 IC들(90)은 게이트 하이 전압(VGH)이 공급되는 기간을 제외한 나머지 기간에는 게이트 로우 전압(VGL)을 게이트 라인들에 공급한다.

이러한 게이트 드라이브 IC(90)에 공급되는 게이트 제어 신호들 및 전원 신호들은 먼저 메인 PCB(미도시) 상의 타이밍 제어부(미도시) 및 전원부(미도시)로부터 데이터 PCB(96)를 경유하여 첫번째 데이터 TCP(92)에 공급된다. 그리고, 첫번째 데이터 TCP(92)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 하부 기판(82)의 가장자리 영역에 형성된 LOG형 신호 라인군(104)를 경유하여 첫번째 게이트 TCP(88)에 공급된다. 첫번째 게이트 TCP(88)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(90)의 입력 단자들을 통해 게이트 드라이브 IC(90) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(90)의 출력 단자들을 통해 다시 출력되어 게이트 TCP(88)와 다음 LOG 신호 라인군(104)을 경유하여 다음 게이트 TCP(88)에 실장된 게이트 드라이브 IC(90)로 공급된다.

LOG형 신호 라인군(104)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(미도시)로부터 공급되는 전원 신호들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(미도시)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.

## 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 장치는 게이트 드라이브 IC가 접속되는 일측부와 마주하는 다른측부의 비표시영역을 따라 형성된 더미 라인을 경유하여 더미 게이트 라인과 다른 게이트 라인들 중 어느 하나를 전기적으로 접속시키게 된다. 이에 따라, 본 발명에 따른 액정 표시 장치는 더미 게이트 라인에 별도의 회로 추가 없이도 다른 게이트 라인과 동일한 조건으로 게이트 신호를 공급하여 첫번째 수평 라인이 밝게 보이는 휘선 불량을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## (57) 청구의 범위

### 청구항 1.

게이트 라인들과 데이터 라인들의 교차 구조로 정의된 영역마다 형성된 액정셀들을 포함하는 표시 영역과, 그 표시 영역의 외곽을 감싸는 비표시 영역을 구비하는 액정 표시 패널과;

상기 비표시 영역에 인접한 수평 라인에 포함되는 액정셀들의 스토리지 캐패시터 형성을 위하여 상기 표시 영역에 형성된 더미 게이트 라인과;

상기 게이트 라인들 중 어느 하나와 상기 더미 게이트 라인을 접속시키기 위하여 상기 비표시 영역에 형성된 더미 라인을 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 2.

제 1 항에 있어서,

상기 더미 라인은

상기 액정 표시 패널에서 상기 게이트 라인들을 구동하기 위한 게이트 구동 회로가 접속된 일측부와 대향되는 다른측부의 외곽영역을 따라 형성된 것을 특징으로 하는 액정 표시 장치.

### 청구항 3.

제 1 항에 있어서,

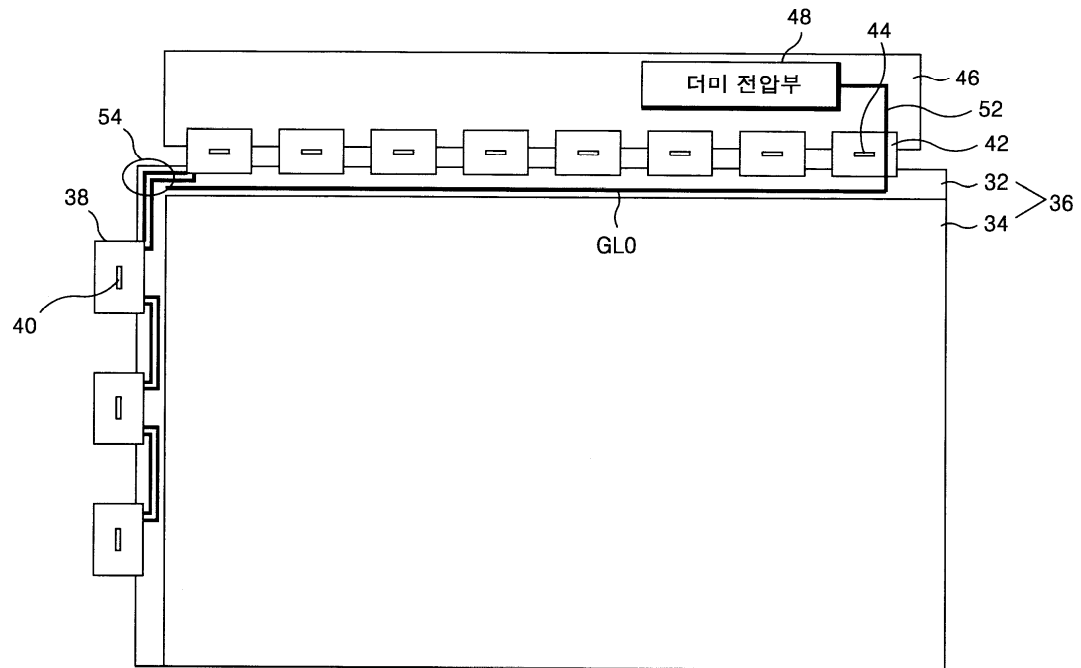
상기 더미 라인은

상기 게이트 라인들 중 마지막번째 게이트 라인과 상기 더미 라인을 경유하여 접속된 것을 특징으로 하는 액정 표시 장치.

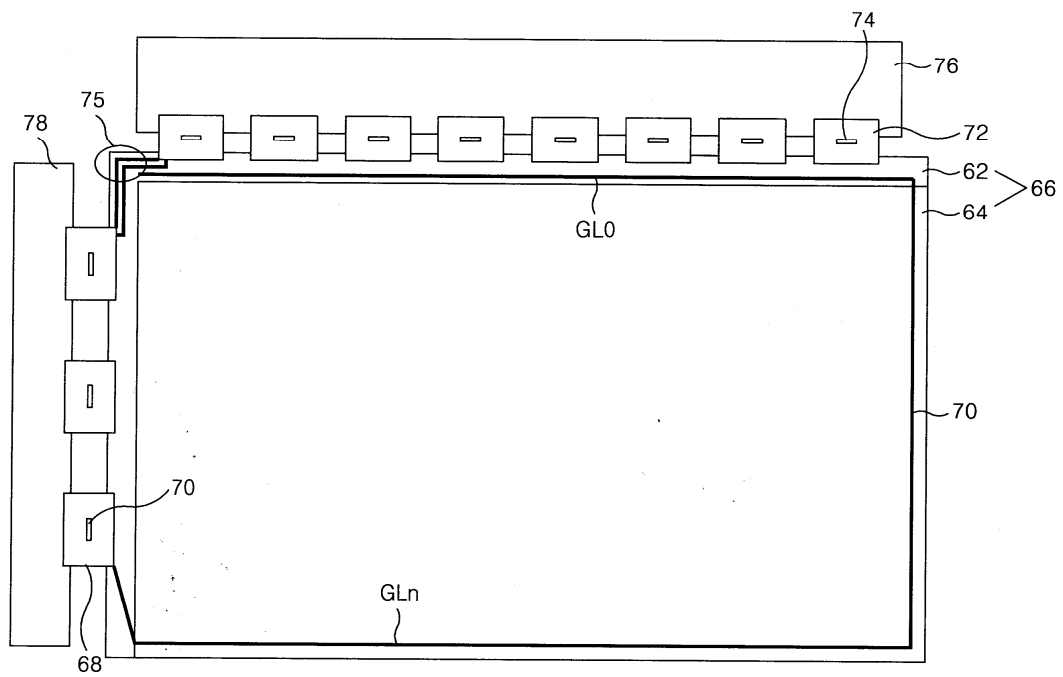




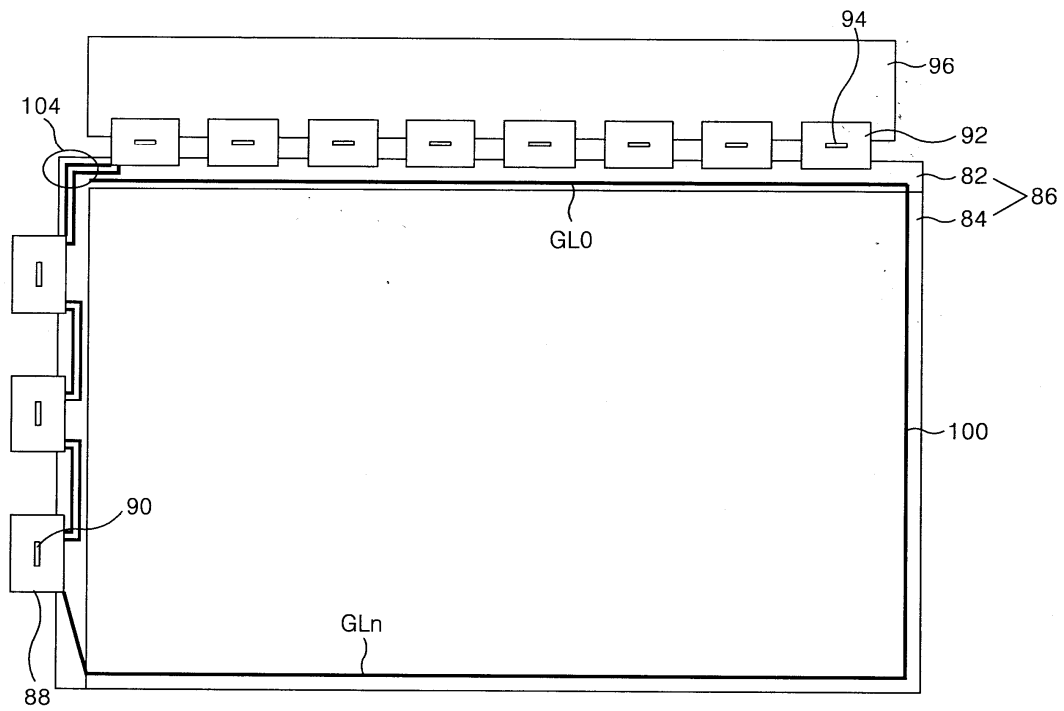
도면2



도면3



도면4



|                |                                  |         |            |
|----------------|----------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                            |         |            |
| 公开(公告)号        | <a href="#">KR1020040076720A</a> | 公开(公告)日 | 2004-09-03 |
| 申请号            | KR1020030012056                  | 申请日     | 2003-02-26 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                         |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                        |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                        |         |            |
| [标]发明人         | HWANG KWANGHEE<br>황광희            |         |            |
| 发明人            | 황광희                              |         |            |
| IPC分类号         | G02F1/1345                       |         |            |
| 代理人(译)         | 金勇<br>年轻的小公园                     |         |            |
| 其他公开文献         | KR100912697B1                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>        |         |            |

#### 摘要(译)

液晶显示装置技术领域本发明涉及一种能够在不增加单独电路的情况下防止第一水平线的亮线缺陷的液晶显示装置。 本发明的液晶显示装置包括：液晶显示面板，具有显示区域，该显示区域包括形成在由栅极线和数据线的交叉结构限定的区域中的液晶单元，以及围绕显示区域的外围的非显示区域;形成在显示区域中的虚拟栅极线，用于形成包括在与非显示区域相邻的水平线中的液晶单元的存储电容器;并且在非显示区域中形成虚拟线以将任何一条栅极线连接到虚拟栅极线。 3

