

(19)
(12)

(KR)
(A)

(51) 。 Int. Cl. ⁷ G02F 1/133		(11) (43)	2003-0067868 2003 08 19
(21)	10-2002-0007366		
(22)	2002 02 08		
(71)		3 416	
(72)		331	110 802
(74)			
	:		
(54)			

4

1

2

3

4

5a

5b

, 5c

가
(CRT, cathode ray tube)
(FPD, flat panel display)가
LCD
가
가 , LCD
TFT LCD가
TFT LCD가
가 24
0.04
가
CRT
가 (impulse)
가
TFT LCD
OCB(optically compensated band)
erro-electric liquid crystal) TFT LCD
(FLC, f
OCB FLC TFT LCD
2001-0077568
(2001 2 3
2001 8 20) 가
가
3
가
(die)
가 ,
가 가 가가 가
가

가

가

가

가

가

가

가

1

3

1 . 2
. 3
. 1 (100), (200),
(300) (400) .
(100) (120) (130)
(130) (110)가 (120) (130) ((110)
130) (C₁) (C_{st})가 . (110)
(200) (120) 가 , 가
(120) (110) .
(400) (,)
(G_n) (G_{n'}) , (400) (stand-alone)
, LCD .
(300) (400) (G_{n'})
() (130) 가 .
2 , (400) .
2 (400) (410), (420), (430),
(440) (450) .
(410) () (G_n) , (40
0)가 가 65MHz , 18 , 2 36 (400) 18
가 50Mhz가
(420) , (410) 18 2 36 (G_m)
(420) (430) (G_{m-1})
(440) , (410) (G_m)
(410) (G_m)
(G_{m'}) (420) (G_{m-1}) ,
(450) (440) 36 (G_{m'})
18 (G_{n'}) .
가
(420) (410) (450)가 ,
가
(420)
, (420) 3
SDRAM, DDR SDRAM(double data rate SDRAM) (bu
rst-type) 512K × 32 × 4
가 64Mb SDRAM ,
가 가
512K × 32 × 4 가 64Mb SDRAM (420)가
(400) 52 , 52 (clock, CLK
), (clock enable, CKE), (chip select, CS) (data

mask, DQM) 4 1 , (row access strobe, RAS),
(column access strobe, CAS), (write enable, WE), 2 (b
ank address, BA0 BA1) 11 (, ADDR0 ADDR10)
16 2 , 32 (, DQ0 DQ31) 3

(400) (die) 가 ,
가 가 가가 가 . , (400)
, 가 (400)가 (stand-alone)
LCD 가 .

, 4 5
.
4 (420) .
4 3 16 , 2 (420) 512K ×32 ×4 가 64Mb SDRAM
16 . 3 (400)

(420) 가 (read) (write)
가 2
3 2 3 . 2

, 5a 5c 1 (420)

5a , 5b
, 5c

, 5a (420)

(420) (420)
(power-up) 가 . (command)
DQM . (HI-Z)
(no operation, NOP) , (prechage, PRE) ,
(auto refresh, AR) (mode register set, MRS) .

NOP (inactive) 200μs . PRE CKE CS, RAS, CAS, WE
DR10 1 (420) CS, RAS WE , CAS AD
WE , AR 2 CS, RAS CAS ,
RAS, CAS WE BA0, BA1, ADDR0 ADDR10 MRS , CAS (LT)(2
3), (1, 2, 4, 8)

MRS 가 (420) .
5b (420) .

BA0 BA1 CS, RAS WE , CAS ADD
R10 0 (PRE0). ADDR0 ADDR10
가 (row) CS RAS , CAS WE
(RA0). PRE0 RA0

DQM .
AS ADDR0 ADDR7 (column) CS CAS , R
WE ADDR10 1 CAS (RD0). CAS DQM

CAS , DQM
(RD0).
, CAS (LT)가 2 CAS 2 DQM ,
DQM 2 , CAS 2 ADDR0 ADDR7
(Q1 - 1) Q0 ADDR7 CAS (LT)가 3 5b
가 ADDR0 ADDR7
DQM 256 가
4 A, ADDR0 ADDR10 가 가 CS RAS, CAS, WE, B
(420) 가
XGA 1 1024 가 256
PRE0 BA0 BA1
(PRE1). DQM 2
1 CAS DQM (RA1) (RD1)
RA0 RD0
, 가 (400)
() (420) (400)
가 1 DQM
, 5c (420)
CAS (LT)가
, PRE0 (PRE0),
(RA0). DQM (LT) DQM
, CAS DQM
(WR0). ADDR0 ADDR7 1() CAS CAS
256 가
256 (LT)가 DQM
(PRE1, RA1, WR1) 가 가
가 DQM
1
2

1
2
WE, CAS ADDR10 1 (PRE1) CAS (PRE0) CS, RAS (RA1). 1
3
1 2 , 3
, CAS (RA0, RA1) ADDR10 1 (PRE1)
1 2

가

(57)

1.

가

2.

1 ,

2 3.
,

2 4.
3 ,

4 5.
,

가

가

5 6.
,

(inactive)

5 7.
,

가
(row)

, (column) 가 ,

(precharge)

가

가

가

5 8.
,

가 (row) , (column) 가 (precharge) (r
가 , 가

9.

10.

11.

9 ,

가 (precharge) 가 (row) , (column)

가 ,

가 , 가

12.

9. $\text{precharge} = 0$ (row) (column) 가

13.

가

가

14.

13

가

15.

13

16.

14

15

17.

14

15

18.

14

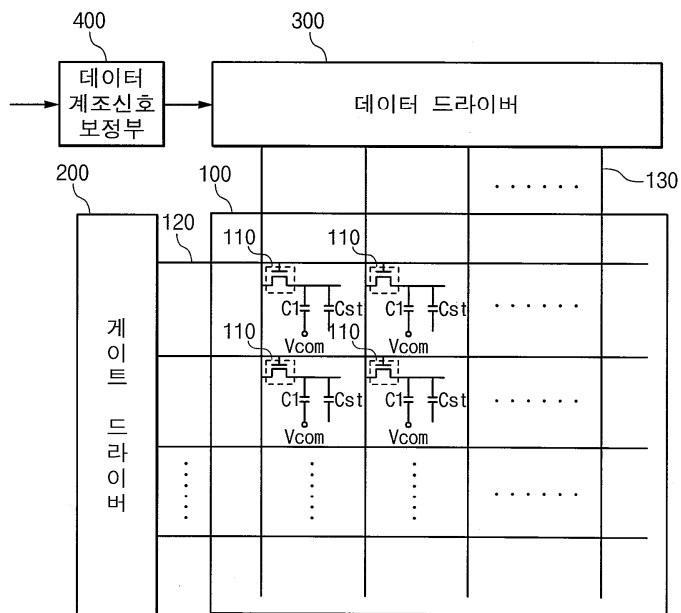
15

가

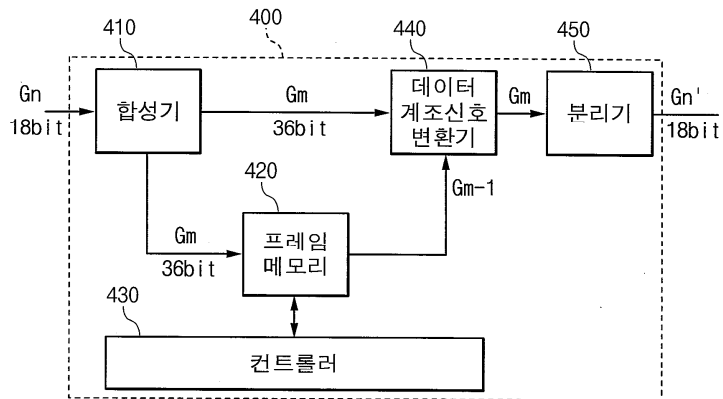
19.

15

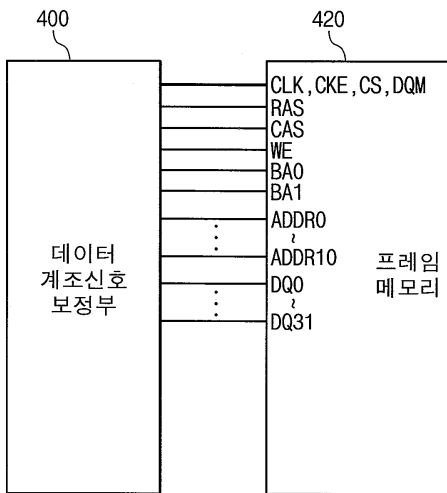
1



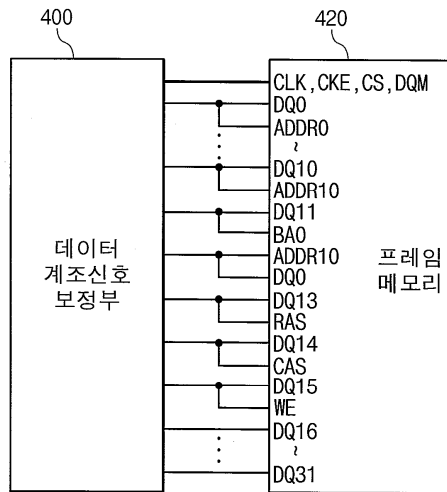
2



3



4



5a

파워업

CS															
Command	NOP	PRE			AR		...		AR		...		MRS		
DQM															
Data	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	...	Hi-Z	Hi-Z	Hi-Z	...	Hi-Z	Hi-Z	Hi-Z	Hi-Z

5b

버스트 판독

CS															
Command		PRE0			RA0			RD0							
DQM															
Data	LT=2	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2	Q3	Q4
	LT=3	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q0	Q1	Q2	Q3

다음 뱅크를 버스트 판독

CS															
Command				PRE1			RA1			RD1					
DQM															
Data	LT=2	Q254	Q255	Q0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2
	LT=3	Q253	Q254	Q255	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Q1	Q2

라인의 종료

CS															
Command															
DQM															
Data	LT=2	Q254	Q255	Q0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	LT=3	Q253	Q254	Q255	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

5c

버스트 기록

CS															
Command		PRE0			RA0			WRO							
DQM															
Data	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	D1	D2	D3	D4	D5	D6	D7

다음 뱅크를 버스트 기록

CS															
Command				PRE1			RA1			WR1					
DQM															
Data	D254	D255	D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	D1	D2	D3	D4	D5

CS															
Command															
DQM															
Data	D254	D255	D0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

专利名称(译)	液晶显示器，其驱动方法和帧存储器		
公开(公告)号	KR1020030067868A	公开(公告)日	2003-08-19
申请号	KR1020020007366	申请日	2002-02-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BAEKWON 이백운		
发明人	이백운		
IPC分类号	G09G3/20 G09G3/36 H04N5/66 G11C11/401 G02F1/133 H04N5/20		
CPC分类号	G09G2360/121 G09G2360/128 G09G2360/18 G09G3/2092 G09G3/3611		
其他公开文献	KR100878231B1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示器包括帧数存储器，其输出数据到突发模式并存储，以及连接的数据灰度信号修正部门。数据灰度信号修正部门从数据梯度信号源接收当前帧的梯度信号，并将其存储在帧存储器中为突发模式。存储在帧存储器中的前一帧的梯度信号被读取到突发模式。考虑到当前帧的梯度信号和前一帧的梯度信号而校正的梯度信号被创建，并且梯度信号输出。帧存储器的数据引脚和命令引脚共享帧存储器与数据灰度信号修改部门接口的总线。帧存储器，突发和液晶显示器。

