



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월12일
(11) 등록번호 10-1242727
(24) 등록일자 2013년03월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0069874
(22) 출원일자 2006년07월25일
심사청구일자 2011년07월05일
(65) 공개번호 10-2008-0009984
(43) 공개일자 2008년01월30일
(56) 선행기술조사문헌
JP2005078065 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 95 (농서동)
(72) 발명자
손선규
경기도 수원시 영통구 영통로 498, 황골마을1단지
아파트 135동 204호 (영통동)
임명빈
서울특별시 서대문구 서소문로 27, 1714호 (충정
로3가, 충정리시운)
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 10 항

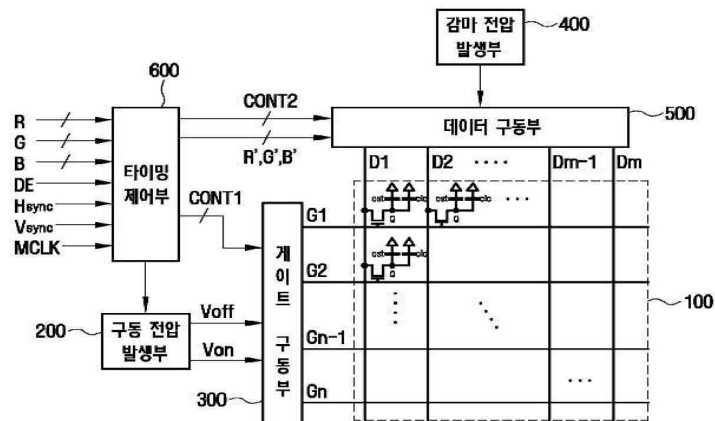
심사관 : 김재문

(54) 발명의 명칭 신호 생성 회로 및 이를 포함하는 액정 표시 장치

(57) 요약

게이트 구동부의 오동작을 방지할 수 있는 신호 생성 회로 및 이를 포함하는 액정 표시 장치가 제공된다. 신호 생성 회로는, 게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호와 상기 게이트 온 신호의 폭을 조절하는 출력 인에이블 신호를 입력 받아 상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 신호가 소정 시간만큼 딜레이된 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 상기 출력 인에이블 신호를 조절한다.

대표도 - 도1



(72) 발명자

황인용

경기도 수원시 영통구 영통로102번길 19, 401호 (망포동, 미림빌)

이재한

충청남도 태안군 소원면 대소산길 377-23

김옥진

충청남도 천안시 서북구 봉서산샛길 65, 주공9단지 아파트 409동 204호 (쌍용동)

특허청구의 범위

청구항 1

게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호 및 상기 게이트 온 신호의 폭을 조절하는 출력 인에이블 신호를 입력받고, 상기 게이트 클럭 신호가 소정 시간만큼 딜레이된 게이트 클럭 딜레이 신호의 라이징 에지 및 상기 출력 인에이블 신호의 폴링 에지가 서로 오버랩되도록 상기 입력받은 출력 인에이블 신호를 조절하는 신호 생성 회로.

청구항 2

제 1 항에 있어서,

상기 출력 인에이블 신호의 폴링 에지가 상기 게이트 클럭 딜레이 신호의 라이징 에지보다 앞선 경우, 상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 상기 출력 인에이블 신호를 조절하는 신호 생성 회로.

청구항 3

제 1 항에 있어서,

상기 게이트 클럭 신호를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호를 출력하는 신호 딜레이부;

상기 게이트 클럭 딜레이 신호를 반전시킨 반전 게이트 클럭 딜레이 신호를 출력하는 인버터부; 및

상기 게이트 클럭 신호와 상기 반전 게이트 클럭 딜레이 신호를 앤드 연산하여 내부 출력 인에이블 신호를 출력하는 제1 신호 연산부; 및

상기 내부 출력 인에이블 신호와 상기 출력 인에이블 신호를 오어 연산하여 게이트 제어 출력 인에이블 신호를 출력하는 제2 신호 연산부를 포함하는 신호 생성 회로.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 게이트 클럭 신호를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호를 출력하는 제1 신호 딜레이부;

상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되는지의 여부를 비교하여 그 결과에 따라 오버랩 신호를 출력하는 신호 비교부; 및

상기 오버랩 신호에 따라 상기 출력 인에이블 신호를 소정 시간만큼 딜레이시킨 게이트 제어 출력 인에이블 신호를 출력하는 제2 신호 딜레이부를 포함하는 신호 생성 회로.

청구항 7

제 6 항에 있어서,

상기 신호 비교부는 비교 결과에 따라 하이 레벨 또는 로우 레벨을 갖는 오버랩 신호를 출력하는 신호 생성 회로.

청구항 8

삭제

청구항 9

삭제

청구항 10

다수 개의 게이트 라인과 데이터 라인이 교차된 영역에 정의된 다수 개의 단위 화소를 포함하는 액정 패널;

상기 액정 패널을 구동하기 위한 다수 개의 제어 신호를 생성하되, 게이트 온 신호와 게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호와 상기 게이트 온 신호의 폭을 조절하는 출력 인에이بل 신호를 생성하는 타이밍 제어부;

상기 제어 신호를 입력 받아 다수 개의 구동 전압을 생성하는 구동 전압 발생부;

상기 구동 전압을 입력 받아 상기 게이트 라인에 인가하며, 상기 게이트 클럭 신호 및 상기 출력 인에이블 신호를 입력받고 상기 게이트 클럭 신호가 소정 시간만큼 딜레이된 게이트 클럭 딜레이 신호의 라이징 에지 및 상기 출력 인에이블 신호의 폴링 에지가 서로 오버랩되도록 상기 입력받은 출력 인에이블 신호를 조절하는 신호 생성 회로를 포함하는 게이트 구동부; 및

상기 데이터 라인에 데이터 전압을 인가하는 데이터 구동부를 포함하는 액정 표시 장치.

청구항 11

제 10 항에 있어서,

상기 출력 인에이블 신호의 폴링 에지가 상기 게이트 클럭 딜레이 신호의 라이징 에지보다 앞선 경우, 상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 상기 출력 인에이블 신호를 조절하는 액정 표시 장치.

청구항 12

제 10 항에 있어서,

상기 신호 생성 회로는 상기 게이트 클럭 신호를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호를 출력하는 신호 딜레이부;

상기 게이트 클럭 딜레이 신호를 반전시킨 반전 게이트 클럭 딜레이 신호를 출력하는 인버터부; 및

상기 게이트 클럭 신호와 상기 반전 게이트 클럭 딜레이 신호를 앤드 연산하여 내부 출력 인에이블 신호를 출력하는 제1 신호 연산부; 및

상기 내부 출력 인에이블 신호와 상기 출력 인에이블 신호를 오어 연산하여 게이트 제어 출력 인에이블 신호를 출력하는 제2 신호 연산부를 포함하는 액정 표시 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

제 10 항에 있어서,

상기 신호 생성 회로는 상기 게이트 클럭 신호를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호를 출력하는 제1 신호 딜레이부;

상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되는지의 여부를 비교하여 그 결과에 따라 오버랩 신호를 출력하는 신호 비교부; 및

상기 오버랩 신호에 따라 상기 출력 인에이블 신호를 소정 시간만큼 딜레이시킨 게이트 제어 출력 인에이블 신호를 출력하는 제2 신호 딜레이부를 포함하는 액정 표시 장치.

청구항 16

제 15 항에 있어서,

상기 신호 비교부는 비교 결과에 따라 하이 레벨 또는 로우 레벨을 갖는 오버랩 신호를 출력하는 액정 표시 장치.

청구항 17

삭제

청구항 18

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0019] 본 발명은 신호 생성 회로 및 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 게이트 구동부의 오동작을 방지할 수 있는 신호 생성 회로 및 이를 포함하는 액정 표시 장치에 관한 것이다.
- [0020] 일반적으로, 액정 표시 장치(Liquid Crystal Display)는 각 화소를 스위칭하는 박막 트랜지스터(TFT: Thin Film Transistor)가 형성된 TFT 기판과, 색화소가 형성된 컬러필터 기판 및 TFT 기판 및 컬러필터 기판과의 사이에 밀봉된 액정층으로 구성된다. 액정층을 이루는 액정은 두 개의 기판 사이에 가해지는 전계에 따라서 배열이 변경되고, 배열에 따라서 광 투과도(transmissive index)가 변경되는 특징을 갖는다.
- [0021] 이러한 액정 표시 장치의 구동 회로는 타이밍 제어부, 구동 전압 발생부, 게이트 구동부 및 데이터 구동부로 이루어져 있다. 여기에서, 데이터 구동부는 액정에 전위차를 주기 위해 공통 전압을 기준으로 스윙하는 일정 전압을 출력한다. 이때, 데이터 구동부의 출력 전압이 공통 전압을 기준으로 정극성(+)의 전압이 지나치게 크거나 또는 부극성(-)의 전압이 큰 경우에는 커플링(coupling) 현상이 발생하여 주변 신호들에 영향을 미치게 된다.
- [0022] 이러한 현상은 게이트 라인에 영향을 미치게 되며, 게이트 PCB가 없는 액정 표시 장치에서는 커플링 현상이 더욱 심각해져 게이트 구동부가 오동작하게 된다. 게이트 구동부의 오동작은 주로 커플링 현상으로 생성된 노이즈가 게이트 클럭 신호(CPV)에 영향을 미치면서 게이트 구동부가 게이트 클럭 신호(CPV)를 제대로 인식하지 못하여 발생하게 된다.

발명이 이루고자 하는 기술적 과제

- [0023] 본 발명이 이루고자 하는 기술적 과제는, 게이트 구동부의 오동작을 방지할 수 있는 신호 생성 회로를 제공하고자 하는 것이다.
- [0024] 본 발명이 이루고자 하는 기술적 과제는, 게이트 구동부의 오동작을 방지할 수 있는 신호 생성 회로를 포함하는 액정 표시 장치를 제공하고자 하는 것이다.
- [0025] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- [0026] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 신호 생성 회로는, 게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호와 상기 게이트 온 신호의 폭을 조절하는 출력 인에이بل 신호를 입력 받아 상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 신호가 소정 시간만큼 딜레이된 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 상기 출력 인에이블 신호를 조절한다.
- [0027] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 다수 개의 게이트 라인과 테

이터 라인이 교차된 영역에 정의된 다수 개의 단위 화소를 포함하는 액정 패널, 상기 액정 패널을 구동하기 위한 다수 개의 제어 신호를 생성하되, 게이트 온 신호와 게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호와 상기 게이트 온 신호의 폭을 조절하는 출력 인에이بل 신호를 생성하는 타이밍 제어부, 상기 제어 신호를 입력 받아 다수 개의 구동 전압을 생성하는 구동 전압 발생부, 상기 구동 전압을 입력 받아 상기 게이트 라인에 인가하며, 상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 신호가 소정 시간만큼 딜레이된 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 상기 출력 인에이블 신호를 조절하는 신호 생성 회로를 포함하는 게이트 구동부 및 상기 데이터 라인에 데이터 전압을 인가하는 데이터 구동부를 포함한다.

[0028] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

[0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0030] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도이다.

[0032] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치는 액정 패널(100), 구동 전압 발생부(200), 게이트 구동부(300), 감마 전압 발생부(400), 데이터 구동부(500), 타이밍 제어부(600)를 포함한다.

[0033] 액정 패널(100)은 등가 회로로 볼 때 다수의 표시 신호선($G1 - G_n$, $D1 - D_m$)과 이에 연결되어 있으며, 매트릭스(matrix) 형태로 배열된 다수의 단위 화소(pixel)를 포함한다.

[0034] 여기서, 표시 신호선($G1 - G_n$, $D1 - D_m$)은 게이트 신호를 전달하는 다수의 게이트선($G1 - G_n$)과 데이터 신호를 전달하는 데이터선($D1 - D_m$)을 포함한다. 게이트선($G1 - G_n$)은 행방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선($D1 - D_m$)은 열방향으로 뻗어 있으며 서로가 거의 평행하다.

[0035] 각 단위 화소는 표시 신호선($G1 - G_n$, $D1 - D_m$)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clc) 및 유지 커패시터(storage capacitor)(Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략할 수 있다.

[0036] 스위칭 소자(Q)는 TFT 기판에 구비되어 있으며, 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선($G1 - G_n$) 및 데이터선($D1 - D_m$)에 연결되어 있으며, 출력 단자는 액정 커패시터(ClC) 및 유지 커패시터(Cst)에 연결되어 있다.

[0037] 액정 커패시터(ClC)는 TFT 기판의 화소 전극과 컬러 필터 기판의 공통 전극(24)을 두 단자로 하며 두 전극 사이의 액정층은 유전체로서 기능한다. 화소 전극은 스위칭 소자(Q)에 연결되며 공통 전극은 컬러 필터 기판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 여기에서, 공통 전극이 TFT 기판에 구비되는 경우도 있으며 이때에는 두 전극이 모두 선형 또는 막대형으로 만들어진다.

[0038] 유지 커패시터(Cst)는 TFT 기판에 구비된 별개의 신호선(도시하지 않음)과 화소 전극이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 등의 정해진 전압이 인가된다(독립 배선 방식). 그러나, 유지 커패시터(Cst)는 화소 전극(12)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다(전단 게이트 방식).

[0039] 한편, 색 표시를 구현하기 위해서는 각 단위 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극에 대응하는 영역에 적색, 녹색, 또는 청색의 컬러 필터를 구비함으로써 가능하다. 여기에서, 컬러 필터는 컬러 필터 기판의 해당 영역에 형성할 수 있으며, 또한, TFT 기판의 화소 전극 위 또는 아래에 형성할 수도 있다.

[0040] 액정 패널(100)의 TFT 기판 및 컬러 필터 기판 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착된다.

[0041] 구동 전압 발생부(200)는 다수의 구동 전압을 생성한다. 예를 들어, 구동 전압 발생부(200)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff) 및 공통 전압(Vcom)을 생성한다.

- [0042] 게이트 구동부(300)는 액정 패널(100)의 게이트선(G1 - Gn)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G1 - Gn)에 인가한다. 여기에서, 게이트 구동부(300)는 게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호(CPV)와 상기 게이트 온 신호의 폭을 조절하는 출력 인에이بل 신호(OE)를 입력 받아 상기 출력 인에이블 신호의 폴링 에지(falling edge)가 소정 시간만큼 딜레이된 게이트 클럭 신호의 라이징 에지(rising edge)보다 앞선 경우, 상기 출력 인에이블 신호의 폴링 에지와 상기 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 상기 출력 인에이블 신호를 조절하는 신호 생성 회로(미도시)를 더 포함한다. 이에 대한 설명은 도 2를 참조하여 자세하게 설명한다.
- [0043] 감마 전압 발생부(400)는 단위 화소의 투과율과 관련된 두 벌의 복수 감마 전압을 생성할 수 있다. 즉, 두 벌 중 한 벌은 정극성 데이터 전압이고, 다른 한 벌은 부극성 데이터 전압이 된다. 정극성 데이터 전압과 부극성 데이터 전압은 공통 전압(Vcom)에 대해 데이터 전압의 극성이 반대인 전압을 의미하며, 반전 구동시 교대하여 액정 패널에 각각 제공된다.
- [0044] 데이터 구동부(500)는 액정 패널(100)의 데이터선(D1 - Dm)에 연결되어 있으며, 감마 전압 발생부(400)로부터 제공된 다수의 감마 전압에 기초하여 다수의 계조 전압을 생성하고, 생성된 계조 전압을 선택하여 데이터 신호로서 단위 화소에 인가하며 통상 다수의 집적 회로로 이루어진다.
- [0045] 타이밍 제어부(600)는 게이트 구동부(300) 및 데이터 구동부(500) 등의 동작을 제어하는 제어 신호를 생성하여, 각 해당하는 제어 신호를 게이트 구동부(300) 및 데이터 구동부(500)에 제공한다.
- [0046] 이하에서 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.
- [0047] 타이밍 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 타이밍 제어부(600)는 입력 제어 신호를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 액정 패널(100)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(300)로 제공하고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 제공한다.
- [0048] 여기서, 게이트 제어 신호(CONT1)는 게이트 온 펄스(게이트 온 전압 구간)의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 펄스의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다. 이 중, 출력 인에이블 신호(OE)와 게이트 클럭 신호(CPV)는 구동 전압 발생부(200)로 제공된다.
- [0049] 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 지시하는 수평 동기 시작 신호(STH)와 데이터선(D1 - Dm)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압(VCOM)에 대한 데이터 전압의 극성(이하 '공통 전압에 대한 데이터 전압의 극성'을 줄여 '데이터 전압의 극성'이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.
- [0050] 데이터 구동부(500)는 타이밍 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 단위 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환한다.
- [0051] 게이트 구동부(300)는 타이밍 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G1 - Gn)에 인가하여 이 게이트선(G1 - Gn)에 연결된 스위칭 소자(Q)를 턴온시킨다.
- [0052] 하나의 게이트선(G1 - Gn)에 게이트 온 전압(Von)이 인가되어 이에 연결된 한 행의 스위칭 소자(Q)가 턴온되어 있는 동안[이 기간을 '1H' 또는 '1 수평 주기(horizontal period)'이라고 하며 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기와 동일함], 데이터 구동부(500)는 각 데이터 전압을 해당 데이터선(D1 - Dm)에 공급한다. 데이터선(D1 - Dm)에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 단위 화소에 인가된다.
- [0053] 액정 분자들은 화소 전극과 공통 전극이 생성하는 전기장의 변화에 따라 그 배열을 바꾸고 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 TFT 기판 및 컬러 필터 기판에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.
- [0054] 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G1 - Gn)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 단위 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 단위 화소에

인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다('프레임 반전'). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나('라인 반전'), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다('도트 반전').

[0055] 도 2는 본 발명의 제1 실시예에 따른 신호 생성 회로의 내부 블록도이고, 도 3은 도 2의 신호 딜레이부의 내부 블록도이다.

[0056] 도 2를 참조하면, 본 발명의 제1 실시예에 따른 신호 생성 회로(310)는 신호 딜레이부(312), 인버터부(314) 및 제1 신호 연산부(316) 및 제2 신호 연산부(318)를 포함한다.

[0057] 신호 딜레이부(312)는 게이트 온 신호와 게이트 오프 신호의 조합으로 이루어지는 게이트 클럭 신호(CPV)를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호(CPV_DEL)를 출력한다. 이때, 신호 딜레이부(312)는 도 3에 도시된 바와 같이, 저항(R)과 캐패시터(C)로 구성되는 RC 딜레이 회로로 이루어질 수 있으며, 저항과 캐패시터의 값에 따라 게이트 클럭 신호(CPV)의 노이즈가 제거된다. 이로 인해, 게이트 클럭 신호(CPV)가 소정 시간만큼 딜레이된다.

[0058] 인버터부(314)는 게이트 클럭 딜레이 신호(CPV_DEL)를 반전시켜 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)를 출력한다. 이때, 인버터부(314)는 도면에 도시하지 않았으나, PMOS와 NMOS 트랜지스터로 구성되는 인버터(inverter)로 이루어질 수 있다.

[0059] 제1 신호 연산부(316)는 게이트 클럭 신호(CPV)와 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)를 앤드(AND) 연산하여 내부 출력 인에이블 신호(OE_INT)를 출력한다. 이때, 제1 신호 연산부(316)는 앤드 게이트로 이루어질 수 있다.

제2 신호 연산부(318)는 내부 출력 인에이블 신호(OE_INT)와 출력 인에이블 신호(OE)를 오어(OR) 연산하여 게이트 제어 출력 인에이블 신호(OE_CON)를 출력한다. 이때, 제2 신호 연산부(318)는 오어 게이트로 이루어질 수 있다.

도 4는 본 발명의 제1 실시예에 따른 게이트 클럭 딜레이 신호의 딜레이 시간이 큰 경우에 따른 출력 인에이블 신호 상태를 나타내는 타이밍도이다.

[0060] 삭제

[0061] 도 4에 도시된 바와 같이, 시간 t1에서 게이트 클럭 신호(CPV)가 하이(high), 게이트 클럭 딜레이 신호(CPV_DEL)는 로우(low), 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)는 하이, 내부 출력 인에이블 신호(OE_INT)는 하이, 출력 인에이블 신호(OE)는 하이 및 게이트 제어 출력 인에이블 신호(OE_CON)는 하이가 되어 게이트 구동부(300)의 출력 신호(Gout)는 로우가 된다. 이때, 게이트 구동부(300)에서 출력 신호(Gout)는 나오지 않는다.

[0062] 시간 t2에서 게이트 클럭 신호(CPV)가 하이, 게이트 클럭 딜레이 신호(CPV_DEL)는 하이, 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)는 하이, 내부 출력 인에이블 신호(OE_INT)는 하이, 출력 인에이블 신호(OE)는 로우 및 게이트 제어 출력 인에이블 신호(OE_CON)는 하이가 되어 게이트 구동부(300)의 출력 신호(Gout)가 하이가 된다. 이때, 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지와 게이트 제어 출력 인에이블 신호(OE_CON)의 폴링 에지가 오버랩되어 이때부터 게이트 구동부(300)에서 게이트 온 신호(Von)가 출력 신호(Gout)로 출력된다.

시간 t1에서 t2까지 게이트 클럭 신호(CPV)의 딜레이 시간(td1)이 커서 출력 인에이블 신호(OE)의 폴링 에지가 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지보다 앞선 경우, 게이트 클럭 신호(CPV)와 출력 인에이블 신호(OE)와 타이밍이 맞지 않아 이상 출력이 발생할 수 있다. 따라서, 게이트 클럭 신호(CPV)의 딜레이 시간에 상관없이 게이트 구동부(300)의 출력이 정상적으로 나오게 하기 위해서 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되도록 출력 인에이블 신호(OE)를 조절해야 한다.

[0063] 삭제

[0064] 그러므로, 본 발명의 제1 실시예에서는 게이트 클럭 신호(CPV)와 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)를

앤드(AND) 연산하여 내부 출력 인에이블 신호(OE_INT)를 생성하고, 내부 출력 인에이블 신호(OE_INT)와 출력 인에이블 신호(OE)와 오어 연산하여 어떤 조건에서라도 게이트 구동부(300)가 동작할 수 있게 한다.

이하, 도 5를 참조하여 본 발명의 제1 실시예에 따른 신호 생성 회로의 동작에 대해 설명한다.

도 5는 본 발명의 제1 실시예에 따른 신호 생성 회로의 동작 과정을 나타내는 흐름도이다.

도 5를 참조하면, 먼저 신호 딜레이부(312)를 통해 게이트 클럭 신호(CPV)를 도 4에서와 같이 소정 시간만큼 딜레이 시킨 게이트 클럭 딜레이 신호(CPV_DEL)를 출력한다(S10).

그 다음, 신호 딜레이부(312)의 출력 신호인 게이트 클럭 딜레이 신호(CPV_DEL)는 인버터부(314)에 입력되며, 인버터부(314)는 도 4에서와 같이, 신호의 극성이 반전된 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)를 출력한다(S12).

이어서, 인버터부(314)의 출력 신호인 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)는 제1 신호 연산부(316)에 입력되며, 제1 신호 연산부(316)는 도 4에서와 같이, 게이트 클럭 신호(CPV)와 반전 게이트 클럭 딜레이 신호(CPV_DEL_INV)를 앤드(AND) 연산하여 내부 출력 인에이블 신호(OE_INT)를 출력한다(S14). 이때, 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지와 상기 내부 출력 인에이블 신호(OE_INT)의 폴링 에지가 오버랩된다.

그 다음, 제1 신호 연산부(316)의 출력 신호인 내부 출력 인에이블 신호(OE_INT)는 제2 신호 연산부(318)에 입력되며, 제2 신호 연산부(318)는 도 4에서와 같이, 내부 출력 인에이블 신호(OE_INT)와 출력 인에이블 신호(OE)를 오어(OR) 연산하여 게이트 제어 출력 인에이블 신호(OE_CON)를 출력한다(S16). 이때, 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지와 게이트 제어 출력 인에이블 신호(OE_CON)의 폴링 에지가 오버랩된다.

도 6은 본 발명의 제1 실시예에 따른 게이트 클럭 딜레이 신호의 딜레이 시간이 작은 경우에 따른 출력 인에이블 신호 상태를 나타내는 타이밍도이다.

삭제

삭제

삭제

삭제

도 6에 도시된 바와 같이, 시간 t1에서 t2까지 게이트 클럭 신호(CPV)의 딜레이 시간(td2)이 작아 출력 인에이블 신호(OE)의 폴링 에지가 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지보다 앞선 경우, 내부 출력 인에이블 신호(OE_INT)의 폭(A)이 작아지게 되어 내부 출력 인에이블 신호(OE_INT)가 인가되는 라인의 끝으로 갈수록 저항과 캐패시터 성분으로 인해 내부 출력 인에이블 신호(OE_INT)에 왜곡(distortion)이 발생하게 되어 내부 출력 인에이블 왜곡 신호(OE_INT_DIS)와 같이 된다. 따라서, 게이트 구동부(300)에서 내부 출력 인에이블 왜곡 신호(OE_INT_DIS)의 하이 레벨을 다음 번째 게이트 클럭 신호(CPV)의 라이징 에지에서 인식할 수 있다. 이로 인해, 게이트 구동부(300)가 오동작할 수 있다.

그러므로, 도 2와 동일하게 내부 출력 인에이블 신호(OE_INT)를 생성하고, 내부 출력 인에이블 신호(OE_INT)와 출력 인에이블 신호(OE)와 오어 연산하여 어떤 조건에서라도 게이트 구동부(300)가 동작할 수 있게 한다.

삭제

삭제

도 7은 본 발명의 제2 실시예에 따른 신호 생성 회로의 내부 블록도이다.

- [0075] 삭제
- [0076] 삭제
- [0077] 삭제
- [0078] 삭제
- [0079] 삭제
- [0080] 삭제
- [0081] 도 7을 참조하면, 본 발명의 제2 실시예에 따른 신호 생성 회로(310)는 제1 신호 딜레이부(332), 신호 비교부(334) 및 제2 신호 딜레이부(336)를 포함한다.
- [0082] 제1 신호 딜레이부(332)는 게이트 클럭 신호(CPV)를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호(CPV_DEL)를 출력한다. 이때, 신호 딜레이부(332)는 도 3에 도시된 바와 같이, 저항(R)과 캐패시터(C)로 구성되는 RC 딜레이 회로로 이루어질 수 있으며, 저항과 캐패시터의 값에 따라 게이트 클럭 신호(CPV)의 노이즈가 제거된다. 이로 인해, 게이트 클럭 신호(CPV)가 소정 시간만큼 딜레이된다. 여기에서, 게이트 클럭 신호(CPV)의 딜레이 시간은 400~600ns 범위를 갖는 것이 바람직하다.
- [0083] 신호 비교부(334)는 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되는지의 여부를 비교하여 그 결과에 따라 오버랩 신호(OE_OVER)를 출력한다. 만약, 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되는 경우, 신호 비교부(334)는 로우 레벨을 갖는 오버랩 신호(OE_OVER)를 출력한다. 그러나, 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되지 않는 경우 즉, 출력 인에이블 신호(OE)의 폴링 에지가 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지보다 앞선 경우, 신호 비교부(334)는 하이 레벨을 갖는 오버랩 신호(OE_OVER)를 출력한다.
- [0084] 제2 신호 딜레이부(336)는 오버랩 신호(OE_OVER)에 따라 출력 인에이블 신호(OE)를 소정 시간만큼 딜레이시킨 게이트 제어 출력 인에이블 신호(OE_CON)를 출력한다. 즉, 오버랩 신호(OE_OVER)가 로우 레벨일 경우에는 출력 인에이블 신호(OE)를 그대로 게이트 제어 출력 인에이블 신호(OE_CON)로 출력한다. 그러나, 오버랩 신호(OE_OVER)가 하이 레벨일 경우에는 출력 인에이블 신호(OE)의 폴링 에지와 상기 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지 사이의 시간 차이만큼 출력 인에이블 신호를 딜레이시킨 출력 인에이블 신호(OE)를 게이트 제어 출력 인에이블 신호(OE_CON)로 출력한다.
- [0085] 이하, 도 8을 참조하여 본 발명의 제2 실시예에 따른 신호 생성 회로의 동작에 대해 설명한다.
- [0086] 도 8은 본 발명의 제2 실시예에 따른 신호 생성 회로의 동작 과정을 나타내는 흐름도이다.
- [0087] 도 8을 참조하면, 먼저 제1 신호 딜레이부(332)를 통해 게이트 클럭 신호(CPV)를 소정 시간만큼 딜레이시킨 게이트 클럭 딜레이 신호(CPV_DEL)를 출력한다(S20).
- [0088] 그 다음, 신호 비교부(334)에는 제1 신호 딜레이부(332)의 출력 신호인 게이트 클럭 딜레이 신호(CPV_DEL)와 출력 인에이블 신호(OE)가 입력되며, 신호 비교부(334)는 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되는지의 여부를 비교하여 그 결과에 따라 오버랩 신호(OE_OVER)를 출력한다(S22).
- [0089] 만약, 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되는 경우, 신호 비교부(334)는 로우 레벨을 갖는 오버랩 신호(OE_OVER)를 출력하며, 제2 신호 딜레이부(336)는 오버

랩 신호(OE_OVER)와 출력 인에이블 신호(OE)를 입력 받아 출력 인에이블 신호(OE)를 그대로 게이트 제어 출력 인에이블 신호(OE_CON)로 출력한다(S24).

[0090] 그러나, 출력 인에이블 신호(OE)의 폴링 에지와 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지가 오버랩되지 않는 경우, 신호 비교부(334)는 하이 레벨을 갖는 오버랩 신호(OE_OVER)를 출력하며, 제2 신호 딜레이부(336)는 출력 인에이블 신호(OE)의 폴링 에지와 상기 게이트 클럭 딜레이 신호(CPV_DEL)의 라이징 에지 사이의 시간 차이만큼 출력 인에이블 신호를 딜레이시킨 출력 인에이블 신호(OE)를 게이트 제어 출력 인에이블 신호(OE_CON)로 출력한다(S26).

[0091] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

발명의 효과

[0092] 상기한 바와 같은 본 발명에 따른 신호 생성 회로 및 이를 포함하는 액정 표시 장치는, 출력 인에이블 신호의 폴링 에지와 게이트 클럭 딜레이 신호의 라이징 에지가 오버랩되도록 출력 인에이블 신호를 조절하여 어떠한 조건에서도 게이트 구동부가 정상으로 동작할 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치의 블록도이다.

[0002] 도 2는 본 발명의 제1 실시예에 따른 신호 생성 회로의 내부 블록도이다.

[0003] 도 3은 도 2의 신호 딜레이부의 내부 블록도이다.

[0004] 도 4는 본 발명의 제1 실시예에 따른 게이트 클럭 딜레이 신호의 딜레이 시간이 큰 경우에 따른 출력 인에이블 신호 상태를 나타내는 타이밍도이다.

[0005] 도 5는 본 발명의 제1 실시예에 따른 신호 생성 회로의 동작 과정을 나타내는 흐름도이다.

[0006] 도 6은 본 발명의 제1 실시예에 따른 게이트 클럭 딜레이 신호의 딜레이 시간이 작은 경우에 따른 출력 인에이블 신호 상태를 나타내는 타이밍도이다.

[0007] 도 7은 본 발명의 제2 실시예에 따른 신호 생성 회로의 내부 블록도이다.

[0008] 도 8은 본 발명의 제2 실시예에 따른 신호 생성 회로의 동작 과정을 나타내는 흐름도이다.

[0009] 삭제

[0010] 삭제

[0011] (도면의 주요부분에 대한 부호의 설명)

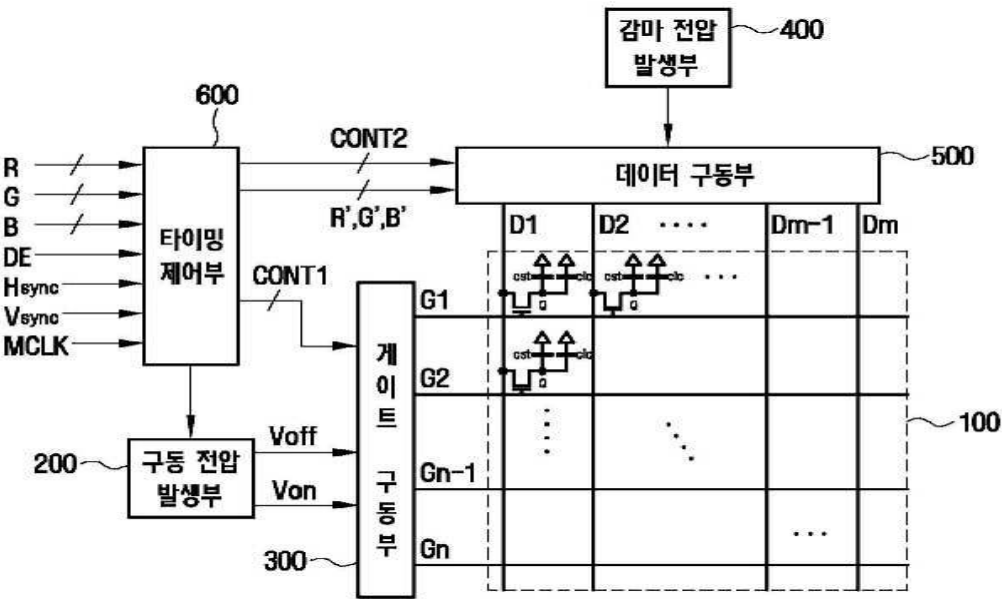
[0012]	100: 액정 패널	200: 구동 전압 발생부
[0013]	300: 게이트 구동부	400: 감마 전압 발생부
[0014]	500: 데이터 구동부	600: 타이밍 제어부
[0015]	310: 신호 생성 회로	312: 신호 딜레이부
[0016]	314: 인버터부	316: 제1 신호 연산부
	318: 제2 신호 연산부	332: 제1 신호 딜레이부
	334: 신호 비교부	336: 제2 신호 딜레이부

[0017] 삭제

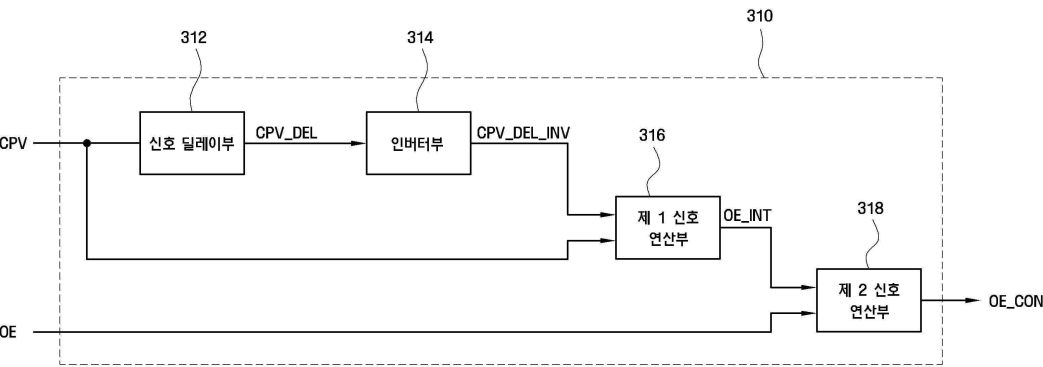
[0018] 삭제

도면

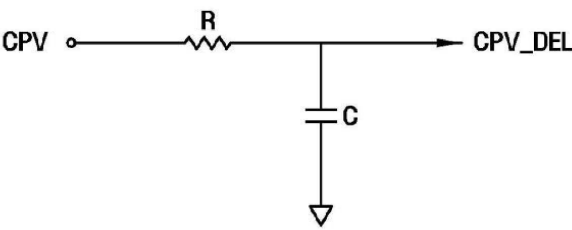
도면1



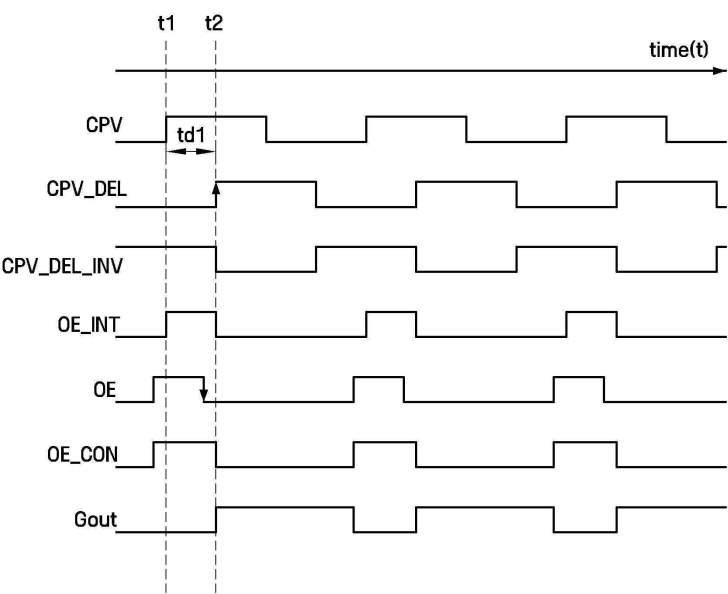
도면2



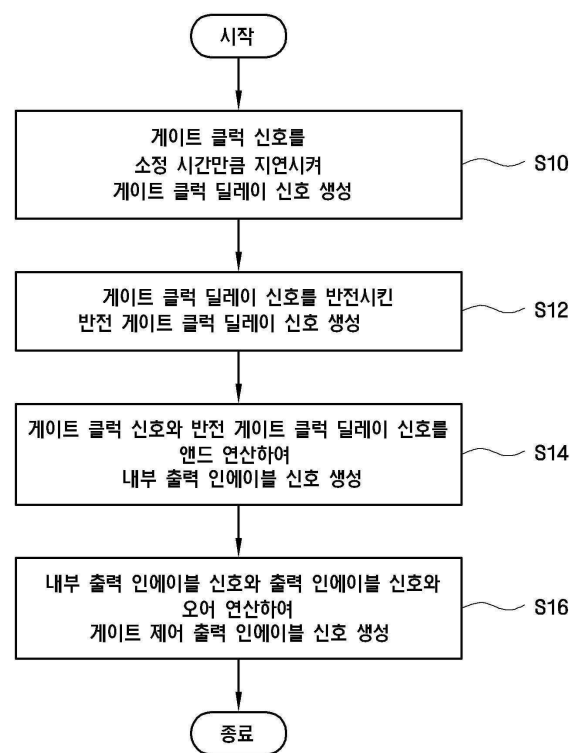
도면3



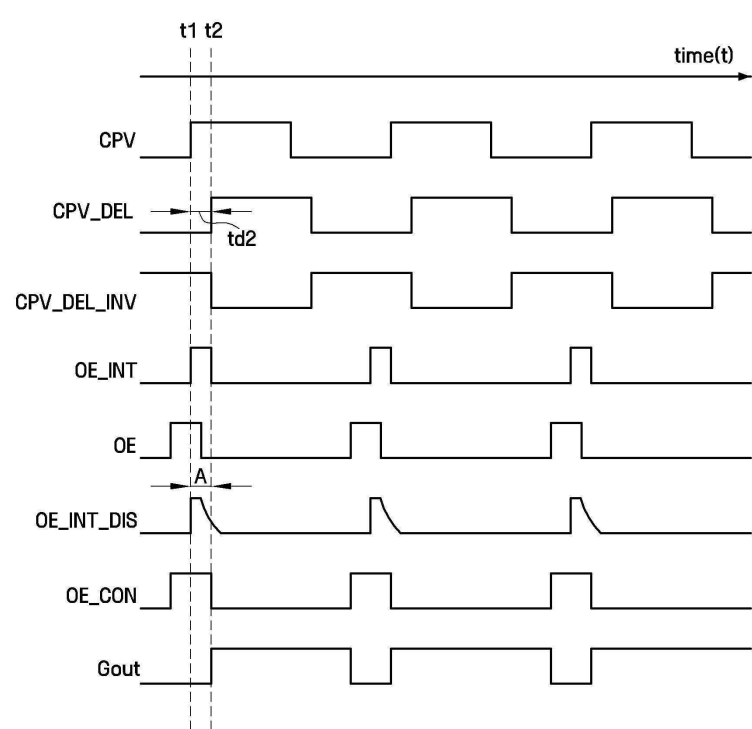
도면4



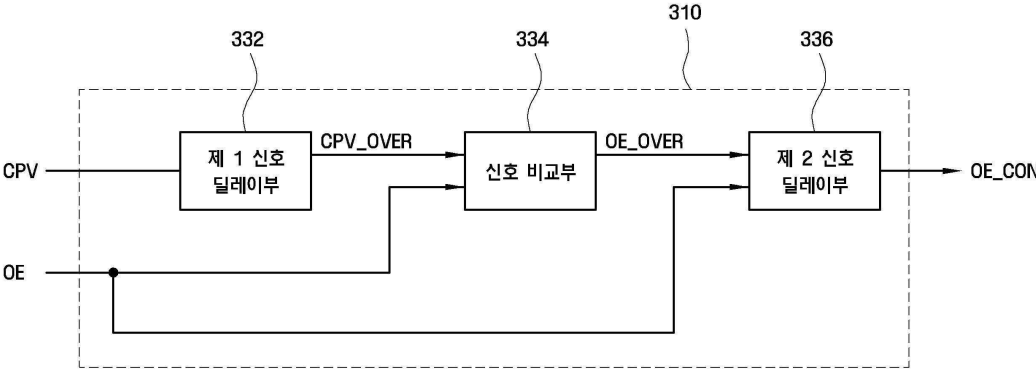
도면5



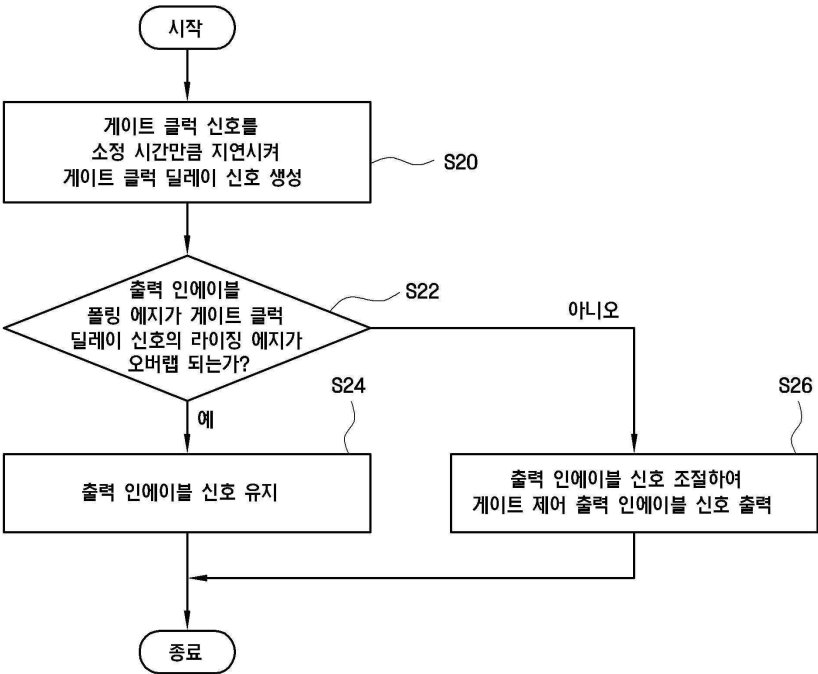
도면6



도면7



도면8



도면9

삭제

도면10

삭제

专利名称(译)	标题：信号发生电路和包括其的液晶显示装置		
公开(公告)号	KR101242727B1	公开(公告)日	2013-03-12
申请号	KR1020060069874	申请日	2006-07-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SON SUN KYU 손선규 LIM MYONG BIN 임명빈 HWANG IN YONG 황인용 LEE JAE HAN 이재한 KIM OCK JIN 김옥진		
发明人	손선규 임명빈 황인용 이재한 김옥진		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G09G3/3648 G09G2330/06 G09G2320/0209 G09G2310/08 G09G3/3611		
其他公开文献	KR1020080009984A		
外部链接	Espacenet		

摘要(译)

提供了一种能够防止栅极驱动单元故障的信号发生电路和包括该电路的液晶显示器。信号生成电路包括由栅极导通信号和栅极截止信号的组合形成的栅极时钟信号，以及用于控制呼叫宽度的输出使能信号，并且信号被延迟预定时间的栅极时钟延迟信号的上升沿重叠，调整弧度。代表人物 - 图1

