(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월02일
(11) 등록번호 10-0924222
(24) 등록일자 2009년10월22일

(51) Int. Cl.
*G09G 3/36* (2006.01) *G09G 3/20* (2006.01)
*G02F 1/133* (2006.01)
(21) 출원번호 10-2006-0059216
(22) 출원일자 2006년06월29일
심사청구일자 2008년03월12일
(65) 공개번호 10-2008-0001099
(43) 공개일자 2008년01월03일
(56) 선행기술조사문헌
KR1020010045688 A
JP10010493 A

(73) 특허권자
**엘지디스플레이 주식회사**
서울 영등포구 여의도동 20번지
(72) 발명자
**김도헌**
부산 부산진구 양정2동 32-58 24/3
**오충완**
경기 오산시 궐동 55-11 4/5 신흥연립 205호
**문수환**
경북 구미시 상모동 우방신세계타운 105-901
(74) 대리인
**허용록**

전체 청구항 수 : 총 23 항 심사관 : 이성현

# (54) 정전기 방전 회로 및 이를 구비한 액정표시장치

## (57) 요 약

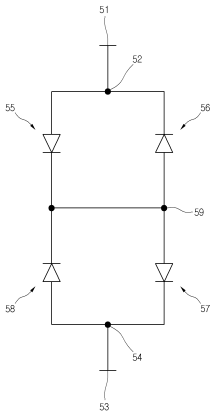
정전기 방전 회로 및 이를 구비한 액정표시장치가 개시된다.

본 발명의 정전기 방전 회로는 제1 및 제2 노드 사이에 접속된 제1 및 제2 트랜지스터; 및

상기 제2 노드와 제3 노드 사이에 접속된 제3 및 제4 트랜지스터를 포함하고, 상기 제1 및 제2 트랜지스터는 순환 루프를 형성하고, 상기 제3 및 제4 트랜지스터는 순환 루프를 형성한다.

따라서 본 발명은 다이오드형 다이오드형 트랜지스터를 구비하여 누설 전류를 최소화할 수 있으므로, 소비 전력을 줄이는 한편 화질을 향상시킬 수 있다.

*대 표 도* - 도3



## *특허청구의 범위*

**청구항 1**

제1 및 제2 노드 사이에 접속된 제1 및 제2 트랜지스터; 및

상기 제2 노드와 제3 노드 사이에 접속된 제3 및 제4 트랜지스터를 포함하고,

상기 제1 및 제2 트랜지스터는 순환 루프를 형성하고, 상기 제3 및 제4 트랜지스터는 순환 루프를 형성하는 것을 특징으로 하는 정전기 방전 회로.

**청구항 2**

제1항에 있어서, 상기 제1 트랜지스터는 순방향 트랜지스터이고, 상기 제2 트랜지스터는 역방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 3**

제1항에 있어서, 상기 제1 트랜지스터는 역방향 트랜지스터이고, 상기 제2 트랜지스터는 순방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 4**

제1항에 있어서, 상기 제3 트랜지스터는 순방향 트랜지스터이고, 상기 제4 트랜지스터는 역방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 5**

제1항에 있어서, 상기 제3 트랜지스터는 역방향 트랜지스터이고, 상기 제4 트랜지스터는 순방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 6**

제1항에 있어서, 상기 제1 내지 제4 트랜지스터는 다이오드형 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 7**

제6항에 있어서, 상기 다이오드형 트랜지스터는 저항을 갖는 것을 특징으로 하는 정전기 방전 회로.

**청구항 8**

제1 및 제2 노드 사이에 접속된 다수의 제1 트랜지스터 및 다수의 제2 트랜지스터; 및

상기 제2 노드와 제3 노드 사이에 접속된 다수의 제3 및 다수의 제4 트랜지스터를 포함하고,

상기 다수의 제1 트랜지스터 및 다수의 제2 트랜지스터는 순환 루프를 형성하고, 상기 다수의 제3 및 다수의 제4 트랜지스터는 순환 루프를 형성하는 것을 특징으로 하는 정전기 방전 회로.

**청구항 9**

제8항에 있어서, 상기 다수의 제1 트랜지스터는 순방향 트랜지스터이고, 상기 다수의 제2 트랜지스터는 역방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 10**

제8항에 있어서, 상기 다수의 제1 트랜지스터는 역방향 트랜지스터이고, 상기 다수의 제2 트랜지스터는 순방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 11**

제8항에 있어서, 상기 다수의 제3 트랜지스터는 순방향 트랜지스터이고, 상기 다수의 제4 트랜지스터는 역방향

트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 12**

제8항에 있어서, 상기 다수의 제3 트랜지스터는 역방향 트랜지스터이고, 상기 다수의 제4 트랜지스터는 순방향 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 13**

제8항에 있어서, 상기 제1 내지 제4 트랜지스터는 다이오드형 트랜지스터인 것을 특징으로 하는 정전기 방전 회로.

**청구항 14**

제13항에 있어서, 상기 다이오드형 트랜지스터는 저항을 갖는 것을 특징으로 하는 정전기 방전 회로.

**청구항 15**

제1 및 제2 노드 사이에 접속된 다수의 제1 트랜지스터 및 단일 제2 트랜지스터; 및

상기 제2 노드와 제3 노드 사이에 접속된 단일 제3 및 다수의 제4 트랜지스터를 포함하고,

상기 다수의 제1 트랜지스터 및 단일 제2 트랜지스터는 순환 루프를 형성하고, 상기 단일 제3 및 다수의 제4 트랜지스터는 순환 루프를 형성하는 것을 특징으로 하는 정전기 방전 회로.

**청구항 16**

제1 및 제2 노드 사이에 접속된 단일 제1 트랜지스터 및 다수의 제2 트랜지스터; 및

상기 제2 노드와 제3 노드 사이에 접속된 다수의 제3 및 단일 제4 트랜지스터를 포함하고,

상기 단일 제1 트랜지스터 및 다수의 제2 트랜지스터는 순환 루프를 형성하고, 상기 다수의 제3 및 단일 제4 트랜지스터는 순환 루프를 형성하는 것을 특징으로 하는 정전기 방전 회로.

**청구항 17**

표시 영역과 비표시 영역으로 구분된 액정패널;

상기 표시 영역에 교차 배열된 다수의 게이트라인과 다수의 데이터라인;

상기 비표시 영역에 상기 게이트라인과 데이터라인에 평행하게 배열된 제1 및 제2 공통라인; 및

상기 게이트라인과 상기 제1 공통라인 사이와 상기 데이터라인과 상기 제2 공통라인 사이에 접속된 다수의 정전기 방전 회로를 포함하고,

상기 정전기 방전 회로는,

제1 및 제2 노드 사이에 접속된 제1 및 제2 트랜지스터; 및

상기 제2 노드와 제3 노드 사이에 접속된 제3 및 제4 트랜지스터를 포함하고,

상기 제1 및 제2 트랜지스터는 순환 루프를 형성하고, 상기 제3 및 제4 트랜지스터는 순환 루프를 형성하는 것을 특징으로 하는 액정표시장치.

**청구항 18**

제17항에 있어서, 상기 제1 트랜지스터는 순방향 트랜지스터이고, 상기 제2 트랜지스터는 역방향 트랜지스터인 것을 특징으로 하는 액정표시장치.

**청구항 19**

제17항에 있어서, 상기 제1 트랜지스터는 역방향 트랜지스터이고, 상기 제2 트랜지스터는 순방향 트랜지스터인 것을 특징으로 하는 액정표시장치.

**청구항 20**

제17항에 있어서, 상기 제3 트랜지스터는 순방향 트랜지스터이고, 상기 제4 트랜지스터는 역방향 트랜지스터인 것을 특징으로 하는 액정표시장치.

**청구항 21**

제17항에 있어서, 상기 제3 트랜지스터는 역방향 트랜지스터이고, 상기 제4 트랜지스터는 순방향 트랜지스터인 것을 특징으로 하는 액정표시장치.

**청구항 22**

제17항에 있어서, 상기 제1 내지 제4 트랜지스터는 다이오드형 트랜지스터인 것을 특징으로 하는 액정표시장치.

**청구항 23**

제22항에 있어서, 상기 다이오드형 트랜지스터는 저항을 갖는 것을 특징으로 하는 액정표시장치.

# *명 세 서*

## *발명의 상세한 설명*

### *발명의 목적*

#### *발명이 속하는 기술 및 그 분야의 종래기술*

<8> 본 발명은 정전기 방전 회로에 관한 것으로, 특히 누설전류를 최소화할 수 있는 정전기 방전 회로 및 이를 구비한 액정표시장치에 관한 것이다.

<9> 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있다. 이에 부응하여 근래에는 LCD(Liquid Crystal Display device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display) 등을 포함한 다양한 평판표시장치가 연구되어 왔고 일부는 이미 표시장치로 널리 활용되고 있다.

<10> 그 중에, 액정표시장치는 현재 화질이 우수하고 경량, 박형, 저소비 전력 등의 장점이 있고, 이에 따라 브라운관(CRT)을 신속히 대체시키고 있다. 상기 액정표시장치는 노트북의 모니터, 텔레비전의 표시 패널 등으로 다양하게 개발되고 있다.

<11> 도 1은 일반적인 액정표시장치를 개략적으로 도시한 도면이다.

<12> 도 1에 도시된 바와 같이, 일반적인 액정표시장치는 서로 대향된 제1 기판(10) 및 제2 기판과, 상기 제1 기판(10) 및 제2 기판 사이에 게재된 액정층을 포함한 액정패널을 구비한다.

<13> 상기 제1 기판(10)은 다수의 화소(P)가 매트릭스 형태로 배열되어 화상을 표시하는 표시 영역(D)과 상기 표시 영역(D)을 제외한 비표시 영역으로 구분된다.

<14> 상기 제1 기판(10)은 다수의 게이트라인(1)과 다수의 데이터라인(3)이 교차 배열된다. 상기 화소(P)는 상기 게이트라인(1)과 데이터라인(3)의 교차에 의해 정의된다. 상기 게이트라인(1)과 데이터라인(3)은 표시 영역(D)뿐만 아니라 비표시 영역까지 형성된다. 상기 게이트라인(1)과 데이터라인(3) 각각의 끝단에는 게이트 패드(7)와 데이터 패드(9)가 연결 형성된다. 상기 게이트 패드(7)와 데이터 패드(9)는 외부로부터 신호를 입력받는 역할을 한다.

<15> 박막트랜지스터(5)가 상기 게이트라인(1)과 상기 데이터라인(3)에 연결 형성된다. 화소 전극(미도시)이 상기 박막트랜지스터(5)에 연결 형성된다.

<16> 상기 박막트랜지스터(5)와 상기 화소 전극은 상기 화소(P)에 형성되게 된다. 상기 제1 기판(10)의 각 화소(P)에 대응되어 상기 제2 기판에는 적색, 녹색 및 청색 컬러필터가 형성되고, 상기 컬러필터 상에 공통전극이 형성된다.

<17> 상기 화소 전극과 상기 공통전극 사이에 구비된 액정층에 의해 액정 캐패시턴스(Clc)가 형성되고, 상기 화소 전극과 전단의 게이트라인 사이의 소정의 절연층에 의해 스토리지 캐패시턴스(Cst)가 형성된다.

<18> 상기 비표시 영역에는 상기 표시 영역(D)의 둘레를 따라 제1 및 제2 공통라인(11, 13)과 상기 제1 및 제2 더미 패드(15, 17)가 배열된다. 각 공통라인(11, 13) 또는 각 공통라인(11, 13)과 더미 패드(15, 17) 사이에는 상기 제2 기판의 공통전극에 전기적으로 연결하기 위한 은 도트(14a, 14b, 14c, 14d)가 형성된다. 상기 공통라인으로 공급된 공통전압은 상기 Ag 도트(14a, 14b, 14c, 14d)를 통해 상기 제2 기판의 공통전극으로 공급될 수 있다.

<19> 상기 게이트라인(1)과 상기 제1 공통라인(11) 사이, 상기 데이터 라인(3)과 상기 제2 공통라인(13) 사이, 상기 게이트라인(1)과 상기 제1 더미 패드(17) 사이 그리고 상기 데이터라인(3)과 상기 제2 더미 패드(15) 사이에는 정전기 방지를 위한 정전기 방전 회로(ESD: ElectroStatic Discharge, 21, 23, 25, 27)가 형성된다.

<20> 상기 정전기 방전 회로(21, 23, 25, 27)는 외부에서 고전압이 표시 영역(D)으로 유입되는 것을 차단하여 표시 영역(D)의 소자가 파괴되는 것을 방지하도록 한다.

<21> 상기 정전기 방전 회로(21, 23, 25, 27)는 도 2에 도시된 바와 같이, 제1 내지 제3 트랜지스터(31, 33, 35)로 구성될 수 있다. 도 2는 게이트라인(1)과 제1 공통라인(11) 사이의 정전기 방전 회로(21)를 대표적으로 도시하고 있지만, 다른 정전기 방전 회로(23, 25, 27) 또한 도 2와 동일한 구조를 갖는다. 상기 게이트라인(1) 또는 상기 제1 공통라인(11)으로 고전압의 정전기가 인가되는 경우, 상기 제1 또는 제2 트랜지스터(31, 33) 중에 어느 하나의 트랜지스터가 턴-온되고, 이에 따라, 상기 제3 트랜지스터(35)도 턴-온된다. 그러므로 게이트라인(1)으로 유입된 정전기는 제1 공통라인(11)으로 또는 제1 공통라인(11)으로 유입된 정전기는 게이트라인(1)으로 방전될 수 있다.

<22> 통상적으로, 상기 제1 내지 제3 트랜지스터(31, 33, 35)는 고전압에서만 턴-온되도록 설계되었기 때문에, 게이트 신호나 데이터 전압이 유입되는 경우에는 턴-오프 상태를 유지하므로, 액정표시장치를 구동하는데 어떠한 문제를 발생시키지 않게 된다.

<23> 하지만, 상기 정전기 방전 회로는 누설 전류(leakage current)가 발생하므로, 소비 전력이 커지게 되고, 화소를 구동하기 위한 신호가 누설 전류로 인해 손실이 발생하므로 원하는 화상을 표시할 수 없어 화질을 저하시키는 문제가 있다.

<24> 특히, 게이트라인(1)과 제1 공통라인(11) 사이에 연결된 정전기 방전 회로(21)에서 이러한 문제가 심각하다. 게이트라인(1)에는 한 프레임 주기의 1 수평 기간(H) 동안을 제외한 나머지 기간 동안 비교적 낮은 게이트 로우 전압이 인가된다. 결국, 극히 일부 기간을 제외한 대부분의 기간 동안 게이트라인(1)에는 게이트 로우 전압이 인가된다. 이러한 경우, 게이트 로우 전압과 제1 공통라인(11)으로 인가된 공통전압 간에는 10V 이상의 전위차가 발생하게 된다. 이러한 전위차에 의해 제3 트랜지스터(35)를 경유하여 누설 전류가 흐르게 된다.

<25> 따라서 누설 전류를 최소화할 수 있는 정전기 방전 회로가 시급한 실정이다.

## *발명이 이루고자 하는 기술적 과제*

<26> 따라서 본 발명은 정전기 방전 회로를 최소화하여 소비 전력을 줄이고 화질을 향상시킬 수 있는 정전기 방전 회로 및 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

## *발명의 구성 및 작용*

<27> 상기 목적을 달성하기 위한 본 발명의 제1 실시예에 따르면, 정전기 방전 회로는 제1 및 제2 노드 사이에 접속된 제1 및 제2 트랜지스터; 및 상기 제2 노드와 제3 노드 사이에 접속된 제3 및 제4 트랜지스터를 포함하고, 상기 제1 및 제2 트랜지스터는 순환 루프를 형성하고, 상기 제3 및 제4 트랜지스터는 순환 루프를 형성한다.

<28> 본 발명의 제2 실시예에 따르면, 정전기 방전 회로는 제1 및 제2 노드 사이에 접속된 다수의 제1 트랜지스터 및 다수의 제2 트랜지스터; 및 상기 제2 노드와 제3 노드 사이에 접속된 다수의 제3 및 다수의 제4 트랜지스터를 포함하고, 상기 다수의 제1 트랜지스터 및 다수의 제2 트랜지스터는 순환 루프를 형성하고, 상기 다수의 제3 및 다수의 제4 트랜지스터는 순환 루프를 형성한다.

<29> 본 발명의 제3 실시예에 따르면, 정전기 방전 회로는 제1 및 제2 노드 사이에 접속된 다수의 제1 트랜지스터 및 단일 제2 트랜지스터; 및 상기 제2 노드와 제3 노드 사이에 접속된 단일 제3 및 다수의 제4 트랜지스터를 포함하고, 상기 다수의 제1 트랜지스터 및 다수의 제2 트랜지스터는 순환 루프를 형성하고, 상기 다수의 제3 및 다수의 제4 트랜지스터는 순환 루프를 형성한다.

<30> 본 발명의 제4 실시예에 따르면, 정전기 방전 회로는 제1 및 제2 노드 사이에 접속된 단일 제1 트랜지스터 및

다수의 제2 트랜지스터; 및 상기 제2 노드와 제3 노드 사이에 접속된 다수의 제3 및 단일 제4 트랜지스터를 포함하고, 상기 다수의 제1 트랜지스터 및 다수의 제2 트랜지스터는 순환 루프를 형성하고, 상기 다수의 제3 및 다수의 제4 트랜지스터는 순환 루프를 형성한다.

<31> 본 발명의 제5 실시예에 따르면, 액정표시장치는 표시 영역과 비표시 영역으로 구분된 액정패널; 상기 표시 영역에 교차 배열된 다수의 게이트라인과 다수의 데이터라인; 상기 비표시 영역에 상기 게이트라인과 데이터라인에 평행하게 배열된 제1 및 제2 공통라인; 상기 게이트라인과 상기 제1 공통라인 사이와 상기 데이터라인과 상기 제2 공통라인 사이에 접속된 다수의 정전기 방전 회로를 포함하고, 상기 정전기 방전 회로는, 제1 및 제2 노드 사이에 접속된 제1 및 제2 트랜지스터; 및 상기 제2 노드와 제3 노드 사이에 접속된 제3 및 제4 트랜지스터를 포함하고, 상기 제1 및 제2 트랜지스터는 순환 루프를 형성하고, 상기 제3 및 제4 트랜지스터는 순환 루프를 형성한다.

<32> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

<33> 도 3은 본 발명의 제1 실시예에 따른 정전기 방전 회로를 도시한 도면이고, 도 4는 도 3의 정전기 방전 회로의 등가 회로도이다.

<34> 도 3 및 도 4에 도시된 바와 같이, 본 발명의 정전기 방전 회로(50)는 제1 노드(52)와 제2 노드(59) 사이에 제1 순방향 트랜지스터(55)와 제1 역방향 트랜지스터(56)가 구비되고, 상기 제2 노드(59)와 제3 노드(54) 사이에 제2 순방향 트랜지스터(57)와 제2 역방향 트랜지스터(58)가 구비된다. 상기 제1 노드(52)는 제1 단자(51)와 연결되고, 상기 제3 노드(54)는 제2 단자(53)와 연결된다.

<35> 상기 제1 순방향 트랜지스터(55)와 상기 제1 역방향 트랜지스터(56)는 상기 제1 및 제2 노드(52, 59) 사이에서 순환 루프를 형성하고, 상기 제2 순방향 트랜지스터(57)와 상기 제2 역방향 트랜지스터(58)는 상기 제2 및 제3 노드(59, 54) 사이에서 순환 루프를 형성한다.

<36> 상기 제1 및 제2 순방향 트랜지스터(55, 57)와 상기 제1 및 제2 역방향 트랜지스터(56, 58)는 다이오드형 트랜지스터일 수 있다.

<37> 상기 제1 순방향 트랜지스터(55)는 게이트와 소오스가 상기 제1 노드(52)에 공통 연결되고 드레인이 제2 노드(59)에 연결된다.

<38> 상기 제1 역방향 트랜지스터(56)는 게이트와 소오스가 상기 제2 노드(59)에 공통 연결되고 드레인이 상기 제1 노드(52)에 연결된다.

<39> 상기 제2 순방향 트랜지스터(57)는 게이트와 소오스가 상기 제2 노드(59)에 공통 연결되고 드레인이 제3 노드(54)에 연결된다.

<40> 상기 제2 역방향 트랜지스터(58)는 게이트와 소오스가 상기 제3 노드(54)에 공통 연결되고 드레인이 상기 제2 노드(59)에 공통 연결된다.

<41> 따라서 상기 제1 단자(51)로 고전압(예컨대, 정전기)이 인가되는 경우, 제1 노드(52), 제1 순방향 트랜지스터(55), 제2 노드(59), 제2 순방향 트랜지스터(57) 및 제3 노드(54)를 경유하여 제2 단자(53)로 방전된다. 이와 반대로, 상기 제2 단자(53)로 고전압이 인가되는 경우, 상기 제3 노드(54), 상기 제2 역방향 트랜지스터(58), 상기 제2 노드(59), 상기 제1 역방향 트랜지스터(56) 및 상기 제1 노드(52)를 경유하여 상기 제1 단자(51)로 방전된다.

<42> 상기 정전기 방전 회로(50)는 저전압에 의해서는 어떠한 트랜지스터(55 내지 58)도 턴-온되지 않는다.

<43> 상기 정전기 방전 회로(50)에서 각 트랜지스터(55 내지 58)는 다이오드형 트랜지스터로서, 각각 소정의 내부 저항을 갖고 있다.

<44> 따라서 상기 제1 및 제2 단자(52, 59) 사이에 정전기 이외에 비교적 높은 전위차, 즉 액정표시장치에서 게이트 로우 전압과 공통전압 간의 전위차에 의해 각 트랜지스터(55 내지 58)에 누설 전류가 흐르더라도, 각 트랜지스터(55 내지 58)의 내부 저항에 의해 이러한 누설 전류의 흐름을 제한하므로, 누설 전류의 흐름을 최소화할 수 있다.

<45> 예컨대, 도 7에 도시된 바와 같이, 제2 단자(53)에 비해 제1 단자(51)에 상대적으로 높은 전압이 인가되는 경우, 상기 제1 단자(51)에서 제1 및 제2 순방향 트랜지스터(55, 57)를 경유하여 상기 제2 단자(53)로 누설 전

류(I1)가 흐를 수 있다. 하지만, 상기 제1 및 제2 순방향 트랜지스터(55, 57)에 각각 저항(71, 73)이 존재하므로, 이러한 저항(71, 73)에 의해 상기 누설 전류의 흐름이 제한되게 되어, 결국 누설 전류를 최소화할 수 있게 된다.

<46> 결국, 다이오드형 트랜지스터의 개수만큼 누설 전류는 감소될 수 있다.

<47> 도 5는 본 발명의 제2 실시예에 따른 정전기 방전 회로를 도시한 도면이고, 도 6은 도 5의 정전기 방전 회로의 등가 회로도이다.

<48> 도 5 및 도 6에 도시된 바와 같이, 본 발명의 정전기 방전 회로(60)는 제1 노드(52)와 제2 노드(59) 사이에 제1 순방향 트랜지스터(61)와 다수의 제1 역방향 트랜지스터(62a, ..., 62n)가 구비되고, 상기 제2 노드(59)와 제3 노드(54) 사이에 다수의 제2 순방향 트랜지스터(63a, ..., 63n)와 제2 역방향 트랜지스터(64)가 구비된다. 상기 제1 노드(52)는 제1 단자(51)와 연결되고, 상기 제3 노드(54)는 제2 단자(53)와 연결된다.

<49> 상기 제1 순방향 트랜지스터(61)와 상기 각 제1 역방향 트랜지스터(62a, ..., 62n)는 상기 제1 및 제2 노드(52, 59) 사이에서 순환 루프를 형성하고, 상기 각 제2 순방향 트랜지스터(63a, ..., 63n)와 상기 제2 역방향 트랜지스터(64)는 상기 제2 및 제3 노드(59, 54) 사이에서 순환 루프를 형성한다.

<50> 상기 제1 순방향 트랜지스터(61)와 상기 각 제2 순방향 트랜지스터(63a, ..., 63n)와 상기 각 제1 역방향 트랜지스터(62a, ..., 62n)와 상기 제2 역방향 트랜지스터(64)는 다이오드형 트랜지스터일 수 있다.

<51> 상기 제1 순방향 트랜지스터(61)는 게이트와 소오스가 상기 제1 노드(52)에 공통 연결되고 드레인이 제2 노드(59)에 연결된다.

<52> 상기 각 제1 역방향 트랜지스터(62a, ..., 62n)는 서로 간에 직렬 연결된다. 이 중에서 첫 번째 제1 역방향 트랜지스터(62a)는 게이트와 소오스가 두 번째 제1 역방향 트랜지스터의 드레인과 연결되고 드레인이 상기 제1 노드(52)에 연결된다. 또한, 마지막 제1 역방향 트랜지스터(62n)는 게이트와 소오스가 상기 제2 노드(59)에 연결되고 드레인이 마지막 전단의 제1 역방향 트랜지스터에 연결된다.

<53> 상기 각 제2 순방향 트랜지스터(63a, ..., 63n)는 서로 간에 직렬 연결된다. 이 중에서 첫 번째 제2 순방향 트랜지스터(63a)는 게이트와 소오스가 두 번째의 제2 순방향 트랜지스터에 연결되고 드레인이 상기 제3 노드(54)에 연결된다. 또한, 마지막 제2 순방향 트랜지스터(63n)는 게이트와 소오스가 상기 제2 노드(59)에 연결되고 드레인이 마지막 전단의 제2 순방향 트랜지스터에 연결된다.

<54> 상기 제2 역방향 트랜지스터(64)는 게이트와 소오스가 상기 제3 노드(54)에 공통 연결되고 드레인이 상기 제2 노드(59)에 공통 연결된다.

<55> 따라서 상기 제1 단자(51)로 고전압(예컨대, 정전기)이 인가되는 경우, 제1 노드(52), 제1 순방향 트랜지스터(61), 제2 노드(59), 다수의 제2 순방향 트랜지스터(63a, ..., 63n) 및 제3 노드(54)를 경유하여 제2 단자(53)로 방전된다. 이와 반대로, 상기 제2 단자(53)로 고전압이 인가되는 경우, 상기 제3 노드(54), 상기 제2 역방향 트랜지스터(64), 상기 제2 노드(59), 상기 다수의 제1 역방향 트랜지스터(62a, ..., 62n) 및 상기 제1 노드(52)를 경유하여 상기 제1 단자(51)로 방전된다.

<56> 상기 정전기 방전 회로(60)는 저전압에 의해서는 어떠한 트랜지스터(61, 62a 내지 62n, 63, 64a 내지 64n)도 턴-온되지 않는다.

<57> 상기 정전기 방전 회로(60)에서 각 트랜지스터(61, 62a, ..., 62n, 63a, ..., 63n, 64)는 다이오드형 트랜지스터로서, 각각 소정의 내부 저항을 갖고 있다.

<58> 따라서 상기 제1 및 제2 단자(52, 59) 사이에 정전기 이외에 비교적 높은 전위차, 즉 액정표시장치에서 게이트 로우 전압과 공통전압 간의 전위차에 의해 각 트랜지스터(61, 62a, ..., 62n, 63a, ..., 63n, 64)에 누설 전류가 흐르더라도, 각 트랜지스터(61, 62a, ..., 62n, 63a, ..., 63n, 64)의 내부 저항에 의해 이러한 누설 전류의 흐름을 제한하므로, 누설 전류의 흐름을 최소화할 수 있다. 그러므로 다이오드형 트랜지스터의 개수만큼 저항이 커지게 되므로, 그만큼 누설 전류는 최소화될 수 있다.

<59> 그 이외에 다양한 실시예가 있을 수 있다. 본 발명의 제3 실시예에 따른 정전기 방전 회로는 제1 노드와 제2 노드 사이에 다수의 제1 순방향 트랜지스터와 제1 역방향 트랜지스터가 구비되고, 상기 제2 노드와 제3 노드 사이에 제2 순방향 트랜지스터와 다수의 제2 역방향 트랜지스터가 구비될 수 있다. 각 트랜지스터는 다이오드형 트랜지스터일 수 있다. 상기 각 제1 순방향 트랜지스터와 상기 각 제1 역방향 트랜지스터는 상기 제1 및 제2 노드

사이에서 순환 루프를 형성하고, 상기 각 제2 순방향 트랜지스터와 상기 각 제2 역방향 트랜지스터는 상기 제2 및 제3 노드 사이에서 순환 루프를 형성한다.

<60> 본 발명의 제4 실시예에 따른 정전기 방전 회로는 제1 노드와 제2 노드 사이에 다수의 제1 순방향 트랜지스터와 다수의 제1 역방향 트랜지스터가 구비되고, 상기 제2 노드와 제3 노드 사이에 다수의 제2 순방향 트랜지스터와 다수의 제2 역방향 트랜지스터가 구비될 수 있다. 각 트랜지스터는 다이오드형 트랜지스터일 수 있다. 상기 각 제1 순방향 트랜지스터와 상기 각 제1 역방향 트랜지스터는 상기 제1 및 제2 노드 사이에서 순환 루프를 형성하고, 상기 각 제2 순방향 트랜지스터와 상기 각 제2 역방향 트랜지스터는 상기 제2 및 제3 노드 사이에서 순환 루프를 형성한다.

## *발명의 효과*

<61> 이상에서 살펴본 바와 같이, 본 발명에 의하면, 다이오드형 트랜지스터를 구비하여 누설 전류를 최소화할 수 있으므로, 소비 전력을 줄이는 한편 화질을 향상시킬 수 있다.

<62> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## *도면의 간단한 설명*

<1> 도 1은 일반적인 액정표시장치를 개략적으로 도시한 도면.

<2> 도 2는 도 1의 정전기 방전 회로의 등가 회로도.

<3> 도 3은 본 발명의 제1 실시예에 따른 정전기 방전 회로를 도시한 도면.

<4> 도 4는 도 3의 정전기 방전 회로의 등가 회로도.

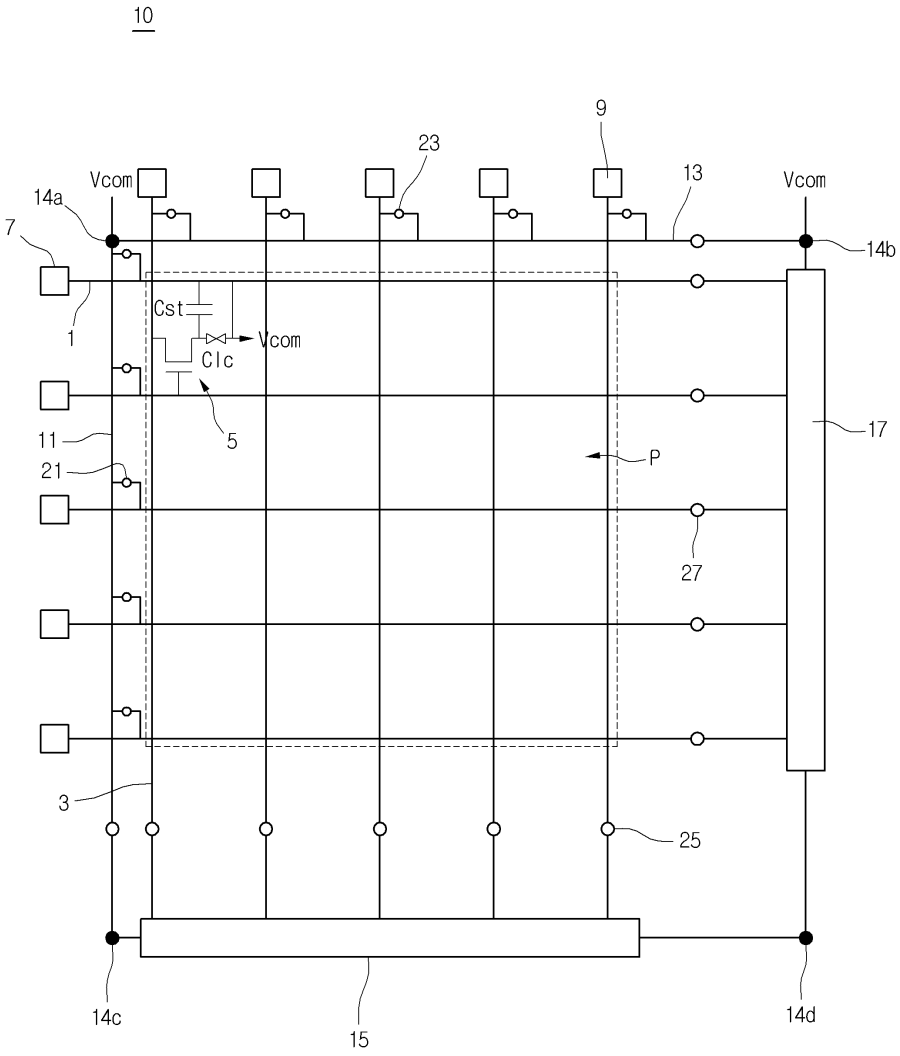
<5> 도 5는 본 발명의 제2 실시예에 따른 정전기 방전 회로를 도시한 도면.

<6> 도 6은 도 5의 정전기 방전 회로의 등가 회로도.

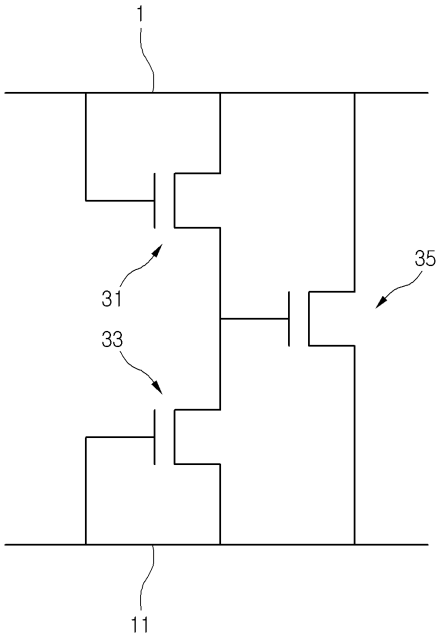
<7> 도 7은 도 4의 정전기 방전 회로에서 누설 전류를 최소화하는 모습을 도시한 도면.

## 도면

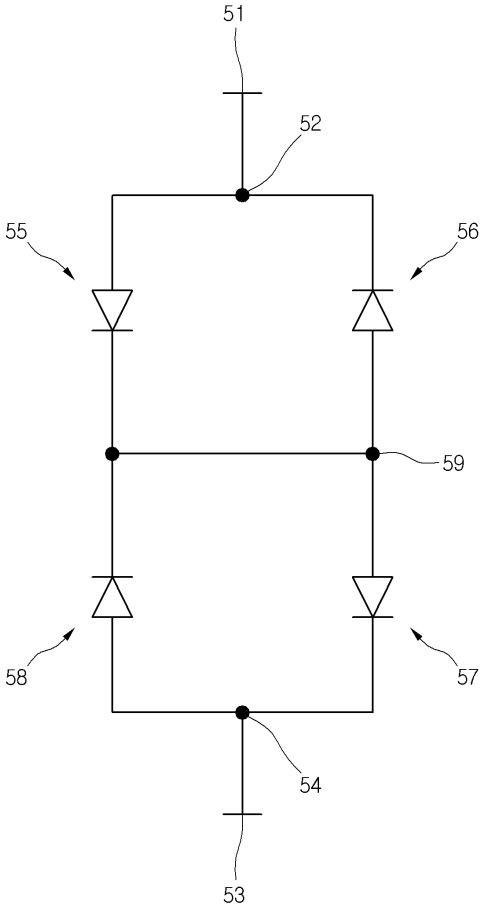
### 도면1


10
9
23
Vcom
13
Vcom
14a
14b
7
1
Cst
Vcom
Clc
5
11
17
21
P
27
3
25
14c
15
14d

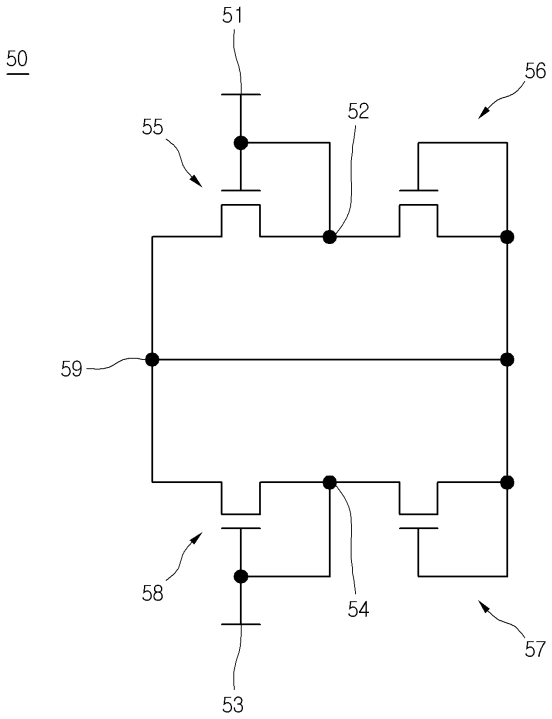
도면2



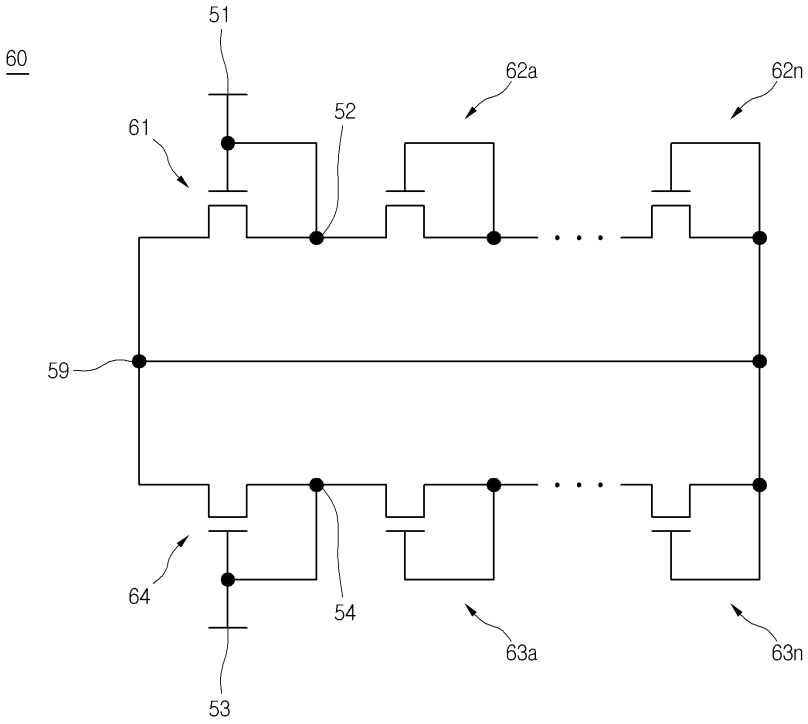

도면3



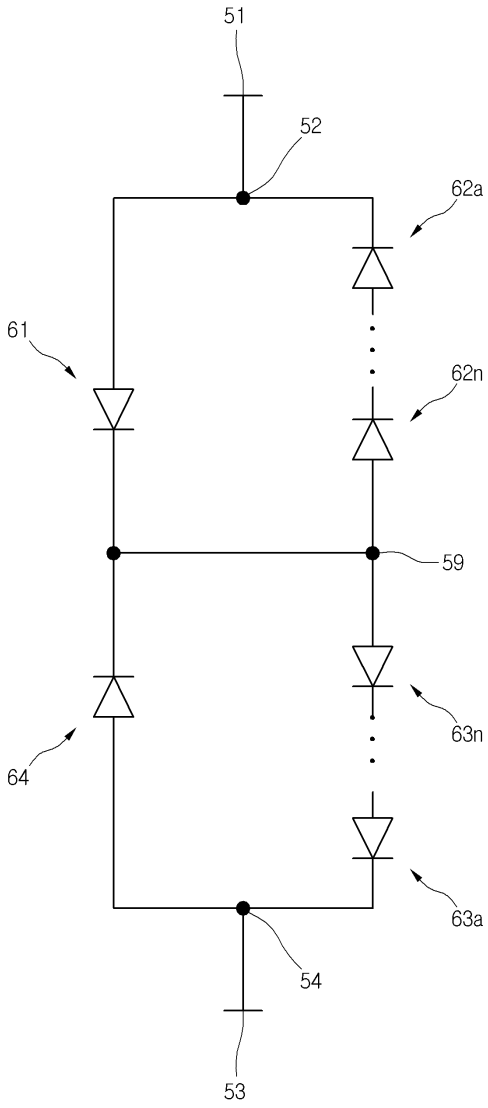
도면4



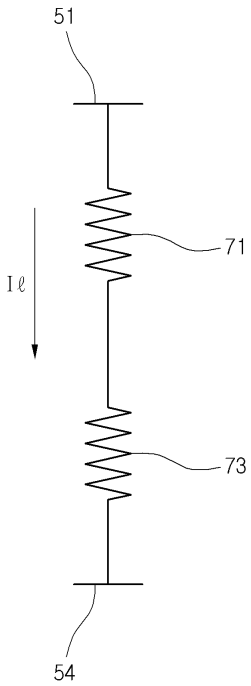

도면5



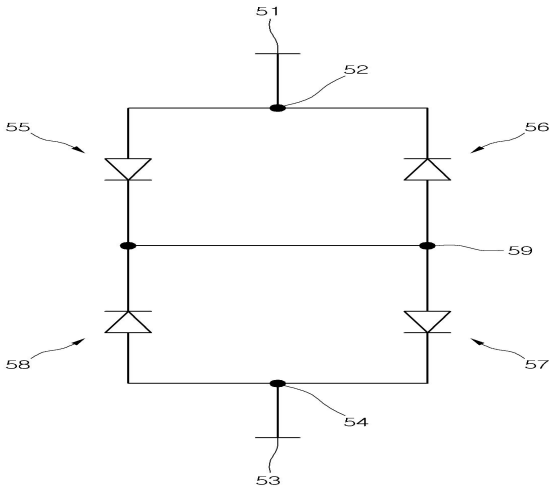
도면6



도면7



| | | | |
|---|---|---|---|
| 专利名称(译) | 静电放电电路和具有该静电放电电路的液晶显示装置 | | |
| 公开(公告)号 | KR100924222B1 | 公开(公告)日 | 2009-11-02 |
| 申请号 | KR1020060059216 | 申请日 | 2006-06-29 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | KIM DO HEON<br>김도헌<br>OH CHUNG WAN<br>오충완<br>MOON SU HWAN<br>문수환 | | |
| 发明人 | 김도헌<br>오충완<br>문수환 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | H02H9/046 | | |
| 其他公开文献 | KR1020080001099A | | |
| 外部链接 | Espacenet | | |


摘要(译)

公开了一种静电放电电路和具有该静电放电电路的液晶显示装置。 本发明的静电放电电路包括连接在第一和第二节点之间的第一和第二晶体管。第三和第四晶体管连接在第二节点和第三节点之间，并且第二晶体管形成循环回路，第三和第四晶体管形成循环回路。 因此，本发明提供一种二极管型二极管型晶体管，以使漏电流最小化，从而降低功耗并改善图像质量有。