



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월22일
(11) 등록번호 10-0923349
(24) 등록일자 2009년10월16일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0079352

(22) 출원일자 2002년12월12일

심사청구일자 2007년12월12일

(65) 공개번호 10-2004-0051424

(43) 공개일자 2004년06월18일

(56) 선행기술조사문헌

KR1020030072710 A*

KR1020010081976 A

JP2002107769 A

KR1020030058057 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김홍철

경기도안산시본오동1112-37번지204호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

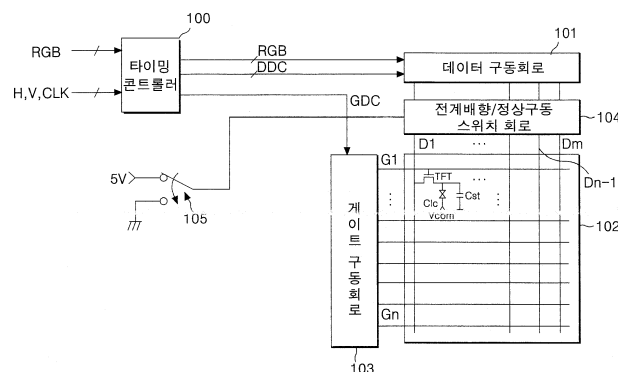
심사관 : 남기영

(54) 강유전성 액정표시장치

(57) 요약

본 발명은 정상 구동시에 사용되는 구동회로를 장착한 상태에서 실시되는 전계배향 공정시 구동회로의 과도한 부하나 손상을 줄이도록 한 강유전성 액정의 전계배향방법과 이를 이용한 액정표시장치에 관한 것으로, 데이터라인들에 데이터를 공급하기 위한 데이터 구동회로와, 전계배향 전압을 발생하기 위한 전원과, 상기 데이터 구동회로와 상기 데이터라인 사이에 접속된 스위치소자, 및 상기 스위치소자와 상기 전원 사이에 접속되어 상기 전원으로 부터의 전압을 상기 스위치소자에 공급하기 위한 버斯拉인을 포함하여 전계배향시에 상기 버斯拉인 상의 전압에 응답하여 상기 버斯拉인 상의 전압을 상기 데이터라인들에 공급하는 반면에 정상 구동시에 상기 버斯拉인과 상기 데이터라인 사이의 전류패스를 차단하는 스위치 회로를 구비한다.

대표도 - 도11



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 강유전성 액정이 주입되는 액정표시장치에 있어서,

상기 데이터라인들에 데이터를 공급하기 위한 데이터 구동회로와,

전계배향 전압을 발생하기 위한 전원과,

상기 데이터 구동회로와 상기 데이터라인 사이에 접속된 스위치소자, 및 상기 스위치소자와 상기 전원 사이에 접속되어 상기 전원으로부터의 전압을 상기 스위치소자에 공급하기 위한 버斯拉인을 포함하는 스위치 회로를 구비하고,

상기 스위치 회로의 스위치소자는, 전계배향시에 상기 버斯拉인 상의 전압에 응답하여 상기 버斯拉인 상의 전압을 상기 데이터라인들에 공급하는 반면에 정상 구동시에 상기 버斯拉인과 상기 데이터라인 사이의 전류패스를 차단하는 것을 특징으로 하는 강유전성 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 전계배향시에 상기 전원과 상기 데이터 구동회로 사이의 전류패스를 차단하는 제2 스위치회로를 더 구비하는 것을 특징으로 하는 강유전성 액정표시장치.

청구항 5

삭제

청구항 6

제 3 항에 있어서,

상기 스위치소자는 N 타입 MOS-FET를 포함하는 것을 특징으로 하는 강유전성 액정표시장치.

청구항 7

제 3 항에 있어서,

상기 스위치소자는 다이오드인 것을 특징으로 하는 강유전성 액정표시장치.

청구항 8

제 4 항에 있어서,

상기 제2 스위치회로는,

상기 데이터 구동회로와 상기 데이터라인 사이에 접속된 제2 스위치소자를 구비하고,

상기 버斯拉인은 상기 제2 스위치소자와 상기 전원 사이에 접속되어 상기 전원으로부터의 전압을 상기 제2 스위치소자에 공급하는 것을 특징으로 하는 강유전성 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 스위치소자는 상기 전계배향시에 상기 버斯拉인 상의 전압에 응답하여 상기 데이터 구동회로와 상기 데이

터라인 사이의 전류패스를 차단하는 반면에 상기 정상 구동시에 상기 데이터 구동회로와 상기 데이터라인 사이에 전류패스를 형성하는 P 타입 MOS-FET를 포함하는 것을 특징으로 하는 강유전성 액정표시장치.

청구항 10

제 3 항에 있어서,

상기 전계배향시에 상기 전원과 상기 스위치회로 사이에 전류패스를 형성하는 반면에 상기 정상 구동시에 상기 전원과 상기 스위치회로 사이의 전류패스를 차단하고 기저전압원과 상기 스위치회로 사이에 전류패스를 형성하기 위한 제3 스위치소자를 더 구비하는 것을 특징으로 하는 강유전성 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제3 스위치소자는 상기 데이터 구동회로가 실장된 인쇄회로보드 상에 설치되는 것을 특징으로 하는 강유전성 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <29> 본 발명은 액정표시장치에 관한 것으로, 특히 정상 구동시에 사용되는 구동회로를 장착한 상태에서 실시되는 전계배향 공정시 구동회로의 과도한 부하나 손상을 줄이도록 한 강유전성 액정표시장치에 관한 것이다.
- <30> 액정표시장치는 비디오 신호에 대응하여 액정에 전계를 인가하여 액정의 배열상태를 제어하여 광투과율을 비디오 신호에 따라 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 두 장의 유리기관 사이에 액정이 주입된 액정패널과, 그 액정패널에 빛을 조사하기 위한 광원모듈(혹은, '백라이트유닛'이라 한다)과, 액정패널과 광원모듈을 일체로 고정하기 위한 프레임 및 샤시 등의 기구물과, 액정패널에 구동신호를 인가하기 위한 인쇄회로보드(Printed Circuit Board : 이하, "PCB"라 한다)을 포함한다.
- <31> 액정표시장치의 제조공정은 기관 세정, 기관 패터닝, 기관합착/액정주입, 구동회로 실장 공정으로 나뉘어진다. 기관세정 공정에서는 액정패널에 사용되는 기관의 표면에 오염된 이물질을 세정제를 이용하여 제거한다. 기관 패터닝 공정에서는 상부 유리기관의 패터닝과 하부 유리기관의 패터닝으로 나뉘어진다. 액정패널의 상부 유리기관에는 칼라필터, 공통전극, 블랙 매트릭스 등이 형성되고, 액정패널의 하부 유리기관에는 데이터라인과 게이트라인 등의 신호배선이 형성됨과 아울러 데이터라인과 게이트라인의 교차부에 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 한다)가 형성되며, 데이터라인과 게이트라인 사이의 화소영역에 화소전극이 형성된다. 기관합착/액정주입 공정은 액정패널의 기관들 상에 배향막을 도포하고 러빙하는 공정, 상부 유리기관과 하부 유리기관 각각에 광축이 직교하는 편광자를 부착하는 공정, 실런트(Sealant)를 이용하여 상부 유리기관과 하부 유리기관을 합착하는 공정, 액정을 주입하는 공정 및 액정 주입구를 봉지하는 공정을 포함한다. 구동회로 실장공정에서는 게이트 드라이브 집적회로 및 데이터 드라이브 집적회로 등의 집적회로가 실장된 테이프 캐리어 패키지(Tape Carrier Package : 이하, "TCP"라 한다)를 하부 유리기관 상에 형성된 패드부에 접속시킨다. 이러한 드라이브 집적회로는 전술한 TCP를 이용한 테이프 오토메이티드 본딩(Tape Automated Bonding) 방식 이외에 칩 온 글라스(Chip On Glass ; COG) 방식으로 하부 유리기관 상에 직접 실장될 수 있다.
- <32> 이러한 제조공정에 의해 액정패널이 제작되면, 그 액정패널과 광원모듈 및 PCB를 일체로 조립하는 모듈조립공정이 이어진다.
- <33> 모듈조립공정에서는 메인 프레임 내의 공동부에 아래에서부터 PCB, 광원모듈, 액정패널이 적층되며, 그 메인 프레임의 측면과 액정패널의 가장자리를 에워싸도록 메인 프레임에 탑케이스가 조립된다. 그리고 경우에 따라 메인 프레임과 탑케이스의 사이에 위치하며 메인 프레임의 저면을 감싸는 보텀 케이스가 메인 프레임에 조립된다. TCP는 입력단이 PCB의 출력패드에 접속하며 출력단이 액정패널의 신호배선 패드에 접속된다. 광원모듈은 냉음극램프(CCFL)과 도광판을 포함함과 아울러, 도광판과 액정패널 사이에 적층되는 프리즘시트, 확산판 등의 광학

시트들을 포함한다.

- <34> 액정표시장치 내에 주입되는 액정은 유동성과 탄성의 성질을 함께 가지는 액체와 고체의 중간상태이다. 현재까지 액정표시장치에서 가장 많이 적용되고 있는 액정은 트위스티드 네마틱 모드(Twisted Nematic Mode : 이하 "TN 모드"라 한다)이다.
- <35> 이러한 TN 모드는 응답속도가 늦고 시야각이 좁은 단점이 있다. 이에 비하여, 강유전성 액정(Ferroelectric Liquid Crystal ; FLC)은 응답속도가 빠르고 광시야각 특성을 가지므로 최근에 이에 대한 연구가 활발하게 진행되고 있다. 이를 상세히 하면, 강유전성 액정은 전기적, 자기적 성질이 같은 영역이 층구조를 이루게 되며, 전계에 반응하여 가상의 콘(cone)을 따라 회전하면서 면내 구동한다. 이러한 강유전성 액정은 외부 전기장이 없어도 영구적인 분극 즉, 자발분극(Spontaneous Polarization)을 가지므로 마치 자석과 자석의 상호작용과 같이 외부 전기장이 인가되면 외부 전기장과 자발분극의 상호 작용에 의해 빠르게 회전하게 되므로 다른 모드의 액정에 비하여 응답속도가 수백배에서 수천배까지 빠르다. 또한, 강유전성 액정은 액정 자체가 면내 스위칭 특성(In Plane Switching)을 가지므로 특별한 전극구조나 보상 필름이 필요없이 광시야각을 구현할 수 있다. 이러한 강유전성 액정에는 전기장의 극성에 응답하여 반응하는 특성에 따라 브이 스위칭 모드(V-Switching mode)와 하프 브이 스위칭 모드(Half V-switching mode)로 나뉘어진다.
- <36> 브이 스위칭 모드의 강유전성 액정셀은 온도가 낮아지면서 등방상(isotropic) → 스멕틱 A상(Smectic A Phase : S_A) → 스멕틱 X상(Smectic X Phase : $Sm X^*$) → 결정(Crystal)으로 열역학적인 상전이가 이루어진다. 여기서, 등방상은 액정분자들이 방향성과 위치질서가 없는 상태이며, 스멕틱 A 상은 액정분자들이 가상의 층으로 분리되며 그 가상의 층에 수직하게 정렬되고 위아래에서 대칭성을 가지게 된다. 그리고 스멕틱 X 상은 스멕틱 A 상과 결정상태의 중간상태이다. 스멕틱 X 상으로 액정분자가 상전이된 브이 스위칭 모드의 강유전성 액정셀은 도 1과 같이 정극성의 외부 전압(+V)과 부극성의 외부 전압(-V)에 반응하여 배열상태가 변화됨으로써 입사광의 광투과율(NT)을 높이게 된다.
- <37> 그런데 브이 스위칭 모드의 강유전성 액정셀은 고속응답특성과 광시야각특성이 있지만 자발분극값이 크기 때문에 액정셀을 구동하기 위한 유효전력이 높고 데이터전압을 유지하기 위한 스토리지 캐패시터(Storage Capacitor)의 정전용량값이 그 만큼 커지는 단점이 있다. 따라서, 브이 스위칭 모드의 액정은 액정표시장치에 적용되면 그 액정표시장치의 소비전력을 크게 하고 보조 캐패시터의 전극면적을 크게 하므로 개구율의 저하를 초래하게 된다.
- <38> 이에 비하여, 하프 브이 스위칭 모드의 강유전성 액정셀은 고속응답특성과 광시야각특성을 가질뿐 아니라 정전용량값이 비교적 작기 때문에 동화상을 표시하기에 유리하고 액정표시장치의 구현에 더 적합하다. 하프 브이 스위칭 모드의 강유전성 액정셀은 도 2와 같이 등방상에서 네마틱상(Nematic phase: N^*)으로 상전이를 유발하는 전이온도(T_{ni}) 이하의 온도, 네마틱상(N^*)에서 스멕틱 C상(Smectic C Phase : $Sm C^*$)으로 상전이를 유발하는 전이온도(T_{sn}), 스멕틱 C상($Sm C^*$)에서 결정으로 상전이를 유발하는 전이온도(T_{cs})로 온도가 낮아지면서 등방상(isotropic) → 네마틱상(N^*) → 스멕틱 C*상(Smectic C Phase : $Sm C^*$) → 결정(Crystal)으로 열역학적인 상전이가 이루어진다.
- <39> 이러한 강유전성 액정의 상전이 과정과 관련하여 하프 브이 스위칭 모드의 액정셀을 제작하는 방법을 도 3과 결부하여 상세히 설명하면 다음과 같다. 방향성과 위치질서가 없는 등방상의 초기온도에서 평행 배향된 셀 내에 강유전성 액정이 주입된다. 이 등방상의 온도에서 소정 온도까지 낮아지게 되면 강유전성 액정이 러빙방향에 대하여 평행하게 배향되는 네마틱상(N^*)이 된다. 네마틱상(N^*)에서 서서히 온도를 더 내리면서 액정셀 내부에 충분한 전기장을 인가하면 네마틱상(N^*)의 강유전성 액정은 스멕틱 C상($Sm C^*$)으로 상전이하면서 강유전성 액정의 자발분극 방향이 셀 내부에 형성된 전기장 방향과 일치하게 배열된다.
- <40> 그 결과, 액정셀 내에서 강유전성 액정은 평행 배향 처리되었을 때의 가능한 두 가지 분자배열 방향 중에서 전계 배향시 인가한 전기장 방향과 자신의 자발분극 방향이 일치하게 되며 전체적으로 균일한 배향 상태를 가지게 된다. 한편, 전계 배향과정이 없으면 네마틱상(N^*)에서 스멕틱 C상($Sm C^*$)으로 상전이하면서 층이 다른 두 가지 분자배열이 랜덤하게 나타나게 된다. 이렇게 강유전성 액정의 분자배열이 랜덤한 쌍안정 상태(Random Bistable State)로 되면, 강유전성 액정이 균일하게 제어되기 어렵다. 이 때문에 하프 브이 스위칭 모드의 강유전성 액정셀은 온도를 내리면서 수 [V] 정도의 직류전압(DC Voltage)을 인가하여 강유전성 액정을 네마틱상(N^*)에서 스멕틱 C상($Sm C^*$)으로 상전이 시킴으로써 강유전성 액정을 단안정 상태(monostable state)로 배열하게 한다. 도 3에서 "X"는 도면과 수직으로 들어가는 방향으로 일치하는 강유전성 액정의 자발분극 방향과

전기장 방향을 나타낸다.

- <41> 브이 스위칭 모드의 강유전성 액정셀의 전계배향은 전술한 제조공정에서 기관합착/액정주입 공정 후에 실시된다. 전계배향시, 액정패널의 데이터라인들에는 쇼팅바에 공통으로 접속되며 전압이 인가되며, 그와 다른 쇼팅바에 게이트라인들이 공통으로 접속된 상태에서 게이트라인들에 TFT의 문턱전압 이상으로 설정된 스캔전압이 인가된다. 그리고 상부 유리기관의 공통전극에는 공통전압(Vcom)이 인가된다. 이 때, 강유전성 액정에는 공통전극에 인가되는 공통전압과 데이터라인들을 통해 경유하여 화소전극에 인가되는 전압에 의해 수 [V] 정도의 직류전압이 인가된다.
- <42> 도 4a 및 도 4b는 하프 브이 스위칭 모드의 강유전성 액정셀에서 전압에 따른 광투과율의 변화를 나타내는 그래프이다.
- <43> 도 4a를 참조하면, 하프 브이 스위칭 모드의 강유전성 액정셀은 부극성의 전압(-V) 또는 부극성의 전기장에 의해 전계 배향된 경우에 정극성의 전압(+V)이 인가된 경우에만 입사광의 편광방향을 90° 변환함으로써 입사광을 통과시키고 부극성의 전압(-V)이 인가되면 입사광의 편광방향을 유지시켜 입사광을 거의 차단하게 된다. 광투과율은 정극성의 전기장(E(+))의 세기에 비례하여 증가되고 전기장(E(+))의 세기가 소정의 문턱치 이상으로 커지면 최대 값으로 유지된다. 이와 반대로, 하프 브이 스위칭 모드의 강유전성 액정셀이 정극성의 전압(+V) 또는 정극성의 전기장에 의해 전계 배향되면 도 4b와 같이 부극성의 전압(-V)이 인가된 경우에만 입사광을 통과시키고 정극성의 전압(+V)이 인가되면 입사광을 거의 차단하게 된다.
- <44> 이를 도 5와 결부하여 상세히 설명하기로 한다.
- <45> 도 5는 부극성 전기장을 하프 브이 스위칭 모드의 강유전성 액정셀에 인가하여 전계 배향할 때의 강유전성 액정 배열과 정극성 및 부극성의 외부 전기장이 인가될 때의 강유전성 액정 배열의 변화를 나타낸다.
- <46> 도 5를 참조하면, 하프 브이 스위칭 모드의 강유전성 액정셀이 부극성의 외부 전기장(E(-))에 의해 전계 배향되면 강유전성 액정의 자발분극방향(P_s)은 부극성의 외부 전기장(E(-))과 일치하는 방향으로 균일하게 배향된다. 이렇게 전계 배향된 후에 하프 브이 스위칭 모드의 강유전성 액정셀에 정극성의 외부 전기장(E(+))이 인가되면 강유전성 액정의 배열이 바뀌어 그 자발분극방향(P_s)이 정극성의 외부 전기장(E(+))과 일치하게 된다. 이 때 액정표시장치의 하판으로부터 입사된 입사광의 편광방향은 배열이 바뀐 강유전성 액정에 의해 상판의 편광자의 편광방향으로 변환되고 입사광은 상판의 편광자를 통하여 통과된다. 이에 비하여 하프 브이 스위칭 모드의 강유전성 액정셀에 부극성의 외부 전기장(E(-))이 인가되거나 외부 전기장이 인가되지 않으면 강유전성 액정의 배열이 초기 배열 상태를 그대로 유지하여 입사광은 편광방향을 유지하여 상판의 편광자를 통과하지 못하게 된다.
- <47> 그런데 종래의 강유전성 액정셀은 셀갭이 대략 1.2 μm 정도로 낮기 때문에 물리적인 충격에 초기배향이 손상되기 쉬운 문제점이 있다. 이 때문에 강유전성 액정표시장치는 물리적인 충격이 빈번히 발생하는 모듈조립공정에서 초기 전계배향이 손상되기 쉽다. 이렇게 초기배향이 손상된 강유전성 액정패널에 대하여 전계배향을 복원하기 위해서는 TCP를 액정패널로부터 분리시키고 전계배향 전압원을 각 신호배선들에 다시 연결하여야 한다. 따라서, 현재까지 초기배향이 손상된 강유전성 액정패널에 대하여 초기배향을 복원시킬 수 있는 방법이 없는 실정이다.

발명이 이루고자 하는 기술적 과제

- <48> 따라서, 본 발명의 목적은 정상 구동시에 사용되는 구동회로를 장착한 상태에서 실시되는 전계배향 공정시 구동회로의 과도한 부하나 손상을 줄이도록 한 강유전성 액정표시장치를 제공함에 있다.

발명의 구성 및 작용

- <49> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 강유전성 액정표시장치는 데이터라인들에 데이터를 공급하기 위한 데이터 구동회로와, 전계배향 전압을 발생하기 위한 전원과, 상기 데이터 구동회로와 상기 데이터 라인 사이에 접속된 스위치소자, 및 상기 스위치소자와 상기 전원 사이에 접속되어 상기 전원으로부터의 전압을 상기 스위치소자에 공급하기 위한 버斯拉인을 포함하여 전계배향시에 상기 버斯拉인 상의 전압에 응답하여 상기 버斯拉인 상의 전압을 상기 데이터라인들에 공급하는 반면에 정상 구동시에 상기 버斯拉인과 상기 데이터라인 사이의 전류패스를 차단하는 스위치 회로를 구비한다.

- <50> 삭제
- <51> 삭제
- <52> 본 발명의 실시예에 따른 강유전성 액정표시장치는 전계배향시에 전원과 데이터 구동회로 사이의 전류패스를 차단하는 제2 스위치회로를 더 구비한다.
- <53> 상기 스위치회로는 데이터 구동회로와 데이터라인 사이에 접속된 스위치소자와, 스위치소자와 전원 사이에 접속되어 전원으로부터의 전압을 스위치소자에 공급하기 위한 버斯拉인을 구비한다.
- <54> 상기 스위치소자는 N 타입 MOS-FET를 포함한다.
- <55> 상기 스위치소자는 다이오드를 포함한다.
- <56> 상기 제2 스위치회로는 데이터 구동회로와 데이터라인 사이에 접속된 스위치소자와, 스위치소자와 전원 사이에 접속되어 전원으로부터의 전압을 스위치소자에 공급하기 위한 버斯拉인을 구비한다.
- <57> 상기 제2 스위치회로의 스위치소자는 전계배향시에 버斯拉인 상의 전압에 응답하여 데이터 구동회로와 데이터라인 사이의 전류패스를 차단하는 반면에 정상 구동시에 데이터 구동회로와 데이터라인 사이에 전류패스를 형성하기 위한 P 타입 MOS-FET를 포함한다.
- <58> 본 발명의 실시예에 따른 강유전성 액정표시장치는 전계배향시에 전원과 스위치회로 사이에 전류패스를 형성하는 반면에 정상 구동시에 전원과 스위치회로 사이의 전류패스를 차단하고 기저전압원과 스위치회로 사이에 전류패스를 형성하기 위한 스위치소자를 더 구비한다.
- <59> 상기 스위치소자는 데이터 구동회로가 실장된 인쇄회로기판 상에 설치된다.
- <60> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <61> 이하, 도 6 내지 도 14를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <62> 도 6을 참조하면, 본 발명의 제1 실시예에 따른 강유전성 액정표시장치는 강유전성 액정이 주입된 액정패널(62)과, 액정패널(62)의 데이터라인들(DL1 내지 DLm)과 소스 PCB(65) 사이에 접속된 데이터 TCP(63)와, 액정패널(62)의 게이트라인들(GL1 내지 GLn)과 게이트 PCB(68) 사이에 접속된 게이트 TCP(66)를 구비한다.
- <63> 액정패널(62)은 두 장의 유리기관(71,72) 사이에 강유전성 액정이 주입된다. 하부 유리기관(71)의 광입사면과 상부 유리기관(72)의 광출사면 상에는 편광방향이 서로 직교하는 편광자들이 부착된다. 하부 유리기관(71) 상에 형성된 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)은 상호 직교된다. TFT의 게이트전극은 해당 게이트라인(GL1 내지 GLn)에 접속되며, 소스전극은 해당 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극에 접속된다. 또한, 액정패널(62)의 하부유리기판 상에는 액정셀(C1c)의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor : Cst)가 형성된다. 이 스토리지 캐패시터는 k(단, k는 1과 n 사이의 양의 정수) 번째 게이트라인에 접속된 액정셀(C1c)과 k-1 번째의 전단 게이트라인(G1 내지 Gn-1) 사이에 형성될 수도 있으며, k 번째 게이트라인에 접속된 액정셀(C1c)과 별도의 공통라인 사이에 형성될 수도 있다. 액정패널(62)의 상부 유리기관(72) 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극(73)이 형성된다. 공통전극(73)은 빛을 투과시키도록 투명도전성 물질 예르 들면, ITO, IZO 등으로 형성된다. 이 공통전극(73)에는 하부 유리기관(72) 상에 형성된 은 도트(Ag dot)(74)를 경유하여 공통전압(Vcom)이 공급된다. 또한, 액정패널(62)의 상부 유리기관(71)과 하부 유리기관(72) 각각에는 서로 평행 배향처리된 배향막(도시하지 않음)이 형성된다.
- <64> 소스 PCB(65) 상에는 타이밍 콘트롤러 칩(60)과 감마회로 칩(61)이 실장된다. 타이밍 콘트롤러 칩(60)은 수직/수평 동기신호와 클럭신호를 입력받아 데이터 TCP(63)과 게이트 TCP(66)를 제어하기 위한 타이밍 제어신호들을 발생하고 그 타이밍 제어신호들을 데이터 TCP(63)과 게이트 TCP(66)에 공급한다. 또한, 타이밍 콘트롤러 칩(60)은 소스 PCB(65) 상에 형성된 다수의 데이터 버스를 경유하여 소스 TCP 상에 디지털 비디오 데이터를 공급한다. 감마회로 칩(61)은 고전위 공통전압(Vdd)과 저전위 공통전압(Vss)을 분압하여 각각 6 단계의 감마기준전압을 발생하고 각각의 감마기준전압을 분압하여 각 계조에 해당하는 세분화된 정극성/부극성의 아날로그 감마전

압을 발생한다. 감마회로 칩(61)으로부터 발생된 아날로그 감마전압은 데이터 TCP(66)에 공급된다. 또한, 소스 TCP(65) 상에는 데이터 TCP(66)를 경유하여 액정패널(62)에 공통전압(Vcom)을 공급하기 위한 Vcom 단자(65a)가 형성됨과 아울러, 소스 PCB(65) 상에 형성된 타이밍 콘트롤러칩(60), 감마회로 칩(61) 및 데이터 TCP(63)에 기저전압(GND)을 공급하기 위한 GND 단자(65b)가 형성된다. Vcom 단자(65a)는 소스 PCB(65)와 소스 TCP(63) 상에 형성된 배선을 경유하여 하부 유리기관(72) 상에 형성된 은 도트(74)에 접속되어 공통전극(73)에 공통전압(Vcom)을 공급하게 된다. 또한, 소스 PCB(65)의 전원 입력단자에는 대략 3.3V의 Vcc 공통전원을 공급하기 위한 커넥터(도시하지 않음)가 접속되고 소스 PCB(65) 상에는 전원회로(69)가 실장된다. Vcc 공통전원은 타이밍 콘트롤러 칩(60)에 공급되어 타이밍 콘트롤러 칩(60)을 구동시킴과 아울러 전원회로(69)에 공급되어 전원회로(69)를 구동시킨다. 전원회로(69)는 직류/직류 변환기(DC/DC Converter), 펄스폭 제어기, 펄스 주파수 제어기 등을 포함하여 Vcc 공통전원으로부터 6V 이상의 Vdd 전압, 2.5~3.3V 사이의 공통전압(Vcom), 부극성의 Vss 전원, 스캔펄스의 하이논리전압인 대략 15V 이상의 VGH 전압 및 스캔펄스의 로우논리전압인 대략 -4V 이하의 VGL 전압을 발생한다.

<65> 소스 TCP(63)에는 데이터 드라이브 칩(64)이 실장된다. 소스 TCP(63)의 입력 배선은 소스 PCB(65)의 출력패드에 접속되고 소스 TCP(63)의 출력배선은 이방성 도전 필름(Anisotropic Conductive Film : ACF)에 의해 하부 유리기관(72) 상에 형성된 데이터 패드에 접속된다. 데이터 드라이브 칩(64)은 타이밍 콘트롤러 칩(60)으로부터 공급되는 디지털 비디오 데이터를 감마회로 칩(61)으로부터의 정극성 또는 부극성 아날로그 감마전압으로 변환하여 데이터라인들(DL1 내지 DLm)에 공급한다.

<66> 데이터 드라이브 칩(64) 각각은 도 7과 같이 입력라인(70)과 데이터라인(DL) 사이에 종속적으로 접속된 쉬프트 레지스터(82), 제1 래치(81), 제2 래치(83), 디지털-아날로그 변환기(Digital to Analog Converter : 이하, "DAC"라 한다)(84) 및 버퍼(85)를 구비한다. 쉬프트 레지스터(82)는 타이밍 콘트롤러칩(60)으로부터의 소스 스타트 펄스(SSP)를 소스 쉬프트 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 또한, 쉬프트 레지스터(82)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(82)에 캐리신호(CAR)를 전달한다. 제1 래치(81)는 쉬프트 레지스터(82)로부터 입력되는 샘플링신호에 따라 디지털 데이터를 샘플링한다. 제2 래치(83)는 제1 래치(81)로부터 입력되는 디지털 데이터를 래치한 다음, 타이밍 콘트롤러칩(60)으로부터의 소스 출력 신호(SOE)에 응답하여 1 수평라인분의 데이터를 동시에 출력한다. DAC(84)는 강유전성 전계배향시 감마회로칩(61)으로부터 입력되는 저전위 직류전압(VL)이나 고전위 직류전압(VH)으로 변환한다. 그리고 DAC(84)는 정상 구동시에 제2 래치(83)로부터의 디지털 데이터를 타이밍 콘트롤러칩(60)으로부터의 극성신호(POL)에 따라 정극성 아날로그 감마전압(VPG)이나 부극성 아날로그 감마전압(VNG)으로 변환한다. 버퍼(85)는 DAC(84)로부터 입력되는 아날로그 감마전압(VPG, VNG)을 신호감쇠없이 데이터라인(DL1 내지 DLm)으로 출력하는 역할을 한다. 도 7에 있어서, 도면부호 'Rs'는 데이터 드라이브 칩(64)의 출력단자와 데이터라인들(DL1 내지 DLm) 사이의 선저항을 의미한다.

<67> 게이트 PCB(68)에는 소스 PCB(65)로부터 공통전압(Vcom), 기저전압(GND), VGH 전압, VGL 전압 및 게이트 TCP(66)를 제어하기 위한 제어신호들이 공급된다. 이 게이트 PCB(68)에는 소스 PCB(65)와 마찬가지로, Vcom 단자(68a)와 GND 단자(68b)가 형성된다. 이 게이트 PCB(68)의 출력배선과 하부 유리기관(72)의 게이트 패드들 사이에 게이트 TCP(66)가 접속된다.

<68> 게이트 TCP(66)에는 게이트 드라이브 칩(67)이 실장된다. 게이트 TCP(66)의 입력 배선은 게이트 PCB(68)의 출력패드에 접속되고 게이트 TCP(66)의 출력배선은 이방성 도전 필름(Anisotropic Conductive Film : ACF)에 의해 하부 유리기관(72) 상에 형성된 게이트 패드에 접속된다. 게이트 드라이브 칩(67)은 타이밍 콘트롤러 칩(60)으로부터 공급되는 제어신호에 응답하여 스캔펄스를 게이트라인들(GL1 내지 GLn)에 순차적으로 공급한다.

<69> 이러한 강유전성 액정표시장치의 전계배향방법을 설명하면 다음과 같다. 먼저, 액정패널(62)에 주입된 강유전성 액정은 대략 100℃ 내외의 초기온도 하에서 상하판의 배향막이 평행하게 배향처리된 액정패널(12) 내에 주입된다. 이어서, 등방상에서 네마틱상(N*)으로 상전이되게 하는 대략 90℃~100℃ 정도의 전이온도(Tni) 하에서 등방상의 강유전성 액정은 네마틱상(N*)으로 변하게 된다. 이어서, 네마틱상에서 스멕틱 C상(Sm C*)으로 상전이되게 하는 대략 60℃~80℃ 정도의 전이온도(Tsn) 이하까지 온도가 더 낮추어지면, 강유전성 액정의 배열은 네마틱상(N*)에서 스멕틱 C상(Sm C*)으로 변하게 된다. 이 전이온도(Tsn) 하에서 강유전성 액정의 전계배향이 실시된다.

<70> 강유전성 액정의 전계배향시 소스 PCB(65)에는 Vcc 전압이 공급되지 않고 소스 PCB(65)와 게이트 PCB(68) 각각에 형성된 Vcom 단자(65a, 68a)와 GND 단자(65b, 68b)에는 강유전성 액정을 전계배향하기 위한 대략 수 V 정도의

직류전압이 인가된다. 타이밍 콘트롤러 칩(60)과 전원회로(69)에는 Vcc 전압이 공급되지 않기 때문에 감마회로 칩(61)에는 분압을 위한 공통전압 즉, Vdd 전압과 Vss 전압이 공급되지 않는다.

<71> 감마회로 칩(61)에 도 8과 같이 Vdd 전압과 Vss 전압이 공급되지 않으면 다수의 분압저항들(R1 내지 R5)을 포함하는 분압회로의 입력단은 플로팅(floating) 상태로 된다. 이 때, 분압저항들(R1 내지 R5)에는 전류가 흐르지 않으므로 분압저항들(R1 내지 R5)의 사이에 형성된 각 감마기준전압의 출력노드(GMA1 내지 GMA5)에는 GND 단자(65b, 68b)로부터 입력되는 직류전압(VL, VH)과 등전위의 전압이 인가된다. 또한, 각각의 감마전압을 다시 분압하여 세분화된 감마전압을 생성하기 위한 분압회로 각각의 출력단에도 GND 단자(65b, 68b)로부터 입력되는 직류전압(VL, VH)과 등전위의 전압이 인가된다. 따라서, 감마회로 칩(61)으로부터 데이터 드라이브 칩(64)에 공급되는 아날로그 감마전압은 도 8과 같이 데이터 드라이브 칩(64)에 공급되는 디지털 비디오 데이터의 계조값에 관계없이 일정하게 된다.

<72> 본 발명의 실시예에 따른 강유전성 액정의 전계 배향방법은 강유전성 액정의 전계배향시 Vcom 단자(65a, 68a)에 고전위 직류전압(VH)을 인가하고 GND 단자(65b, 68b)에 저전위 직류전압(VL)을 인가한다. 또한, 본 발명의 다른 실시예에 따른 강유전성 액정의 전계 배향방법은 강유전성 액정의 전계배향시 Vcom 단자(65a, 68a)에 저전위 직류전압(VL)을 인가하고 GND 단자(65b, 68b)에 고전위 직류전압(VH)을 인가한다. 고전위 직류전압(VH)과 저전위 직류전압(VL)의 전압차는 강유전성 액정을 전계배향할 수 있는 수 V 정도로 설정된다.

<73> Vcom 단자(65a, 68a)에 고전위 직류전압(VH)이 인가되고 GND 단자(65b, 68b)에 저전위 직류전압(VL)이 인가된다면 상부 유리기관(71)에 형성된 액정셀(C1c)의 공통전극(73)에는 Vcom 단자(65a, 68a)와 은 도트(74)를 경유하여 고전위 직류전압(VH)이 인가된다. 이와 동시에, 강유전성 액정을 사이에 두고 공통전극(73)과 대향하는 액정셀(C1c)의 화소전극에는 저전위 직류전압(VL)이 인가된다. 이 때, 데이터 드라이브 칩(64)에는 타이밍 콘트롤러 칩(69)이 구동되지 않기 때문에 데이터가 인가되지 않거나 값이 랜덤하게 선택된 데이터가 인가된다. 이렇게 데이터 드라이브 칩(64)에 인가되는 데이터는 '000000'(혹은 '00000000')이거나 계조값이 랜덤하게 선택된 데이터가 인가되므로 도 10과 같이 디지털 데이터를 아날로그 감마전압으로 변환하기 위한 데이터 드라이브 칩(64)의 디지털-아날로그 변환기(74)는 도 9와 같이 계조값에 관계없이 GND 단자(65b, 68b)에 인가된 저전위 직류전압(VL)을 데이터라인들(DL1 내지 DLm)에 공급한다.

<74> 이와 달리, Vcom 단자(65a, 68a)에 저전위 직류전압(VL)이 인가되고 GND 단자(65b, 68b)에 고전위 직류전압(VH)이 인가된다면 상부 유리기관(71)에 형성된 액정셀(C1c)의 공통전극(73)에는 Vcom 단자(65a, 68a)와 은 도트(74)를 경유하여 저전위 직류전압(VL)이 인가된다. 이와 동시에, 강유전성 액정을 사이에 두고 공통전극(73)과 대향하는 액정셀(C1c)의 화소전극에는 고전위 직류전압(VH)이 인가된다.

<75> 전원회로(69)로부터 게이트하이전압(VGH)이나 게이트로우전압(VGL)이 발생되지 않기 때문에 전계배향시 게이트라인들(GL1 내지 GLm)은 0V를 유지하거나 플로팅상태를 유지한다. 따라서, 전계배향시 데이터라인들(DL1 내지 DLm) 상의 전압은 TFT의 누설전류로써 액정셀(C1c)의 화소전극에 인가된다.

<76> 그런데 액정표시장치의 구동회로는 기본적으로 정상 구동시를 기준으로 설계된다. 이 때문에 패널 전체에 전류가 인가되는 전계배향시에 데이터 드라이브 칩(64)은 과도한 부하에 의해 손상될 수 있다.

<77> 본 발명의 제2 실시예에 따른 강유전성 액정의 전계배향방법과 이를 이용한 액정표시장치는 전계배향시 데이터 드라이브 칩(64)에 영향을 주는 과도한 부하를 줄이게 된다. 이러한 본 발명의 제2 실시예에 따른 강유전성 액정의 전계배향방법과 이를 이용한 액정표시장치에 대하여 도 11 내지 도 14를 결부하여 상세히 설명하기로 한다.

<78> 도 11을 참조하면, 본 발명의 제2 실시예에 따른 강유전성 액정표시장치는 $m \times n$ 개의 액정셀들(C1c)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 TFT가 형성된 액정패널(102)과, 액정패널(102)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(101)와, 액정패널(102)의 게이트라인들(G1 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(103)와, 데이터 구동회로(101)와 데이터라인들(D1 내지 Dm) 사이에 접속된 전계배향/정상구동 스위치회로(104)와, TFT의 문턱전압 미만의 전압을 게이트라인들(G1 내지 Gn)에 공급하기 위한 배향 전압원(103)과, 데이터 구동회로(101)를 제어하기 위한 타이밍 콘트롤러(100)와, 전계배향전압과 기저전압(GND) 중 어느 하나를 선택하고 선택된 전압을 전계배향/정상구동 스위치회로(104)에 공급하기 위한 스위치소자(105)를 구비한다.

<79> 액정패널(102)은 도 6에 도시된 그 것과 실질적으로 동일하다.

<80> 데이터 구동회로(101)는 도 6 및 도 7에 도시된 다수의 데이터 드라이브 칩(64)을 포함한다. 이 데이터 구동회

로(101)는 정상 구동시에 타이밍 콘트롤러(100)의 제어 하에 디지털 비디오 데이터(RGB)를 아날로그 감마전압으로 변환하고 그 아날로그 감마전압을 데이터라인들(D1 내지 Dm)에 공급한다.

- <81> 강유전성 액정의 전계 배향시에는 감마회로 칩(61)과 타이밍 콘트롤러(60)로부터 데이터 구동회로(101)에 어떠한 전압도 공급되지 않는다. 따라서, 강유전성 액정의 전계배향시에 데이터 구동회로(101)는 아무런 전압도 발생하지 않는다.
- <82> 게이트 구동회로(103)는 정상 구동시에 게이트 타이밍 콘트롤러(100)의 제어 하에 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급한다. 이 게이트 구동회로(103)는 도 6에 도시된 게이트 드라이브 칩(67)로 집적된다.
- <83> 강유전성 액정의 전계 배향시에는 게이트라인들(G1 내지 Gn)에 0~1V 사이의 전압이 인가된다. 또한, 전계 배향시 게이트라인들(G1 내지 Gn)은 강유전성 액정의 전계배향시에 배향전압원(103)으로부터 전압이 공급되지 않고 플로팅 상태를 유지할 수 있다. 이렇게 게이트라인들(G1 내지 Gn)에 0~1V 사이의 전압이 인가되거나 게이트라인들(G1 내지 Gn)이 플로팅 상태를 유지하는 경우에 강유전성 액정의 전계배향시에 TFT는 오프 상태이지만 TFT의 소스단자와 드레인단자 사이에 누설전류가 발생한다. 이러한 누설전류에 의하여 데이터라인들(D1 내지 Dm) 상의 전압은 TFT의 소스단자와 드레인단자를 경유하여 화소전극에 공급된다.
- <84> 전계배향/정상구동 스위치회로(104)는 강유전성 액정의 전계 배향시에 데이터 구동회로(101)와 데이터라인들(D1 내지 Dm) 사이의 전류패스를 차단하고 전계배향 전압원과 데이터라인들(D1 내지 Dm) 사이의 전류패스를 도통시켜 전계배향에 필요한 직류전압 예를 들면, 5V를 데이터라인들(D1 내지 Dm)에 공급한다. 반면에, 정상 구동시에 전계배향/정상구동 스위치회로(104)는 데이터 구동회로(101)와 데이터라인들(D1 내지 Dm) 사이의 전류패스를 도통하여 데이터 구동회로(101)로부터의 아날로그 전압을 데이터라인들(D1 내지 Dm)에 공급하고 전계배향 전압원과 데이터라인들(D1 내지 Dm) 사이의 전류패스를 차단한다.
- <85> 스위치(105)는 전계배향 전압원(5V)과 기저전압원(GND) 및 전계배향/정상구동 스위치회로(104) 사이에 접속되어 강유전성 액정의 전계배향시에 전계배향 전압(5V)을 전계배향/정상구동 스위치회로(104)에 공급한다. 반면에, 스위치(105)는 정상구동시에 기저전압(GND)을 전계배향/정상구동 스위치회로(104)에 공급한다. 이 스위치(105)는 도 6에서 소스 PCB(65) 상에 형성되거나 타이밍 콘트롤러(100)에 내장될 수 있다.
- <86> 타이밍 콘트롤러(100)는 강유전성 액정의 전계배향시 동작하지 않고 정상 구동시에 디지털 비디오 데이터(RGG)를 데이터 구동회로(101)에 공급함과 아울러 수직/수평 동기신호(V,H)와 메인클럭(MCLK)을 이용하여 데이터 구동회로(101)와 게이트 구동회로(103)를 제어하기 위한 제어신호들(DDC,GDC)을 발생한다. 데이터 제어신호(DDC)는 소스스타트펄스(Source Start Pulse : SSP), 소스쉬프트클럭(Source Shift Clock : SSC), 소스출력신호(Source Output Enable : SOE), 극성신호(Polarity : POL) 등을 포함한다. 게이트 제어신호(GDC)는 게이트스타트펄스(Gate Start Pulse : GSP), 게이트쉬프트클럭(Gate Shift Clock : GSC), 게이트출력신호(Gate Output Enable : GOE) 등을 포함한다. 이 타이밍 콘트롤러(100)는 도 6에 도시된 칩(60)으로 집적된다.
- <87> 한편, 스위치(105)가 타이밍 콘트롤러(100) 내에 내장되는 경우에 타이밍 콘트롤러(100) 내의 스위치(105)는 강유전성 액정의 전계배향시 사용자에 의해 동작하여 전계배향전압(105)을 전계배향/정상구동 스위치회로(104)에 공급한다.
- <88> 도 12 내지 도 14는 본 발명의 실시예에 따른 전계배향/정상구동 스위치회로(104)를 상세히 나타낸다.
- <89> 도 12를 참조하면, 본 발명의 제1 실시예에 따른 전계배향/정상구동 스위치회로(104)는 데이터 구동회로(101)의 출력단자와 스위치(105) 사이에 접속된 N 타입 MOS-FET(NT)와, 스위치(105)와 다수의 N 타입 MOS-FET(NT) 사이에 접속된 버스라인(111)을 구비한다.
- <90> MOS-FET(NT)의 소스단자와 게이트단자는 버스라인(111)에 접속되고 MOS-FET(NT)의 드레인단자는 데이터 구동회로(101)의 출력단자에 접속된다. 이 MOS-FET(NT)는 버스라인(111) 상의 전압이 자신의 문턱전압보다 높을 때 턴-온되어 버스라인(111) 상의 전압을 데이터라인들(D1 내지 Dm)에 공급하며, 버스라인(111) 상의 전압이 자신의 문턱전압보다 낮을 때 턴-오프되어 버스라인(111)과 데이터라인들(D1 내지 Dm) 사이의 전류패스를 차단한다. 따라서, MOS-FET(NT)는 스위치(105)로부터 전계배향 전압(5V)이 공급되는 강유전성 액정의 전계배향시에 전계배향 전압(5V)을 데이터라인들(D1 내지 Dm)에 공급하는 반면에, 스위치(105)로부터 기저전압(GND)이 공급되는 정상 구동시에 데이터 구동회로(101)로부터의 아날로그 감마전압을 데이터라인들(D1 내지 Dm)에 공급한다.
- <91> 도 13을 참조하면, 본 발명의 제2 실시예에 따른 전계배향/정상구동 스위치회로(104)는 데이터 구동회로(101)의

출력단자와 스위치(105) 사이에 접속된 다이오드(D)와, 스위치(105)와 다수의 다이오드(D) 사이에 접속된 버스라인(121)을 구비한다.

<92> 다이오드(D)의 애노드단자는 버스라인(121)에 접속되고 다이오드(D)의 캐소드단자는 데이터 구동회로(101)의 출력단자에 접속된다. 이 다이오드(D)는 버스라인(121) 상의 전압이 자신의 문턱전압보다 높을 때 버스라인(121)과 데이터라인들(D1 내지 Dm) 사이의 전류패스를 형성하며, 버스라인(111) 상의 전압이 자신의 문턱전압보다 낮을 때 버스라인(121)과 데이터라인들(D1 내지 Dm) 사이의 전류패스를 차단한다. 따라서, 다이오드(D)는 스위치(105)로부터 전계배향 전압(5V)이 공급되는 강유전성 액정의 전계배향시에 전계배향 전압(5V)을 데이터라인들(D1 내지 Dm)에 공급하는 반면에, 스위치(105)로부터 기저전압(GND)이 공급되는 정상 구동시에 데이터 구동회로(101)로부터의 아날로그 감마전압을 데이터라인들(D1 내지 Dm)에 공급한다.

<93> 도 14를 참조하면, 본 발명의 제3 실시예에 따른 전계배향/정상구동 스위치회로(104)는 데이터 구동회로(101)의 출력단자와 스위치(105) 사이에 접속된 N 타입 MOS-FET(NT)와, 스위치(105)와 다수의 N 타입 MOS-FET(NT) 사이에 접속된 버스라인(131)과, 버스라인(131)과 데이터 구동회로(101)의 출력단 사이에 접속된 P 타입 MOS-FET(PT)를 구비한다.

<94> N 타입 MOS-FET(NT)는 스위치(105)로부터 전계배향 전압(5V)이 공급되는 강유전성 액정의 전계배향시에 전계배향 전압(5V)을 데이터라인들(D1 내지 Dm)에 공급하는 반면에, 스위치(105)로부터 기저전압(GND)이 공급되는 정상 구동시에 데이터 구동회로(101)로부터의 아날로그 감마전압을 데이터라인들(D1 내지 Dm)에 공급한다. 이 N 타입 MOS-FET(NT)는 도 13과 같이 애노드단자가 버스라인에 접속되고 캐소드단자가 데이터라인들(D1 내지 Dm)에 접속된 다이오드(D)로 대신될 수 있다.

<95> P 타입 MOS-FET(PT)의 게이트단자는 버스라인(111)에 접속되고 소스단자는 데이터 구동회로(101)의 출력단자에 접속된다. 그리고 P 타입 MOS-FET(PT)의 드레인단자는 데이터라인들(D1 내지 Dm)에 접속된다. 이 P 타입 MOS-FET(PT)는 버스라인(131) 상의 전압이 자신의 문턱전압보다 높을 때 턴-오프되어 데이터 구동회로(101)와 데이터라인들(D1 내지 Dm) 사이의 전류패스를 차단하는 반면, 버스라인(111) 상의 전압이 자신의 문턱전압보다 낮을 때 턴-온되어 데이터 구동회로(101)와 데이터라인들(D1 내지 Dm) 사이의 전류패스를 형성한다. 이 P 타입 MOS-FET(PT)에 의해 강유전성 액정의 전계배향시에 버스라인(131)이나 데이터라인들(D1 내지 Dm) 상의 전류나 전압이 데이터 구동회로(101)에 영향을 줄 수 없게 된다.

발명의 효과

<96> 상술한 바와 같이, 본 발명의 실시예에 따른 강유전성 액정의 전계배향방법과 이를 이용한 액정표시장치는 데이터 구동회로의 출력단과 데이터라인들 사이에 전계배향/스위치회로를 설치하여 전계배향 모드에서 전계배향전압원과 데이터라인들 사이에 전류패스를 형성하는 반면, 정상구동 모드에서 전계배향전압원과 데이터라인들 사이의 전류패스를 차단하고 데이터 구동회로의 출력단과 데이터라인들 사이의 전류패스를 형성한다. 그 결과, 본 발명의 실시예에 따른 강유전성 액정의 전계배향방법과 이를 이용한 액정표시장치는 정상 구동시에 사용되는 구동회로를 장착한 상태에서 실시되는 전계배향 공정시 구동회로의 과도한 부하나 손상을 줄일 수 있다.

<97> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 브이 스위칭 모드의 강유전성 액정의 전압 대 투과율 특성을 나타낸 그래프이다.

<2> 도 2는 하프 브이 스위칭 모드의 강유전성 액정의 상전이 과정을 나타내는 도면이다.

<3> 도 3은 하프 브이 스위칭 모드의 강유전성 액정에 전계배향여부에 따른 분자배열의 변화를 나타내는 도면이다.

<4> 도 4a 및 도 4b는 하프 브이 스위칭 모드의 전압 대 투과율특성을 나타내는 그래프이다.

<5> 도 5는 전계 배향시의 전기장과 구동시 인가되는 전기장에 반응하는 하프 브이 스위칭 모드의 강유전성 액정을

나타내는 도면이다.

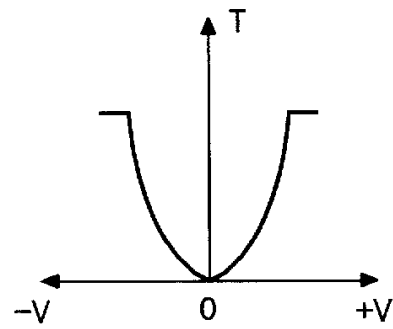
- <6> 도 6은 본 발명의 제1 실시예에 따른 액정표시장치를 나타는 블록도이다.
- <7> 도 7은 도 6에 도시된 데이터 구동회로를 상세히 나타내는 회로도이다.
- <8> 도 8은 도 6에 도시된 감마회로 칩의 감마회로를 나타내는 회로도이다.
- <9> 도 9는 도 6에 도시된 감마회로 칩으로부터 출력되는 감마전압을 나타내는 그래프이다.
- <10> 도 10은 도 7에 도시된 디지털-아날로그 변환기에 입력되는 전압을 나타내는 회로도이다.
- <11> 도 11은 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- <12> 도 12는 도 11에 도시된 전계배향/정상구동 스위치회로의 제1 실시예를 나타내는 회로도이다.
- <13> 도 13은 도 11에 도시된 전계배향/정상구동 스위치회로의 제2 실시예를 나타내는 회로도이다.
- <14> 도 14는 도 11에 도시된 전계배향/정상구동 스위치회로의 제3 실시예를 나타내는 회로도이다.

<15> <도면의 주요 부분에 대한 부호의 설명>

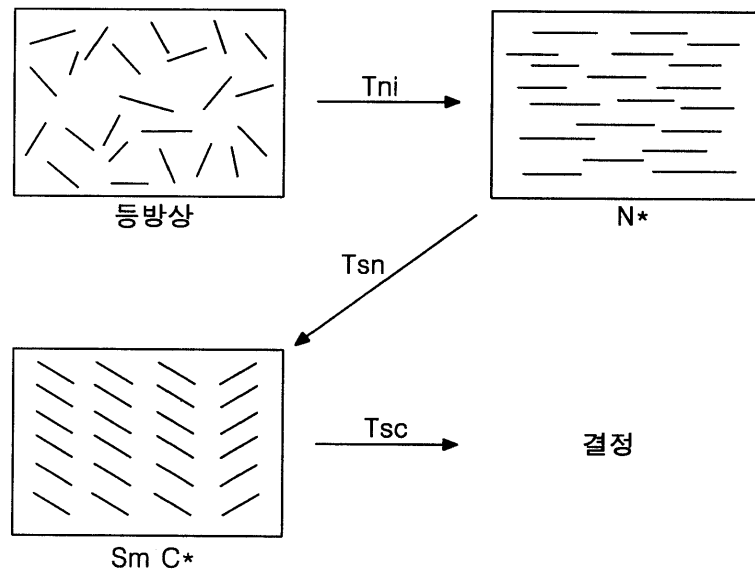
- | | |
|---|---|
| <ul style="list-style-type: none"> <16> 60 : 타이밍 콘트롤러 칩 <17> 62 : 액정패널 <18> 64 : 데이터 드라이브 칩 <19> 66 : 게이트 TCP <20> 68 : 게이트 PCB <21> 65a, 68a : Vcom 단자 <22> 81 : 제1 래치 <23> 83 : 제2 래치 <24> 85 : 버퍼 <25> 101 : 데이터 구동회로 <26> 104 : 전계배향/정상구동 스위치회로 <27> NT : N 타입 MOS-FET <28> D : 다이오드 | <ul style="list-style-type: none"> 61 : 감마회로 칩 63 : 데이터 TCP 65 : 소스 PCB 67 : 게이트 드라이브 칩 69 : 전원회로 65b, 68b : GND 단자 82 : 쉬프트 레지스터 84 : 디지털-아날로그 변환기 100 : 타이밍 콘트롤러 103 : 게이트 구동회로 105 : 스위치 PT : P 타입 MOS-FET |
|---|---|

도면

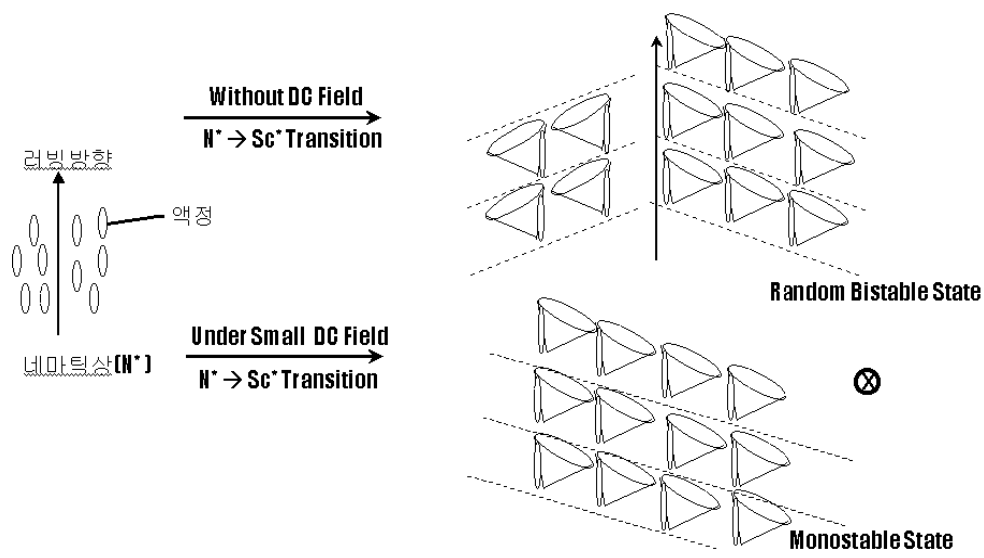
도면1



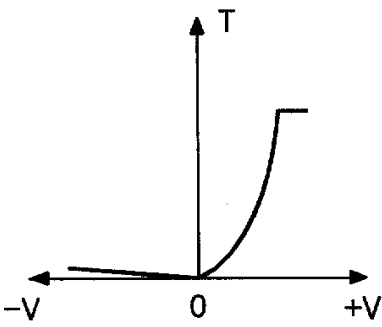
도면2



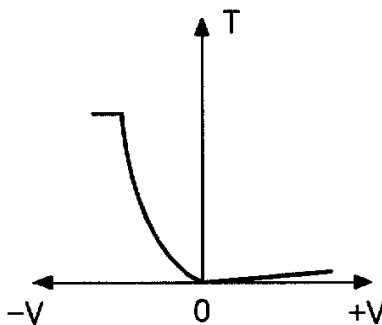
도면3



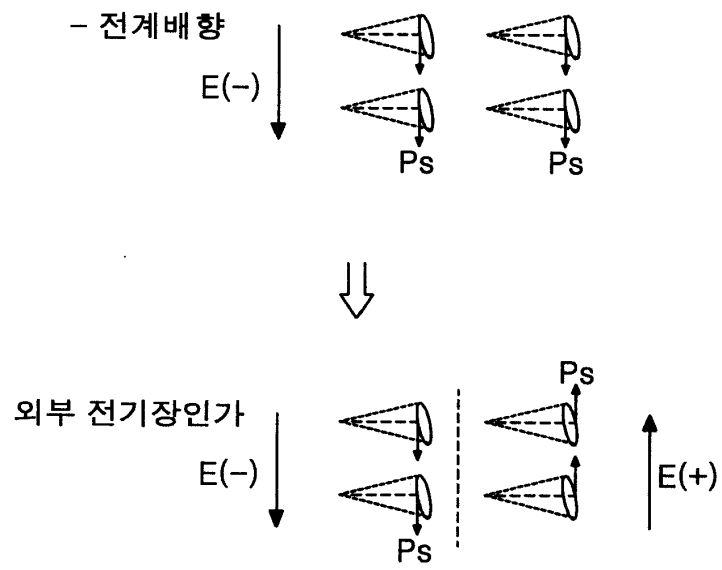
도면4a



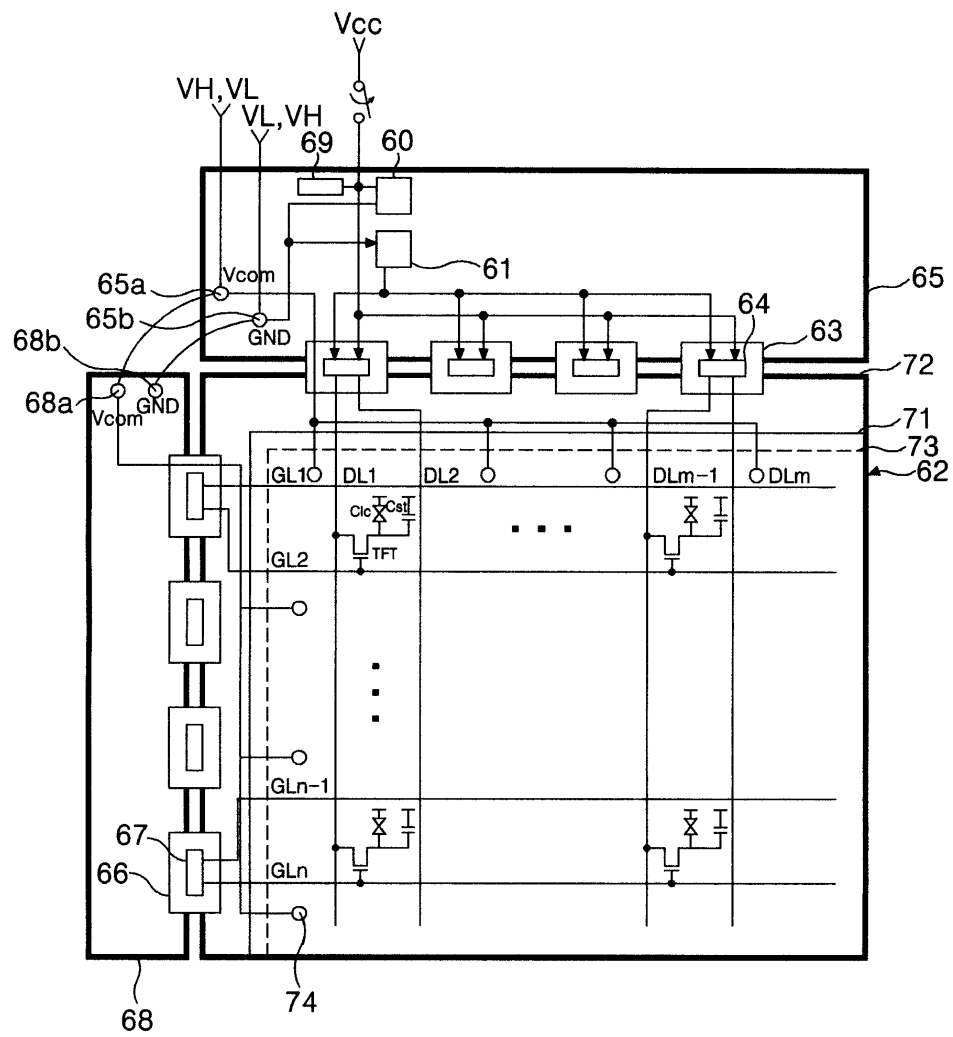
도면4b



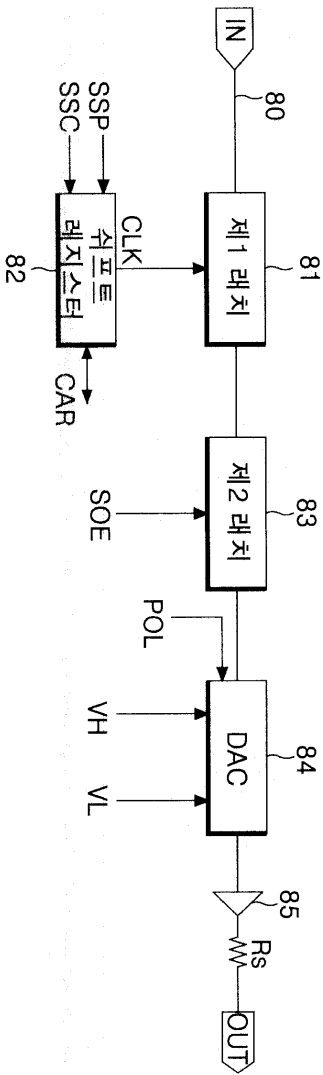
도면5



도면6

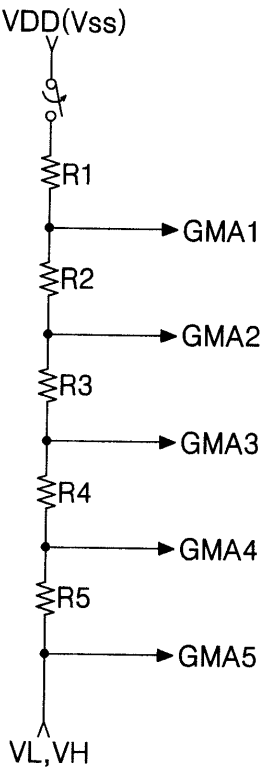


도면7

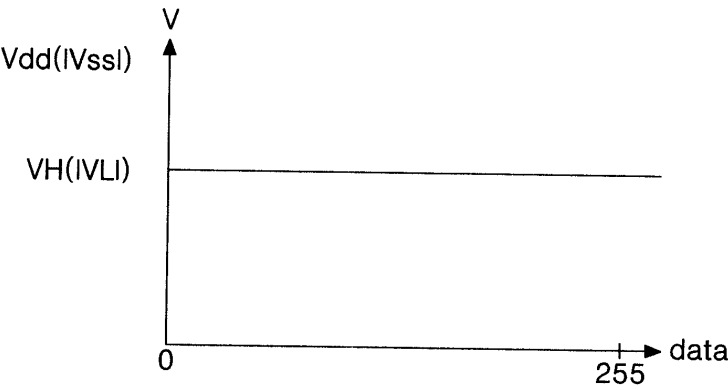


64, 104

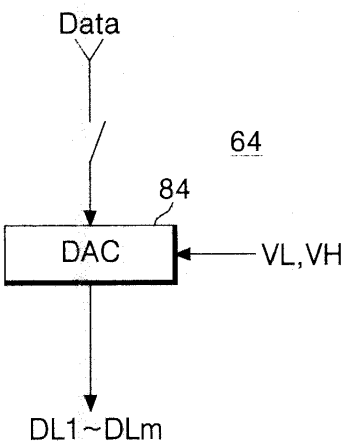
도면8



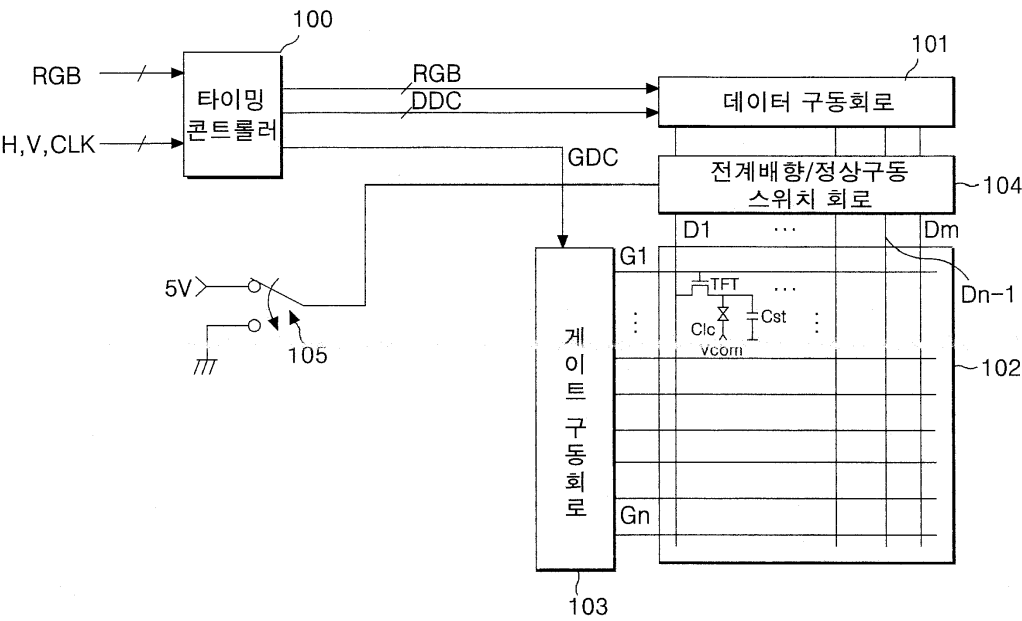
도면9



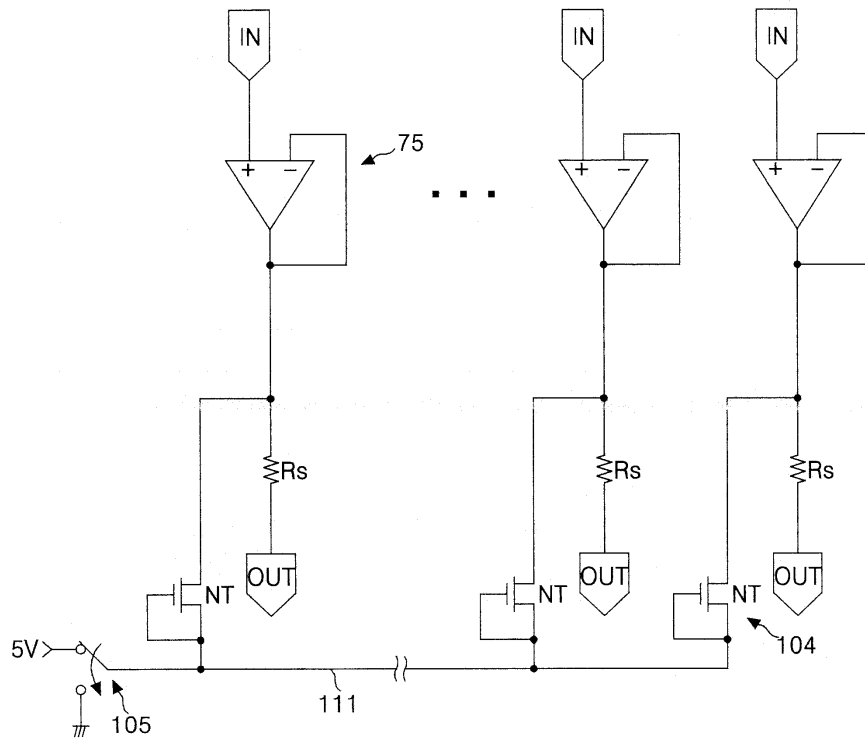
도면10



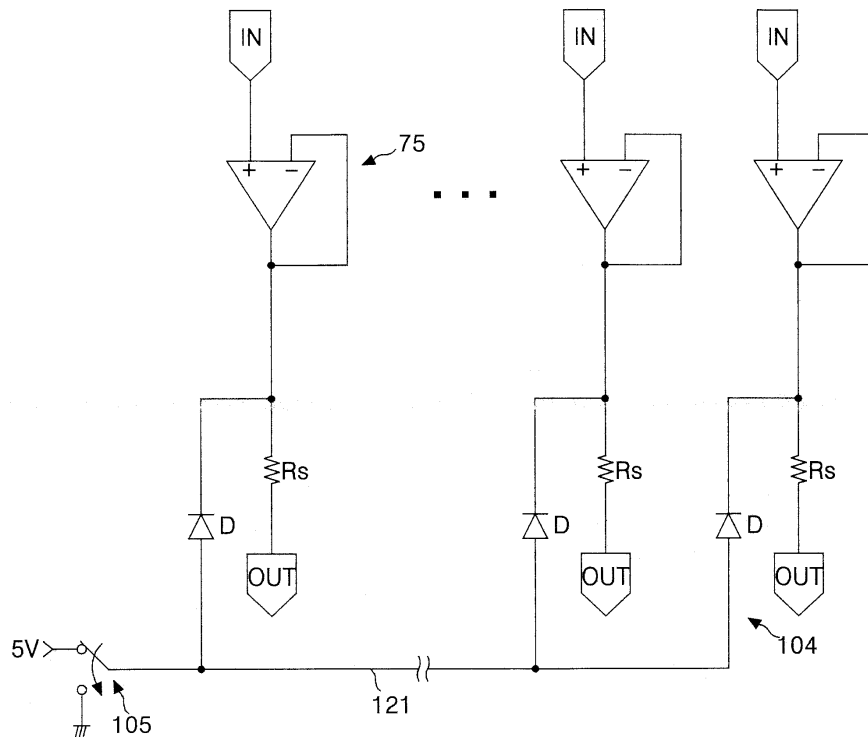
도면11



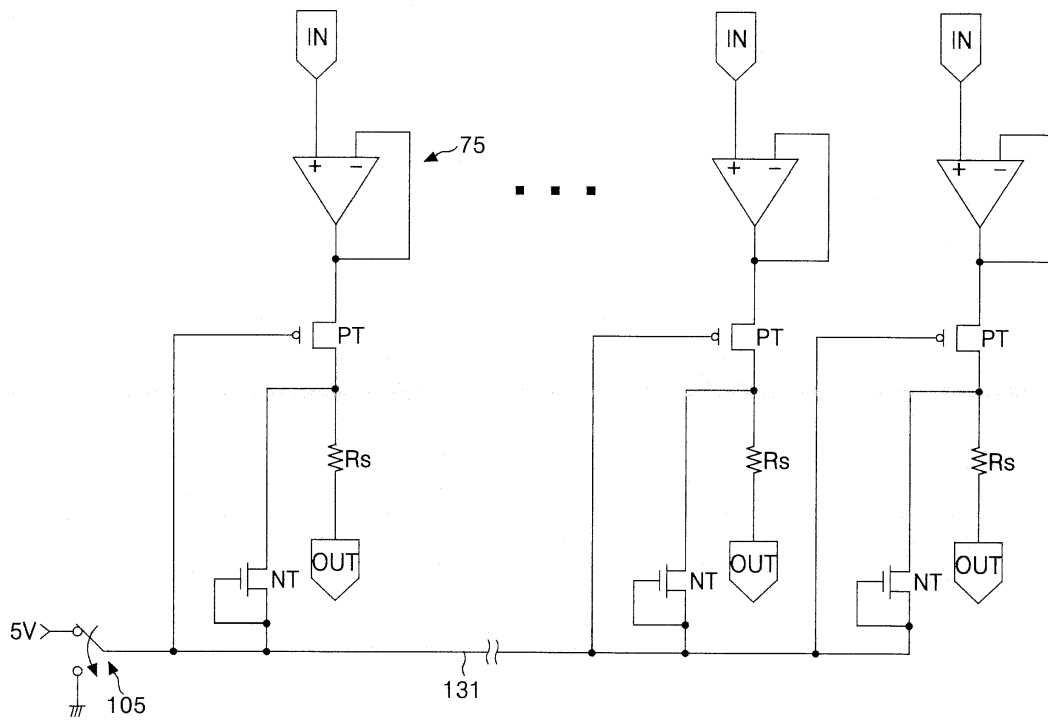
도면12



도면13



도면14



专利名称(译)	铁电液晶显示器		
公开(公告)号	KR100923349B1	公开(公告)日	2009-10-22
申请号	KR1020020079352	申请日	2002-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HONGCHUL		
发明人	KIM,HONGCHUL		
IPC分类号	G02F1/133		
其他公开文献	KR1020040051424A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，使用在同一时间在过大的负荷或损坏线驱动时驱动在电场取向处理的状态正常获得，使得安装的实施例的铁电液晶的磁场定向的方法进行。为此，在数据线使用的其用于产生场取向电压的电源，以及用于在数据驱动电路和数据线之间提供数据的数据驱动器以及连接在开关元件和电源之间的总线，用于从电源向开关元件提供电压，其中响应于总线上的电压，一种开关电路，用于在正常操作期间阻断总线和数据线之间的电流路径，同时向数据线提供电压和。

