



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월28일
(11) 등록번호 10-0880222
(24) 등록일자 2009년01월16일

(51) Int. Cl.⁹

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2007-0089103

(22) 출원일자 2007년09월03일

심사청구일자 2007년09월03일

(56) 선행기술조사문헌

KR1020050031166 A

KR1020000056478 A

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

박만규

서울 은평구 수색동 16-2번지 수색아파트 201호

정양석

경기 고양시 일산서구 일산동 1077 후곡마을 건영
아파트 1502동1403호

(뒷면에 계속)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 11 항

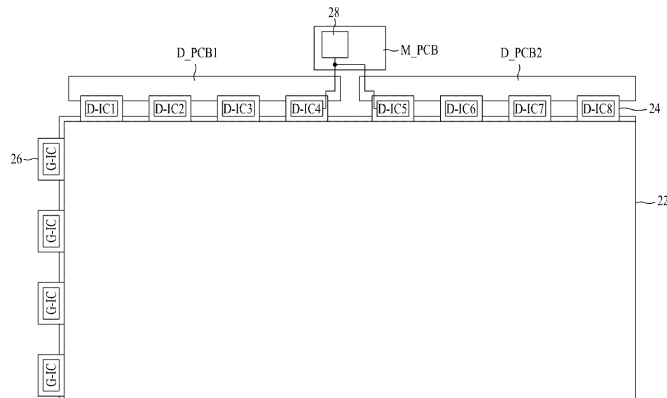
심사관 : 이성현

(54) 액정 표시장치의 구동장치와 그 구동방법

(57) 요약

본 발명은 데이터 드라이버의 출력 피크 전류를 감소시킴으로써 전자기적 간섭 노이즈를 최소화할 수 있으면서도 데이터 신호들의 평균 충전 시간을 매 프레임 단위로 동일하게 하여 화질을 향상시킬 수 있도록 한 액정 표시장치의 구동장치와 그 구동방법에 관한 것으로, 액정패널의 데이터 라인을 구동하는 다수의 데이터 집적회로를 포함하는 적어도 하나의 데이터 드라이버; 기준 SOE 신호를 포함한 다수의 제어신호를 생성하여 상기 각 데이터 드라이버를 제어하는 타이밍 컨트롤러; 상기 다수의 제어신호들 중 GSP 또는 POL 신호에 따라 상기 기준 SOE 신호를 순방향 또는 역방향의 신호라인으로 출력하는 스위칭 회로부; 및 상기 순방향 또는 역방향의 신호라인을 통해 입력되는 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 상기 각 데이터 집적회로에 각각 공급하는 적어도 하나의 SOE 지연부를 구비한 것을 특징으로 한다.

대표도



(72) 발명자

이송재

경기 파주시 월롱면 덕은리파주LCD산업단지 정다운
마을 101동506호

김영호

경북 칠곡군 북삼읍 송오1리 화성파크아파트 102동
206호

특허청구의 범위

청구항 1

액정패널의 데이터 라인을 구동하는 다수의 데이터 집적회로를 포함하는 적어도 하나의 데이터 드라이버;

기준 SOE(Source Output Enable) 신호를 포함한 다수의 제어신호를 생성하여 상기 각 데이터 드라이버를 제어하는 타이밍 컨트롤러;

상기 다수의 제어신호들 중 GSP(Gate Start Pulse) 또는 POL(Polarity) 신호에 따라 상기 기준 SOE 신호를 순방향 또는 역방향의 신호라인으로 출력하는 스위칭 회로부; 및

상기 순방향 또는 역방향의 신호라인을 통해 입력되는 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 상기 각 데이터 집적회로에 각각 공급하는 적어도 하나의 SOE 지연부를 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 2

제 1 항에 있어서,

상기 각 SOE 지연부는

상기 순방향 또는 역방향의 신호라인에 직렬로 접속되어 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 출력하는 다수의 RC 지연회로를 더 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 3

제 2 항에 있어서,

상기 각 SOE 지연부는

상기 각 서브 SOE 신호의 지연시간을 상기 기준 SOE 신호가 경유하는 상기 RC 지연회로의 수에 비례하도록 증가시킴과 아울러, 상기 경유하는 RC 지연회로의 RC 시정수 합에 의해 결정하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 4

제 1 항에 있어서,

상기 스위칭 회로부는

상기 GSP 또는 POL 신호에 따라 하이 또는 로우 레벨의 선택신호를 출력하는 신호 분주회로, 및

상기 하이 또는 로우 레벨의 선택신호에 따라 상기 기준 SOE 신호를 상기 순방향 또는 역방향 신호라인에 순차적으로 공급하는 스위칭 회로를 더 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 5

제 4 항에 있어서,

상기 신호 분주회로는

상기 GSP가 공급되면 적어도 한 프레임 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 상기 스위칭 회로에 교번적으로 순차 공급하고,

상기 POL 신호가 공급되면 적어도 한 수평기간 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 상기 스위칭 회로에 교번적으로 순차 공급하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 6

제 4 항에 있어서,

상기 스위칭 회로부는

상기 타이밍 컨트롤러에 내장된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 7

기준 SOE(Source Output Enable) 신호를 포함한 다수의 제어신호를 생성하는 단계;

상기 다수의 제어신호들 중 GSP(Gate Start Pulse) 또는 POL(Polarity) 신호에 따라 상기 기준 SOE 신호를 순방향 또는 역방향 신호라인으로 출력하는 단계; 및

상기 순방향 또는 역방향 신호라인으로 입력되는 상기 기준 SOE 신호를 지연시켜서 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호를 생성하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 기준 SOE 신호의 출력 단계는

상기 GSP 또는 POL 신호에 따라 하이 또는 로우 레벨의 선택신호를 출력하는 단계, 및

상기 하이 또는 로우 레벨의 선택신호에 따라 상기 기준 SOE 신호를 상기 순방향 또는 역방향 신호라인에 순차적으로 출력하는 단계를 더 포함한 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 선택신호의 출력 단계는

상기 GSP가 공급되면 적어도 한 프레임 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 교번적으로 순차 출력하고,

상기 POL 신호가 공급되면 적어도 한 수평기간 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 교번적으로 순차 출력하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 10

제 7 항에 있어서,

상기 서브 SOE 신호 생성단계는

상기 순방향 또는 역방향을의 신호라인에 직렬로 접속된 다수의 RC 지연회로를 이용하여 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 출력하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 서브 SOE 신호 생성단계는

상기 각 서브 SOE 신호의 지연시간을 상기 기준 SOE 신호가 경유하는 상기 각 RC 지연회로의 수에 비례하도록 증가시키고 아울러, 상기 경유하는 RC 지연회로의 RC 시정수 합에 의해 결정하는 것을 특징으로 하는 액정 표시장치의 구동방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 액정 표시장치에 관한 것으로, 특히 데이터 드라이버의 출력 피크 전류를 감소시킴으로써 전자기적 간섭 노이즈를 최소화할 수 있으면서도 데이터 신호들의 평균 충전 시간을 프레임 단위로 동일하게 하여 화질을 향상시킬 수 있도록 한 액정 표시장치의 구동장치와 그 구동방법에 관한 것이다.

배 경 기 술

- <2> 액정 표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정은 굴절율, 유전율 등이 분자 장축 방향과 단축 방향에 따라 서로 다른 이방성 성질을 갖고 분자 배열과 광학적 성질을 쉽게 조절할 수 있다. 이를 이용한 액정 표시장치는 전계의 크기에 따라 액정 분자들의 배열 방향을 가변시켜 광 투과율을 조절함으로써 영상을 표시한다.
- <3> 액정 표시장치는 다수의 화소들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널의 게이트 라인을 구동하는 게이트 드라이버와, 액정 패널의 데이터 라인을 구동하는 데이터 드라이버 등을 포함한다.
- <4> 액정패널의 각 화소는 데이터 신호에 따라 광투과율을 조절하는 적, 녹, 청 서브화소의 조합으로 원하는 색을 구현한다. 각 서브화소는 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터, 박막 트랜지스터와 접속된 액정 커패시터를 구비한다. 액정 커패시터는 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광 투과율을 조절한다.
- <5> 게이트 드라이버는 액정 패널의 게이트 라인들을 순차적으로 구동한다.
- <6> 데이터 드라이버는 게이트 라인들 각각이 구동될 때마다 디지털 데이터 신호를 아날로그 데이터 신호로 변환하여 액정 패널의 데이터 라인들로 공급한다. 이때, 데이터 드라이버는 도 1에 도시된 바와 같이 소스 출력 인에이블(SOE; Source Output Enable) 신호에 응답하여 한 수평 라인에 해당하는 데이터 신호들(Vout)을 동시 출력한다. 데이터 신호들(Vout)의 동시 출력으로 인하여, 데이터 드라이버의 출력 타이밍에서 출력 전류(Iout)가 급격히 상승하는 피크 전류가 발생한다.
- <7> 데이터 드라이버의 높은 피크 전류로 인하여 종래의 액정 표시장치에서는 전자기적 간섭(EMI; Electromagnetic Interference) 노이즈가 발생하는 문제점이 있다. 다시 말하여, 액정 표시장치가 대형화되면서 데이터 드라이버의 출력 채널 및 로드가 증가하고, 이에 따라 데이터 드라이버의 피크 전류가 더욱 증가하여 도 2에 도시된 바와 같이 브로드 밴드(BB; Broad Band) 형태의 EMI가 더욱 증가되는 문제가 발생한다. 여기서, 데이터 드라이버의 높은 피크 전류는 소비 전력을 증가시키고, 액정패널에도 영향을 주어 게이트 라인 및 게이트 드라이버를 오동작시키는 원인이 되기도 한다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명은 데이터 드라이버의 피크 전류를 분산시킴으로써 EMI 노이즈 및 소비 전력을 감소시켜 액정 표시장치를 안정적으로 구동하면서도 데이터 신호들의 평균 충전 시간을 매 프레임 단위로 동일하게 유지하여 화질을 향상시킬 수 있도록 한 액정 표시장치의 구동장치와 그 구동방법을 제공하는데 그 목적이 있다.

과제 해결수단

- <9> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 구동장치는 액정패널의 데이터 라인을 구동하는 다수의 데이터 집적회로를 포함하는 적어도 하나의 데이터 드라이버; 기준 SOE 신호를 포함한 다수의 제어신호를 생성하여 상기 각 데이터 드라이버를 제어하는 타이밍 컨트롤러; 상기 다수의 제어신호들 중 GSP 또는 POL 신호에 따라 상기 기준 SOE 신호를 순방향 또는 역방향의 신호라인으로 출력하는 스위칭 회로부; 및 상기 순방향 또는 역방향의 신호라인을 통해 입력되는 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 상기 각 데이터 집적회로에 각각 공급하는 적어도 하나의 SOE 지연부를 구비한 것을 특징으로 한다.
- <10> 상기 각 SOE 지연부는 상기 순방향 및 역방향의 신호라인에 직렬로 접속되어 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 출력하는 다수의 RC 지연회로를 더 구비한 것을 특징으로 한다.
- <11> 상기 각 SOE 지연부는 상기 각 서브 SOE 신호의 지연시간을 상기 기준 SOE 신호가 점유하는 상기 RC 지연회로의

수에 비례하도록 증가시킴과 아울러, 상기 경유하는 RC 지연회로의 RC 시정수 합에 의해 결정하는 것을 특징으로 한다.

- <12> 상기 스위칭 회로부는 상기 GSP 또는 POL 신호에 따라 하이 또는 로우 레벨의 선택신호를 출력하는 신호 분주회로, 및 상기 하이 또는 로우 레벨의 선택신호에 따라 상기 기준 SOE 신호를 상기 순방향 또는 역방향 신호라인에 순차적으로 공급하는 스위칭 회로를 더 구비한 것을 특징으로 한다.
- <13> 상기 신호 분주회로는 상기 GSP가 공급되면 적어도 한 프레임 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 상기 스위칭 회로에 교번적으로 순차 공급하고, 상기 POL 신호가 공급되면 적어도 한 수평기간 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 상기 스위칭 회로에 교번적으로 순차 공급하는 것을 특징으로 한다. 여기서, 상기 스위칭 회로부는 상기 타이밍 컨트롤러에 내장된 것을 특징으로 한다.
- <14> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 구동방법은 기준 SOE 신호를 포함한 다수의 제어신호를 생성하는 단계; 상기 다수의 제어신호들 중 GSP 또는 POL 신호에 따라 상기 기준 SOE 신호를 순방향 또는 역방향 신호라인으로 출력하는 단계; 및 상기 순방향 또는 역방향 신호라인으로 입력되는 상기 기준 SOE 신호를 지연시켜서 라이징 및 폴링 타임의 지연 시간이 서로 다른 다수의 서브 SOE 신호를 생성하는 단계를 포함하는 것을 특징으로 한다.
- <15> 상기 기준 SOE 신호의 출력 단계는 상기 GSP 또는 POL 신호에 따라 하이 또는 로우 레벨의 선택신호를 출력하는 단계, 및 상기 하이 또는 로우 레벨의 선택신호에 따라 상기 기준 SOE 신호를 상기 순방향 또는 역방향 신호라인에 순차적으로 출력하는 단계를 더 포함한 것을 특징으로 한다.
- <16> 상기 선택신호의 출력 단계는 상기 GSP가 공급되면 적어도 한 프레임 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 교번적으로 순차 출력하고, 상기 POL 신호가 공급되면 적어도 한 수평기간 단위로 하이 레벨의 선택신호 또는 로우 레벨의 선택신호를 교번적으로 순차 출력하는 것을 특징으로 한다.
- <17> 상기 서브 SOE 신호 생성단계는 상기 순방향 및 역방향의 신호라인에 직렬로 접속된 다수의 RC 지연회로를 이용하여 상기 기준 SOE 신호를 라이징 및 폴링 타임의 지연시간이 서로 다른 다수의 서브 SOE 신호로 분리하여 출력하는 것을 특징으로 한다.
- <18> 상기 서브 SOE 신호 생성단계는 상기 각 서브 SOE 신호의 지연시간을 상기 기준 SOE 신호가 경유하는 상기 각 RC 지연회로의 수에 비례하도록 증가시킴과 아울러, 상기 경유하는 RC 지연회로의 RC 시정수 합에 의해 결정하는 것을 특징으로 한다.

효 과

- <19> 본 발명에 따른 액정 표시장치의 구동장치와 그 구동방법은 다음과 같은 효과가 있다.
- <20> 첫째, 직렬 또는 병렬 지연 회로를 이용한 SOE 신호의 지연으로 데이터 신호의 출력 타이밍을 분산시킴으로써 데이터 드라이버의 피크 전류가 분산되면서 감소되게 한다. 이에 따라, 데이터 드라이버의 피크 전류로 인한 EMI와 소비 전력을 감소시킬 수 있고, 게이트 라인 및 게이트 드라이버의 오동작을 방지할 수 있다.
- <21> 둘째, 본 발명에 따른 액정 표시장치는 각 데이터 라인들에 출력되는 데이터 신호의 평균 충전 시간이 모두 동일하게 출력되도록 함으로써 데이터 충전 시간 편차 문제를 해결하여 화질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <22> 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 액정 표시장치의 구동장치와 그 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- <23> 도 3은 본 발명의 제 1 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 도시한 블록도이고, 도 4는 도 3에 도시된 타이밍 컨트롤러 및 데이터 드라이버의 입출력 파형도이다.
- <24> 도 3에 도시된 액정 표시장치의 구동장치는 SOE 신호를 포함한 제어신호들과 영상 데이터를 공급하는 타이밍 컨트롤러(2), 타이밍 컨트롤러(2)의 제어로 액정패널의 데이터 라인들(DL)을 구동하는 다수의 데이터 집적회로(Integrated Circuit, D-IC1 내지 D-ICn)를 포함하는 데이터 드라이버(4), 및 타이밍 컨트롤러(2)로부터의 SOE 신호를 서로 다른 지연시간으로 지연시켜서 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 공급하는 SOE 지연부(6)를 구비한다. 도 4는 도 3에 도시된 데이터 드라이버(4)의 출력전압(Vout) 및 출력전류(Iout), 타이밍 컨트롤러(2)에서 출력된 SOE 신호, 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 서로 다른 지연시간으로 공급되는

SOE1 내지 SOEn을 나타낸다.

- <25> 타이밍 컨트롤러(2)는 외부로부터의 영상 데이터를 정렬하여 데이터 드라이버(4)로 공급한다. 또한, 타이밍 컨트롤러(2)는 외부로부터의 동기 신호, 예를 들면 데이터의 유효 구간을 알리는 데이터 인에이블 신호(DE; Data Enable), 데이터의 전송 주파수를 결정하는 도트 클럭을 이용하여 데이터 드라이버(4)를 제어하는 다수의 데이터 제어신호(DCS)를 생성하여 공급한다. 이때, 외부로부터의 수평 동기신호(Hsync)와 수직 동기신호(Vsync)를 더 이용하기도 한다. 다수의 데이터 제어신호(DCS)는 데이터 드라이버(4)의 데이터 출력기간을 제어하는 SOE 신호, 데이터 샘플링의 시작을 지시하는 소스 스타트 펄스(SSP; Source Start Pulse), 데이터의 샘플링 타이밍을 제어하는 소스 쉬프트 클럭(SSC; Source Shift Clock), 데이터의 전압 극성을 제어하는 극성 제어신호(POL) 등을 포함한다.
- <26> 데이터 드라이버(4)의 데이터 집적회로(D-IC1 내지 D-ICn)는 한 수평기간에서 타이밍 컨트롤러(2)로부터의 SSP를 SSC에 따라 쉬프트시키면서 순차적인 샘플링 신호를 생성하고, 생성된 샘플링 신호에 응답하여 타이밍 컨트롤러(2)로부터의 데이터를 순차적으로 래치한다. 각각의 데이터 집적회로(D-IC1~D-ICn)는 한 수평기간에서 순차적으로 래치된 한 수평 라인분의 데이터를 다음 수평기간의 SOE 신호의 라이징 타임에서 병렬 래치하여 아날로그 데이터 신호로 변환하고, SOE 신호의 폴링 타임에서 아날로그 데이터 신호를 액정 패널의 데이터 라인들(DL)로 출력한다. 이때, 본 발명은 데이터 드라이버(4)의 데이터 출력으로 인한 출력 전류의 피크치를 감소시키기 위하여, 데이터 라인들(DL)을 다수의 데이터 블록으로 분할하고, 각각의 데이터 블록별로 데이터의 출력 타이밍이 서로 시간차를 갖게 함으로써 데이터 출력을 분산시키고 출력 전류의 피크치를 분산시킨다.
- <27> 예를 들면, 본 발명은 데이터 라인들(DL)을 분할 구동하는 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 공급되는 SOE1 내지 SOEn 신호의 폴링 타임(라이징 타임), 즉 지연시간을 도 4에 도시된 바와 같이 서로 다르게 설정한다. 이에 따라, 각 데이터 집적회로(D-IC1 내지 D-ICn)에서 출력되는 데이터 전압(Vout_1 내지 Vout_n)의 출력 타이밍이 분산되므로 데이터 드라이버(3)의 피크 전류가 분산되면서 감소한다.
- <28> 이를 위하여, 본 발명의 SOE 지연부(6)는 타이밍 컨트롤러(2)로부터 SOE 신호가 공급되는 SOE 신호라인에 직렬 접속되어 SOE 신호를 지연시간이 서로 다른 다수의 SOE1 내지 SOEn으로 분리하여 공급하는 다수의 지연회로(D1 내지 Dn)을 구비한다. 예를 들면, 지연회로(D1 내지 Dn) 각각은 RC 회로를 이용한다. 여기서, 직렬 접속된 지연회로(D1 내지 Dn)의 시정수(R1C1 내지 RnCn) 각각은 동일하게 설정되거나, 서로 다르게 설정될 수 있다. 지연회로(D1 내지 Dn)의 시정수(R1C1 내지 RnCn)가 서로 다르게 설정되는 경우 지연회로(D1 내지 Dn)의 R 및 C 성분이 서로 다르게 설정되고, R 및 C 중 어느 하나의 성분은 동일하고 나머지 하나의 성분이 서로 다르게 설정될 수도 있다. 지연회로(D1 내지 Dn)가 직렬 접속되어 있으므로, 데이터 집적회로(D-IC1 내지 D-ICn)에 각각 공급되는 SOE1 내지 SOEn 신호의 지연 시간은 SOE 신호가 경유하는 지연회로(D1 내지 Dn)의 수에 비례하여 증가된다. 다시 말하여, SOE1 내지 SOEn 신호의 지연 시간은 SOE 신호가 경유하는 지연회로(D1 내지 Dn)들의 시정수 합에 의해 결정된다.
- <29> 구체적으로, 타이밍 컨트롤러(2)로부터의 SOE 신호 전송거리가 가장 작은 제 1 지연회로(D1)에 의해 제 1 데이터 집적회로(D-IC1)로 공급되는 SOE1 신호의 지연시간은 제 1 지연회로(D1)의 제 1 시정수(R1C1)로 결정되므로 도 4와 같이 가장 작다. 그 다음, 제 1 및 제 2 지연회로(D1, D2)를 경유하여 제 2 데이터 집적회로(D-IC2)로 공급되는 SOE2 신호의 지연시간은 제 1 및 제 2 지연회로(D1, D2)의 제 1 및 제 2 시정수 합인 R1C1+R2C2로 결정되므로 도 4와 같이 SOE1의 지연시간보다 크다. 그리고, 타이밍 컨트롤러(2)로부터 SOE 신호의 전송거리가 가장 먼 제 n 지연회로(Dn)에서 제 n 데이터 집적회로(D-ICn)로 공급되는 SOEn의 지연시간은 제 1 내지 제 n 지연회로(D1 내지 Dn)의 제 1 내지 제 n 시정수 합인 R1C1+R2C2+...+RnCn으로 결정되므로 도 4와 같이 가장 크다.
- <30> 이 결과, 지연시간이 서로 다른 SOE1 내지 SOEn 각각의 폴링 타임에 응답하여 데이터 집적회로(D-IC1 내지 D-ICn)의 데이터 전압(Vout_1 내지 Vout_n)의 출력 타이밍이 도 4와 같이 서로 달라지면서 분산되고, 이 결과 출력 전류(Iout)의 피크치가 분산되면서 감소된다.
- <31> 이와 같은 본 발명의 SOE 지연부(6)는 타이밍 컨트롤러(2)와 데이터 드라이버(4)를 중계하는 인쇄 회로기판(PCB; Printed Circuit Board)(미도시)에 실장되거나, 데이터 집적회로(D-IC1 내지 D-ICn)에 내장될 수 있다. 또한, SOE 지연부(6)는 데이터 집적회로(D-IC1 내지 D-ICn)가 각각 실장되는 회로필름(미도시)에 내장될 수도 있다. 한편, SOE 지연부(6)의 저항(R1 내지 Rn)과 커패시터(C1 내지 Cn)가 각각 분리되어 저항(R1 내지 Rn)은 PCB에 실장되고, 커패시터(C1 내지 Cn)는 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 내장될 수 있다.
- <32> 이상 상술한 바와 같이, 본 발명의 제 1 실시예에 따른 약정 표시장치의 구동장치는 출력전류(Iout)의 피크치로

인한 EMI 노이즈와 소비전력을 감소시키고 액정패널의 오동작을 방지할 수 있다.

- <33> 하지만, 본 발명의 제 1 실시 예에 따른 액정 표시장치의 구동장치는 데이터 집적회로(D-IC1 내지 D-ICn)에서 출력되는 데이터 전압(Vout_1 내지 Vout_n)의 출력 시간차로 인한 데이터 충전 시간 편차가 나타나는 문제가 발생한다. 물론, 데이터 충전 시간 편차를 줄이기 위해서는 데이터 라인들(DL)의 데이터 충전 시간을 최대한 확보할 수 있는 범위, 예를 들면 0 보다 크고 500ns 보다 작은 범위 내에서 결정되는 것이 바람직하다. 하지만, 액정 표시장치가 갈수록 대형화 되어가는 추세에 있어서 상기와 같은 문제를 극복하기가 어렵다. 즉, 액정 표시장치의 대형화에 따라 데이터 집적회로(D-IC1 내지 D-ICn)의 구성 수가 갈수록 증가하고, 타이밍 컨트롤러(2)에서 가장 멀리 위치하는 제 n 데이터 집적회로(D-ICn)의 SOE 신호 지연시간이 길어진다. 따라서, 데이터 충전시간이 대형화되어 갈수록 감소하고, 제 1 내지 제 n 데이터 집적회로(D-IC1 내지 D-ICn)에 따라 데이터 충전 시간 편차가 더 크게 발생하게 된다.
- <34> 도 5는 본 발명의 제 2 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 도시한 블록도이다.
- <35> 도 5에 도시된 액정 표시장치의 구동장치는 SOE 신호를 포함한 제어신호들과 영상 데이터를 공급하는 타이밍 컨트롤러(2), 타이밍 컨트롤러(2)의 제어로 액정패널의 데이터 라인들(DL)을 구동하는 다수의 데이터 집적회로(D-IC1 내지 D-ICn)를 포함하는 데이터 드라이버(14), 입력되는 SOE 신호를 서로 다른 지연시간으로 지연시켜서 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 공급하는 SOE 지연부(16), 및 타이밍 컨트롤러(2)의 제어신호들 중 게이트 스타트 펄스(GSP; Gate Start Pulse) 또는 POL 신호에 따라 SOE 신호를 SOE 지연부(16)에 순방향 또는 역방향으로 공급하는 스위칭 회로부(12)를 구비한다.
- <36> 타이밍 컨트롤러(2)로부터의 SOE 신호라인은 스위칭 회로부(12)를 거쳐 SOE 지연부(16)에 순방향으로 연결된 제 1 신호라인(SOE_L)과 역방향으로 연결된 제 2 신호라인(SOE_R)으로 구분된다.
- <37> 도 5에 도시된 액정 표시장치의 구동장치는 도 3에 도시된 액정 표시장치의 구동장치와 대비하여 타이밍 컨트롤러(2)의 스위칭 회로부(12)와 제 1 및 제 2 신호라인(SOE_L, SOE_R)을 제외하고는 동일한 구성요소들을 구비하므로 중복된 구성요소들에 대한 설명은 생략하기로 한다. 도 5에서는 스위칭 회로부(12)가 타이밍 컨트롤러(2)에 내장된 것을 나타내었지만, 스위칭 회로부(12)는 타이밍 컨트롤러(2)의 외부에 따로 형성될 수도 있다.
- <38> 스위칭 회로부(12)는 도 6에 도시된 바와 같이, 타이밍 컨트롤러(2)로부터 입력되는 GSP 또는 POL 신호에 따라 하이 또는 로우 레벨의 선택신호를 출력하는 신호 분주회로(DB) 및 신호 분주회로(DB)로부터의 선택신호에 따라 입력되는 SOE 신호를 제 1 신호라인(SOE_L) 또는 제 2 신호라인(SOE_R)으로 출력하는 스위칭 회로(SB)를 구비한다.
- <39> 신호 분주회로(DB)는 적어도 하나의 D-플립플롭(DF/F)이 직렬로 연결된 구조이다. 이와 같이, D-플립플롭(DF/F) 두개가 직렬로 연결된 경우 4 분주 회로가 된다. 따라서, 신호 분주회로(DB)에 GSP가 입력되는 경우 2 분주 즉, 2 프레임 기간 동안 하이 레벨의 선택신호를 출력하고, 다시 2 분주 즉, 2 프레임 기간 동안 로우 레벨의 선택신호를 반복해서 출력할 수 있다. 만일, D-플립플롭(DF/F)이 세개가 직렬로 연결된 경우는 6 분주 회로로써 3 프레임 기간 동안 하이 레벨의 선택신호를 출력한 후, 3 프레임 기간 동안 로우 레벨의 선택신호를 출력할 수도 있다.
- <40> 또한, 신호 분주회로(DB)에 POL 신호가 입력되는 경우 2 수평 기간 즉, 2 수평 라인 단위로 하이 레벨의 선택신호를 출력하고, 다시 2 수평 기간 동안 로우 레벨의 선택신호를 출력하게 된다. 만일, D-플립플롭(DF/F)이 세개가 직렬로 연결된 경우는 6 분주 회로로써 3 수평 기간 동안 하이 레벨의 선택신호를 출력한 후, 3 수평 기간 동안 로우 레벨의 선택신호를 출력할 수도 있다. 이하에서는 4 분주 회로(DB)를 이용하고 4 분주 회로(DB)에 GSP가 입력되는 경우만을 설명하기로 한다.
- <41> 스위칭 회로(SB)는 적어도 하나의 멀티 플렉서(MUX; Multiplexer)로 구성될 수 있다. 또한, 스위칭 회로(SB)은 적어도 하나의 MUX 외에도 다수의 NMOS 및 PMOS 트랜지스터로 구성될 수 있으며, 다수의 논리 게이트로 구성될 수도 있다. 이러한, 스위칭 회로(SB)는 신호 분주회로(DB)로부터 하이 레벨의 선택신호가 입력되면 SOE 신호를 제 1 신호라인(SOE_L)으로 출력하고, 로우 레벨의 선택신호가 입력되면 SOE 신호를 제 2 신호라인(SOE_R)으로 출력한다.
- <42> 이에 따라, 본 발명의 제 2 실시 예에 따른 SOE 신호의 지연시간은 SOE 신호가 순방향 즉, 제 1 신호라인(SOE_L)으로 공급되는 경우, 제 1 데이터 집적회로(D-IC1)로 공급되는 SOE1 신호의 지연시간이 가장 짧고, 제 n 데이터 집적회로(D-ICn)에 공급되는 SOEn 신호의 지연시간이 가장 길다. 다시 말하여, SOE 신호가 제 1 신호라인(SOE_L)으로 공급되면 SOE1 신호의 지연시간은 제 1 지연회로(D1)의 제 1 시정수(RIC1)로 결정되므로 가장 작

다. 그 다음, SOE2 신호의 지연시간은 제 1 및 제 2 지연회로(D1,D2)의 제 1 및 제 2 시정수 합인 $R1C1+R2C2$ 로 결정되므로 SOE1의 지연시간보다 크다. 그리고, 스위칭 회로부(12)로부터 SOE 신호의 전송거리가 가장 먼 제 n 지연회로(Dn)의 SOEn 신호 지연시간은 제 1 내지 제 n 지연회로(D1 내지 Dn)의 제 1 내지 제 n 시정수 합인 $R1C1+R2C2+\dots+RnCn$ 으로 결정되므로 가장 크다.

<43> 하지만, SOE 신호가 역방향 즉, 제 2 신호라인(SOE_R)으로 공급되는 경우, 제 n 데이터 집적회로(D-ICn)로 공급되는 SOEn 신호의 지연시간이 가장 짧고, 제 1 데이터 집적회로(D-IC1)에 공급되는 SOE1 신호의 지연시간이 가장 길다. 다시 말하여, SOE 신호가 제 2 신호라인(SOE_R)으로 공급되면 SOEn 신호의 지연시간은 제 n 지연회로(Dn)의 제 n 시정수($RnCn$)로 결정되므로 가장 작다. 그 다음, SOEn-1 신호의 지연시간은 제 n 및 제 n-1 지연회로(Dn,Dn-1)의 제 n 및 제 n-1 시정수 합인 $RnCn+Rn-1Cn-1$ 로 결정되므로 SOEn의 지연시간보다 크다. 그리고, 스위칭 회로부(12)로부터 SOE 신호의 전송거리가 가장 먼 제 1 지연회로(D1)의 SOE1 신호 지연시간은 제 n 내지 제 1 지연회로(Dn 내지 D1)의 제 n 내지 제 1 시정수 합인 $RnCn+Rn-1Cn-1+\dots+R1C1$ 으로 결정되므로 가장 크다.

<44> 이와 같은 구성 및 구동방법으로 인하여 제 1 내지 제 n 지연회로(D1 내지 Dn)는 프레임 단위 또는 수평기간 단위로 반복되도록 SOE 신호의 지연시간을 다르게 출력하여 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 공급한다. 이때, 데이터 집적회로(D-IC1 내지 D-ICn) 각각에 공급되는 SOE1 내지 SOEn 신호의 평균 지연시간은 모두 동일하기 때문에 데이터 집적회로(D-IC1 내지 D-ICn)를 통해 각 데이터 라인들에 출력되는 데이터 신호의 평균 데이터 충전 시간은 모두 동일하게 된다.

<45> 도 7은 본 발명의 제 3 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 도시한 블록도이다. 그리고, 도 8은 도 7에 도시된 타이밍 컨트롤러와 데이터 드라이브를 나타낸 블록도이다.

<46> 도 7 및 도 8과 같이, 대화면의 액정 표시장치를 구성하는 경우, 다수의 게이트 및 데이터 라인을 구비하여 형성된 액정패널(22), 다수의 데이터 라인을 구동하는 다수의 데이터 집적회로(D-IC1 내지 D-IC4)를 포함하는 제 1 데이터 드라이버(32), 다수의 데이터 집적회로(D-IC1 내지 D-IC4)를 포함하는 제 2 데이터 드라이버(34), 다수의 게이트 라인을 구동하는 다수의 게이트 집적회로(G-IC)를 포함하는 게이트 드라이버, 및 SOE 신호를 포함한 다수의 제어신호를 생성하여 게이트 집적회로(G-IC)와 제 1 및 제 2 데이터 드라이버(32,34)를 제어하는 타이밍 컨트롤러(28)를 구비한다.

<47> 또한, 제 1 데이터 PCB(D_PCB1)에 형성되어 타이밍 컨트롤러(28)로부터 출력된 SOE 신호를 지연시간이 서로 다른 다수의 SOE1 내지 SOE4 신호로 분리하여 다수의 데이터 집적회로(D-IC1 내지 D-IC4)에 각각 공급하는 제 1 SOE 지연부(42), 제 2 데이터 PCB(D_PCB2)에 형성되어 타이밍 컨트롤러(28)로부터 출력된 SOE 신호를 지연시간이 서로 다른 다수의 SOE5 내지 SOE8 신호로 분리하여 다수의 데이터 집적회로(D-IC5 내지 D-IC8)로 각각 공급하는 제 2 SOE 지연부(44) 및 타이밍 컨트롤러(28)의 제어신호들 중 GSP 또는 POL 신호에 따라 SOE 신호를 제 1 SOE 지연부 및 제 2 SOE 지연부(42,44)에 순방향 또는 역방향으로 공급하는 스위칭 회로부(12)를 더 구비한다.

<48> 타이밍 컨트롤러(28)로부터의 SOE 신호라인은 스위칭 회로부(12)를 거쳐 SOE 지연부(16)에 순방향으로 연결된 제 1 신호라인(SOE_L)과 역방향으로 연결된 제 2 신호라인(SOE_R)으로 구분된다.

<49> 다수의 데이터 집적회로(D-IC1 내지 D-IC8)는 다수의 데이터 회로필름(24)에 실장되며 다수의 게이트 집적회로(G-IC)는 다수의 게이트 회로필름(26)에 실장된다. 그리고, 다수의 데이터 집적회로(D-IC1 내지 D-IC8)는 데이터 회로필름(24)과 제 1 또는 제 2 데이터 PCB(D_PCB1,D_PCB2)를 경유하여 타이밍 컨트롤러(12)와 접속된다. 여기서, 타이밍 컨트롤러(28)는 메인 PCB(M_PCB)에 별도로 구성될 수도 있다.

<50> 타이밍 컨트롤러(28)는 외부로부터 입력된 데이터를 정렬하고 제 1 데이터 드라이버(32)로 공급될 제1 데이터와 제 2 데이터 드라이버(34)로 공급될 제 2 데이터로 분리하여 출력한다. 또한, 타이밍 컨트롤러(28)는 SOE 신호를 제외한 제 1 및 제 2 데이터 제어신호를 제 1 및 제 2 데이터 드라이버(32,34)로 분리하여 공급한다. 제 1 데이터 제어 신호는 제 2 데이터 제어 신호와 동일하다.

<51> 제 1 데이터 PCB(D_PCB1)는 타이밍 컨트롤러(28)로부터 출력된 제 1 데이터와 제 1 데이터 제어신호를 제 1 데이터 드라이버(32)로 공급하고, 제 2 데이터 PCB(D_PCB2)는 타이밍 컨트롤러(28)로부터 출력된 제 2 데이터와 제 2 데이터 제어신호를 제 2 데이터 드라이버(34)로 공급한다.

<52> 제 1 SOE 지연부(42)는 제 1 데이터 PCB(D_PCB1) 상에 실장되어 제 1 신호 라인(SOE_L)과 직렬접속된 다수의 지연회로(D1 내지 D14)를 구비하고, 제 2 SOE 지연부(44)는 제 2 데이터 PCB(D_PCB1) 상에 실장되어 제 2 신호라

인(SOE_R)과 직렬 접속된 RC회로를 이용한 다수의 지연회로(D15 내지 D18)을 구비한다.

<53> 도 8에 도시된 액정 표시장치의 구동장치는 도 5 및 도 6에 도시된 액정 표시장치의 구동장치와 대비하여 제 1 데이터 드라이버(32), 제 2 데이터 드라이버(34), 그리고 제 1 및 제 2 데이터 PCB(D_PCB1, D_PCB2)를 경유하도록 형성된 제 1 및 제 2 신호라인(SOE_L, SOE_R)의 구성을 제외하고는 동일한 구성요소들을 구비하므로 중복된 구성요소들에 대한 설명은 생략하기로 한다. 또한, 도 8에서는 스위칭 회로부(12)가 타이밍 컨트롤러(28)에 내장된 것을 나타내었지만, 스위칭 회로부(12)는 타이밍 컨트롤러(28)의 외부에 따로 형성될 수도 있다. 아울러, 도 7 및 도 8에서는 타이밍 컨트롤러(28)와 제 1 및 제 2 데이터 드라이버(32, 34) 사이에 접속된 제 1 및 제 2 신호 라인(SOE_L, SOE_R)만 도시하고 다른 신호 라인들은 생략한다.

<54> 제 1 SOE 지연부(42)의 지연회로들(D11 내지 D14) 각각은 다수의 데이터 집적회로(D-IC1 내지 D-IC4) 각각에 내장되거나, 저항(R11~R14)과 커패시터(C11~C14)가 분리되어서 저항(R11~R14)은 제 1 데이터 PCB(D_PCB1)에 실장되고, 커패시터(C11~C14)는 다수의 데이터 집적회로(D-IC1 내지 D-IC4) 각각에 내장될 수 있다.

<55> 제 2 SOE 지연부(44)의 지연회로들(D15 내지 D18) 각각도 다수의 데이터 IC(D-IC5 내지 D-IC8) 각각에 내장되거나, 저항(R15 내지 R18)과 커패시터(C15 내지 C18)가 분리되어서 저항(R15 내지 R18)은 제 2 데이터 PCB(D_PCB2)에 실장되고, 커패시터(C15 내지 C18)는 다수의 데이터 집적회로(D-IC5 내지 D-IC8) 각각에 내장될 수 있다.

<56> 제 1 SOE 지연부(42)의 지연회로(D11 내지 D14) 각각의 시정수(R11C11 내지 R14C14)는 동일하게 설정되거나, 서로 다르게 설정된다. 그리고, 제 2 SOE 지연부(44)의 지연회로(D15 내지 D18) 각각의 시정수(R15C15 내지 R18C18)도 동일하게 설정되거나, 서로 다르게 설정된다. 또한, 제 1 SOE 지연부(42)의 지연회로(D11 내지 D14) 각각의 시정수(R11C11 내지 R14C14)는, 제 2 SOE 지연부(44)의 지연회로(D15 내지 D18) 각각의 시정수(R15C15 내지 R18C18)와 서로 대칭되게 설정되거나, 비대칭되게 설정될 수 있다.

<57> 이에 따라, 제 1 데이터 드라이버(32)의 데이터 집적회로(D-IC1 내지 D-IC4)은 SOE4 내지 SOE1 신호 각각의 폴링 타임에 응답하여 서로 다른 출력 타이밍에서 데이터를 출력한다. 그리고, 제 2 데이터 드라이버(34)의 데이터 집적회로(D-IC5 내지 D-IC8)도 SOE5 내지 SOE8 신호 각각의 폴링 타임에 응답하여 서로 다른 출력 타이밍에서 데이터를 출력한다. 제 1 데이터 드라이버(32)의 데이터 집적회로(D-IC1 내지 D-IC4)의 데이터 출력 타이밍은, 제 2 데이터 드라이버(34)의 데이터 IC들(D-IC5 내지 D-IC8)의 출력 타이밍과 서로 대칭되거나, 비대칭되면서 서로 교번적인 순서를 갖거나, 순차적인 순서를 갖을 수 있다. 이 결과, 제 1 및 제 2 데이터 드라이버(32, 34) 각각에서 데이터 출력 타이밍이 분산되므로 출력 전류의 피크치가 분산되면서 감소된다. 따라서, 본 발명은 출력 전류(Iout)의 피크치로 인한 EMI 노이즈와 소비전력을 감소시키고 액정패널의 오동작을 방지할 수 있다.

<58> 다만, 각 지연회로(D1 내지 D10)로부터의 SOE 신호의 지연시간은 표 1에 도시된 바와 같이 설정될 수 있다.

표 1

	D-IC1	D-IC2	D-IC3	D-IC4	D-IC5	D-IC6	D-IC7	D-IC8
1st frame	4ΔT	3ΔT	2ΔT	1ΔT	1ΔT	2ΔT	3ΔT	4ΔT
2nd frame	4ΔT	3ΔT	2ΔT	1ΔT	1ΔT	2ΔT	3ΔT	4ΔT
3rd frame	1ΔT	2ΔT	3ΔT	4ΔT	4ΔT	3ΔT	2ΔT	1ΔT
4th frame	1ΔT	2ΔT	3ΔT	4ΔT	4ΔT	3ΔT	2ΔT	1ΔT
≈	≈	≈	≈	≈	≈	≈	≈	≈
평균(ΔT)	2.5ΔT	2.5ΔT	2.5ΔT	2.5ΔT	2.5ΔT	2.5ΔT	2.5ΔT	2.5ΔT

<59>

<60> 이와 같이, 각 지연회로(D1 내지 D10)는 스위칭 회로부(12)에 입력되는 GSP 또는 POL 신호에 따라 매 프레임 단위 또는 수평 기간 단위로 다르게 지연시키면서도 각 데이터 집적회로(D-IC1 내지 D-IC10)를 통한 평균 데이터 충전 시간은 모두 동일하게 유지하도록 한다.

<61> 이상 상술한 바와 같이, 본 발명은 데이터 집적회로(D-IC1 내지 D-IC10)의 데이터 신호 출력시 피크 전류를 감소시키기 위하여, 데이터 라인들(DL)을 다수의 블록으로 분할하고 각 데이터 블록으로 출력되는 데이터 신호의

출력 타이밍이 시간차를 갖도록 지연하여 데이터 출력을 분산시킨다. 데이터 출력의 분산으로 데이터 집적회로(D-IC1 내지 D-IC10)의 피크 전류가 분산되면서 감소한다.

<62> 이와 아울러, 본 발명에 따른 각각의 데이터 집적회로(D-IC1 내지 D-IC10)는 각 데이터 라인들에 출력되는 데이터 신호의 평균 충전 시간을 모두 동일하게 출력함으로써 데이터 충전 시간 편차 문제를 해결하여 화질을 향상시킬 수 있다.

<63> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<64> 도 1의 종래 액정 표시장치의 데이터 구동 파형도.

<65> 도 2는 종래 액정 표시장치에서 측정된 EMI 노이즈 파형도.

<66> 도 3은 본 발명의 제 1 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 도시한 블록도.

<67> 도 4는 도 3에 도시된 타이밍 컨트롤러 및 데이터 드라이버의 입출력 파형도.

<68> 도 5는 본 발명의 제 2 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 도시한 블록도.

<69> 도 6은 도 5에 도시된 스위칭 회로부를 개략적으로 도시한 블록도.

<70> 도 7은 본 발명의 제 3 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 도시한 블록도.

<71> 도 8은 도 7에 도시된 타이밍 컨트롤러와 데이터 드라이브를 나타낸 블록도.

<72> <도면의 주요 부분에 대한 부호의 간단한 설명>

<73> 2, 28 : 타이밍 컨트롤러 4, 14 : 데이터 드라이버

<74> 6, 16 : SOE 지연부 12 : 스위칭 회로부

<75> 33 : 제 1 데이터 드라이버 34 : 제 2 데이터 드라이버

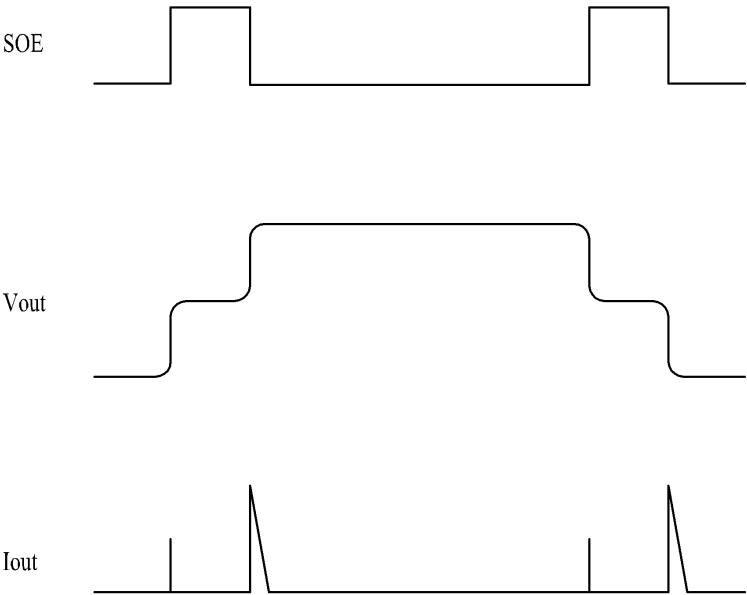
<76> 42 : 제 1 SOE 지연부 44 : 제 2 SOE 지연부

<77> D1 내지 Dn : 제 1 내지 제 n 지연회로

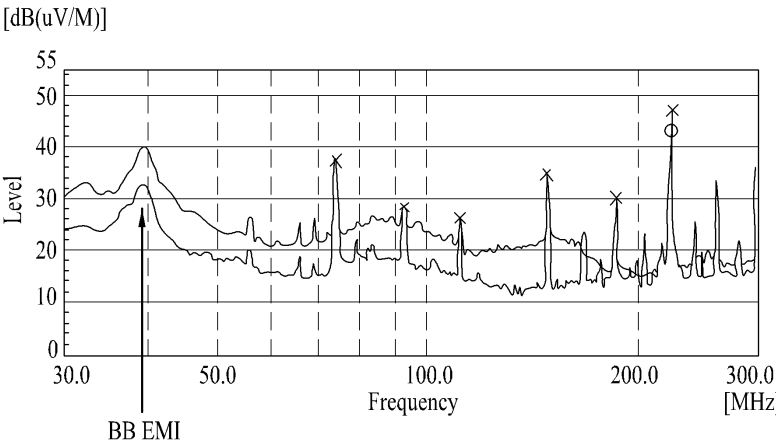
<78> D-IC1 내지 D-ICn : 제 1 내지 제 n 데이터 집적회로

도면

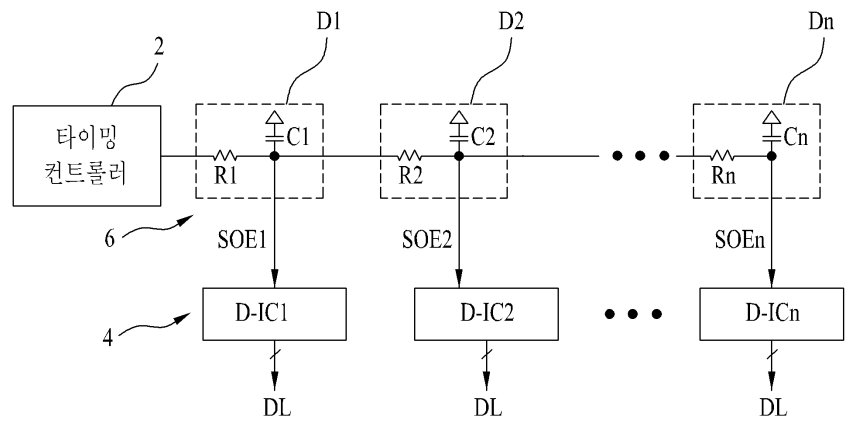
도면1



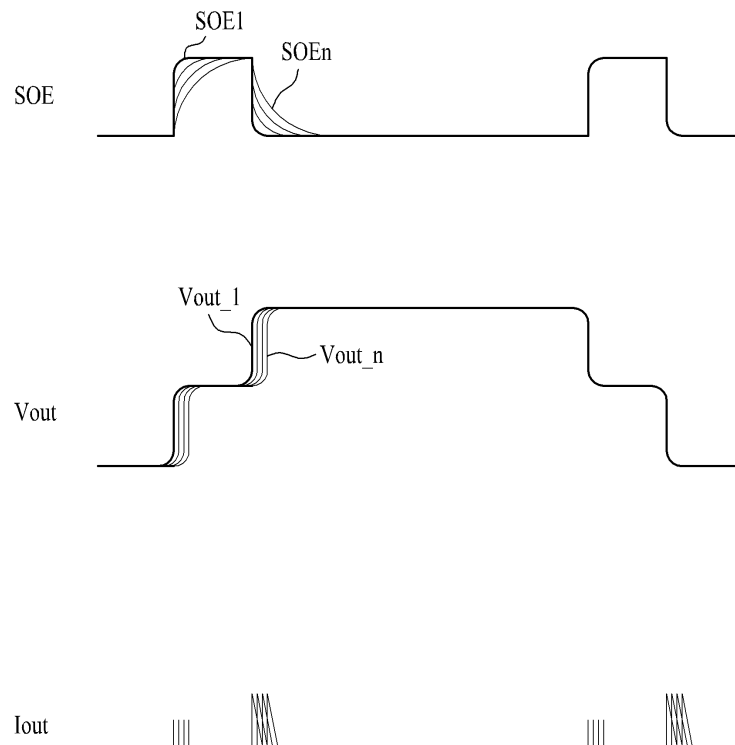
도면2



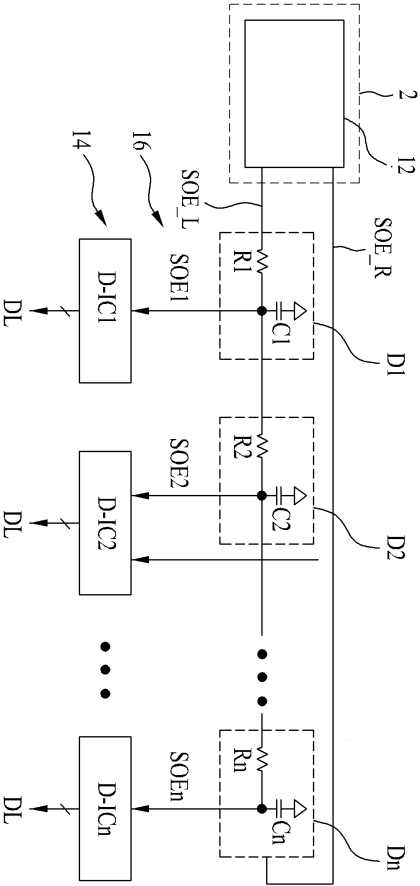
도면3



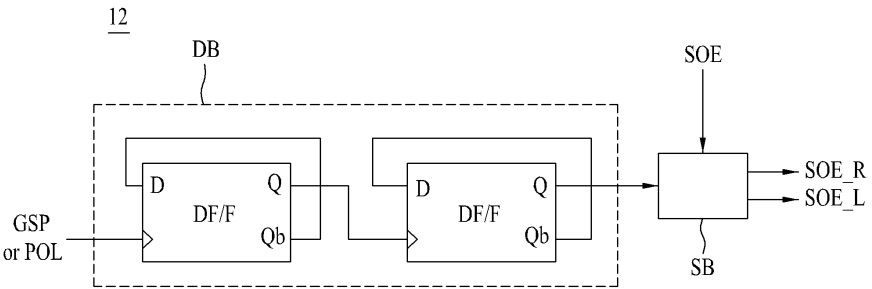
도면4



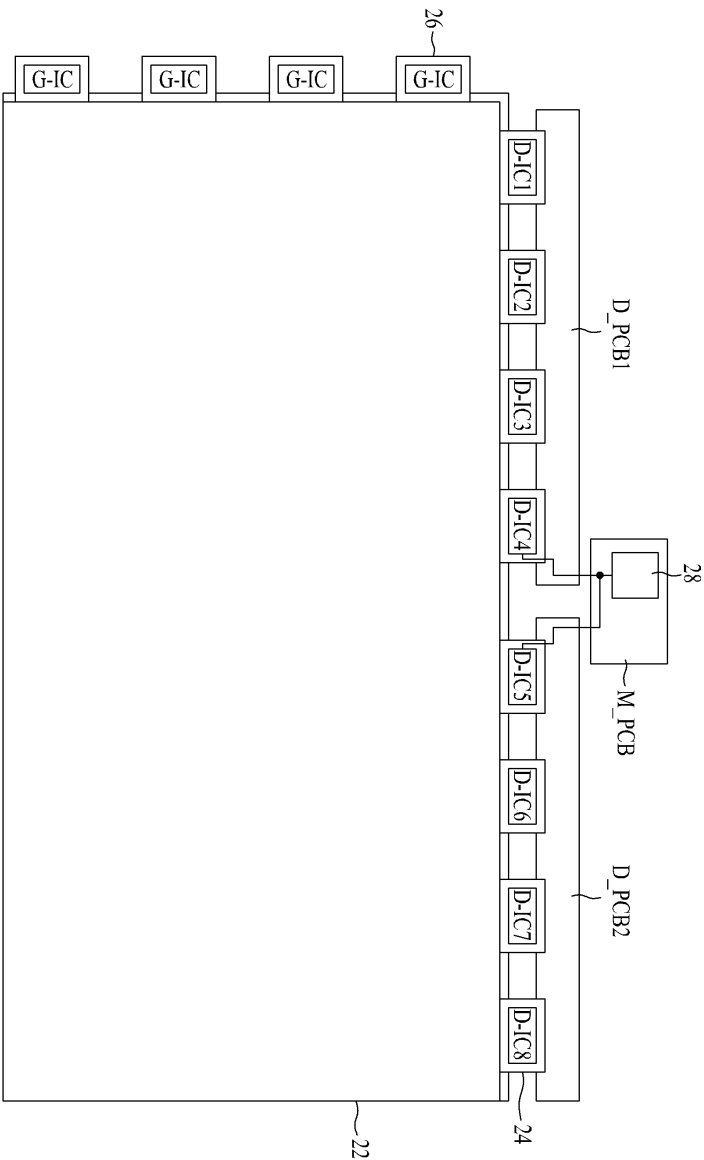
도면5

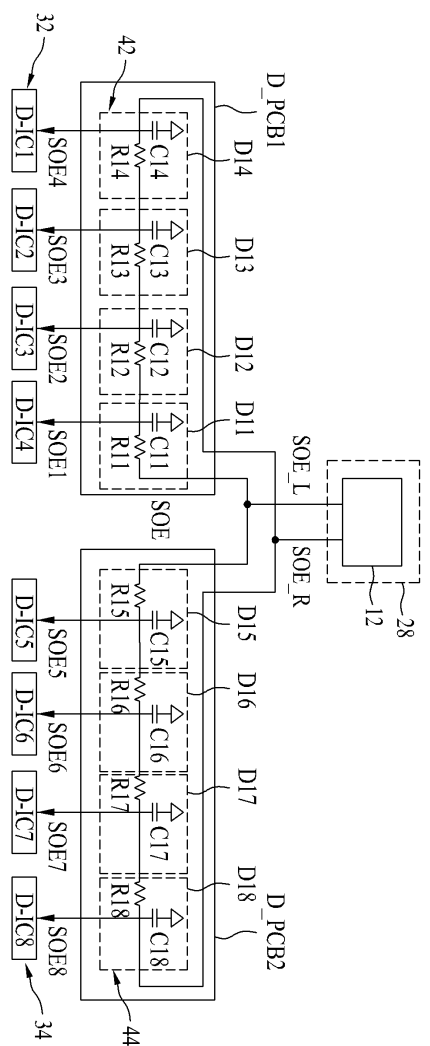


도면6



도면7





도면8

专利名称(译)	液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	KR100880222B1	公开(公告)日	2009-01-28
申请号	KR1020070089103	申请日	2007-09-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK MAN GYU 박만규 JEONG YANG SEOK 정양석 LEE SONG JAE 이송재 KIM YOUNG HO 김영호		
发明人	박만규 정양석 이송재 김영호		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G5/00		
CPC分类号	G09G3/3614 G09G3/3688 G09G5/008 G09G2310/08 G09G2320/0223 G09G2330/025 G09G2330/06		
代理人(译)	Gimyongin Bakyoungbok		
外部链接	Espacenet		

摘要(译)

提供一种用于液晶显示装置的驱动装置及其驱动方法，以通过使用串行或并行延迟电路来延迟SOE（源输出使能）。在用于液晶显示装置的驱动装置中，定时控制器（2）提供SOE信号和包括SOE信号的视频。数据驱动器（4）包括多个数据集成电路（D-IC1或D-ICn），数据集成电路通过定时控制器的控制来驱动液晶面板的数据线（DL）。SOE延迟单元（6）延迟定时控制器的SOE信号，并且延迟的SOE信号被提供给数据积分电路。SOE延迟单元包括多个延迟电路（D1-Dn），SOE延迟单元串联连接到SOE信号线。

