



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                      |           |             |
|----------------------|-----------|-------------|
| (51) 。 Int. Cl.      | (45) 공고일자 | 2007년03월26일 |
| G09G 3/36 (2006.01)  | (11) 등록번호 | 10-0698983  |
| G02F 1/133 (2006.01) | (24) 등록일자 | 2007년03월16일 |

|           |                 |           |                 |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2005-0025323 | (65) 공개번호 | 10-2006-0044817 |
| (22) 출원일자 | 2005년03월28일     | (43) 공개일자 | 2006년05월16일     |
| 심사청구일자    | 2005년03월28일     |           |                 |

(30) 우선권주장 JP-P-2004-00099939 2004년03월30일 일본(JP)

(73) 특허권자 샤프 가부시기가이샤  
일본 오사카후 오사카시 아베노꾸 나가이게쵸 22방 22고

(72) 발명자 야노 다케시  
일본 나라쵸 나라시 나카야마쵸 135-13  
  
후지노 히로아끼  
일본 교토후 소라꾸궁 기즈쵸 구니미다이 7쵸메 7-19  
  
나카하라 미찌히로  
일본 나라쵸 야마토코리야마시 누카타베끼따마쵸 653-1-203

(74) 대리인 장수길  
구영창

(56) 선행기술조사문헌  
JP10187100 A  
KR1019990024003 A  
\* 심사관에 의하여 인용된 문헌  
KR1019990024001 A  
KR1020020059222 A

심사관 : 박부식

전체 청구항 수 : 총 17 항

## (54) 표시 장치 및 구동 장치

### (57) 요약

구동 장치는, 예비 충전 처리 시에는, 출력 회로와 소스 신호 라인과의 접속을 분리하여, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인 끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 스위치 회로와, 그 타이밍을 조정하는 펄스 폭 조정 회로를 구비하고 있으므로, 별도 외부 기억 용량을 설정하지 않고 차지 웨어를 행할 수 있다. 이에 의해, 화소수나 재질이 상이한 신규 설계의 표시부(액정 패널 등)를 사용한 경우 등에도, 컨트롤러의 구성을 변경, 작성하는 것을 필요로 하지 않는 표시 장치 및 구동 장치를 실현할 수 있다.

## 대표도

도 1

## 특허청구의 범위

### 청구항 1.

표시 데이터 신호에 기초하여 출력 회로로부터 소스 신호 라인에 인가되는 전위인 소스 신호 전위에 의해 수평 기간마다 표시 장치의 표시부의 화소에 전압을 인가함으로써 표시부를 구동하는 구동 장치로서 - 상기 구동 장치는 상기 소스 신호 라인의 전위를 그 수평 기간의 소스 신호 전위로 하기 전에 예비 충전을 행함 -,

예비 충전 처리 시에는, 상기 출력 회로와 소스 신호 라인과의 접속을 분리하여, 예비 충전이 행해지는 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 스위치 회로를 구비한 구동 장치.

### 청구항 2.

제1항에 있어서,

상기 스위치 회로는, 예비 충전 처리 시에는, R, G, B 동일 색마다 소스 신호 라인끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 구동 장치.

### 청구항 3.

제1항에 있어서,

상기 출력 회로와 상기 소스 신호 라인과의 접속을 분리하는 타이밍과, 상기 소스 신호 라인끼리의 단락의 타이밍을, 임의로 설정 가능한 타이밍 조정 회로를 더 구비한 구동 장치.

### 청구항 4.

제1항에 있어서,

하나 하나의 화상이, 하나 이상의 화소로 이루어지는 화소군으로 표시되고,

어느 화소나, 각 화소간의 단락 스위치를 통하여, 상기 화소가 속하지 않는 모든 화소군 중 적어도 하나의 화소와 접속되고,

예비 충전 처리 시에는 상기 단락 스위치가 동시에 온 오프하는 구동 장치.

### 청구항 5.

제4항에 있어서,

동일한 색끼리만 상기 단락 스위치를 통하여 접속되어 있는 구동 장치.

## 청구항 6.

제4항에 있어서,

어느 화소나, 버스 라인과, 각 화소와 버스 라인 사이의 단락 스위치를 통하여, 해당 화소가 속하지 않는 모든 화소군 중 적어도 하나의 화소와 접속되어 있는 구동 장치.

## 청구항 7.

제1항에 있어서,

상기 스위치 회로는,

상기 소스 신호 라인끼리 R, G, B 동일 색마다 각각 단락하기 위한 것으로서, 일단이 소스 신호 라인과 접속된 단락 스위치와,

상기 출력 회로와 소스 신호 라인을 분리하여 출력 회로를 부유 상태로 하는 분리 스위치를 구비하고,

상기 단락 스위치의 타단은, R, G, B 동일 색마다 각각 공통의 버스 라인에 접속되고,

예비 충전 처리 시에는, R, G, B 동일 색마다 소스 신호 라인끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 구동 장치.

## 청구항 8.

제4항에 있어서,

상기 단락 스위치 및 상기 분리 스위치 중 적어도 하나는, 표시 장치의 표시부에 형성되어 있는 구동 장치.

## 청구항 9.

제1항에 있어서,

하나 하나의 화상이, 2개 이상의 화소로 이루어지는 화소군으로 표시되고,

각 화소군 중의 화소 중 적어도 하나가, 동일 수평 기간 내에 동일한 화소군 중 남은 화소와는 역극성이고,

각 화소군 중 전체 화소끼리, 각 화소간의 단락 스위치를 통하여 접속되고,

예비 충전 처리 시에는 상기 단락 스위치가 동시에 온 오프하는 구동 장치.

## 청구항 10.

표시 데이터 신호에 기초하여 출력 회로로부터 소스 신호 라인에 인가되는 전위인 소스 신호 전위에 의해 수평 기간마다 표시 장치의 표시부의 화소에 전압을 인가함으로써 표시부를 구동하는 구동 장치 - 상기 구동 장치는 상기 소스 신호 라인의 전위를 그 수평 기간의 소스 신호 전위로 하기 전에 예비 충전을 행함 - 를 구비한 표시 장치로서,

상기 구동 장치는,

예비 충전 처리 시에는, 상기 출력 회로와 소스 신호 라인과의 접속을 분리하여, 예비 충전이 행해지는 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 스위치 회로를 구비한 표시 장치.

## 청구항 11.

제3항에 있어서,

상기 출력 회로와 상기 소스 신호 라인과의 접속을 분리하는 타이밍과, 상기 소스 신호 라인끼리의 단락의 타이밍이 동시인 구동 장치.

## 청구항 12.

제3항에 있어서,

상기 소스 신호 라인끼리의 단락의 타이밍이, 상기 출력 회로와 상기 소스 신호 라인과의 접속을 분리하는 타이밍보다도 느린 구동 장치.

## 청구항 13.

제3항에 있어서,

상기 타이밍 조정 회로는,

제1 신호 생성 회로와,

펄스 폭 신호 조정 회로와,

R-S 플립플롭 회로를 구비하고,

상기 제1 신호 생성 회로는, 입력된 클럭 신호로부터 제1 신호군을 생성함으로써 클럭 신호의 펄스수를 카운트하고,

상기 펄스 폭 신호 조정 회로는, 상기 제1 신호군과, 상기 스위치 회로에의 출력 신호의 펄스 폭을 설정하기 위한 설정 신호를 비교하고,

상기 R-S 플립플롭 회로는, 상기 제1 신호군과, 상기 설정 신호에 따라 상기 클럭 신호의 펄스수를 조정하는 홀드 신호에 기초하여 세트됨과 함께 상기 펄스 폭 신호 조정 회로의 출력에 의해 리세트됨으로써, 상기 스위치 회로에의 출력 신호를 원하는 펄스 폭으로 출력하는 구동 장치.

## 청구항 14.

도트 반전 구동에 의해 화소에 전압을 인가하여 표시부를 구동하는 구동 장치로서,

(i) 데이터선에 표시 데이터를 출력하는 출력 회로와 상기 데이터선과의 접속을 분리함과 함께, (ii) 상기 표시부의 적어도 하나의 데이터선과, 이 데이터선과는 상이한 극성의 전하를 갖는 적어도 하나의 데이터선을 단락시켜, 상기 데이터선에 대하여 각각 예비 충전을 행하는 예비 충전 회로를 구비한 구동 장치.

## 청구항 15.

제14항에 있어서,

상기 예비 충전 회로는,

상기 데이터선을 단락하기 위한 단락 스위치와,

상기 출력 회로와 상기 데이터선과의 접속을 분리하기 위한 분리 스위치를 구비한 구동 장치.

## 청구항 16.

제14항에 있어서,

상기 분리 스위치가 오프하는 타이밍과, 상기 단락 스위치가 온하는 타이밍을 임의로 설정 가능한 타이밍 조정 회로를 더 구비한 구동 장치.

## 청구항 17.

도트 반전 구동에 의해 화소에 전압을 인가하여 표시부를 구동하는 구동 장치를 구비한 표시 장치로서,

상기 구동 장치는, (i) 데이터선에 표시 데이터를 출력하는 출력 회로와 상기 데이터선과의 접속을 분리함과 함께, (ii) 상기 표시부의 적어도 하나의 데이터선과, 이 데이터선과는 상이한 극성의 전하를 갖는 적어도 하나의 데이터선을 단락시켜, 상기 데이터선에 대하여 각각 예비 충전을 행하는 예비 충전 회로를 구비한 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정 표시 장치 등의 표시 장치의 구동 장치에 관한 것으로, 특히 액티브 매트릭스형의 액정 표시 장치 등에 이용되는 표시 장치의 구동 장치 및 표시 장치에 관한 것이다.

예를 들면, 액정 표시 장치의 일례가 일본 특허 제2837027호 공보(공개일: 1998년 12월 14일 ; US5402255에 대응)에 개시되어 있다.

도 18, 도 19, 도 20은 그 일례인 종래의 액정 표시 장치에서의 드라이버 IC간의 입출력 신호의 접속의 관계를 도시한다. 일반적으로 드라이버 IC간의 접속은 기판(Printed Wired Board ; PWB)을 통하여 예를 들면 도 20과 같이 행해진다.

도 18은 종래의 드라이버 IC의 TCP의 형상이다. 복수개의 드라이버 IC에 공통된 입출력 신호용 외부 접속 단자부(51)를, TCP(Tape Carrier Package)의 하측(액정 구동 출력용 외부 접속 단자부(55)의 반대측)에 배치하고, 이 단자부(51)와 PWB(71, 72, 75)의 접속용 리드 단자를 뿔납에 의해 접속함으로써, 드라이버 IC간의 입출력 신호의 접속이 행하여진다.

TCP의 거의 중앙에 드라이버 칩(57)을 배치하고, 상측에 액정 구동 출력용 외부 접속 단자부(55), 하측에 입출력 신호용 외부 접속 단자부(51)(복수개의 드라이버 IC에 공통)를 갖고 단자 S1~S7을 인출하고 있다.

칩 부분은, 수지에 의해 커버되어 전기적·물리적으로 보호되고 있다. 또한, 액정 구동 출력용 외부 접속 단자부(55)는, 일반적으로는 이방성 도전 시트를 통하여 액정 패널에 접속된다. 입출력용 외부 접속 단자부(51)에는, TCP 기재를 추출함으로써 슬롯이 설치되어 있고, PWB에 땀납 접속함으로써, 복수개의 드라이버 IC에 공통된 신호를 공급하는 것이 가능하다.

도 19는, 칩(57)과 TCP와의 접속 부분의 확대도이다. 칩 상에 설치된 패드(67)와 TCP의 중앙 부분에 설치된 내측 리드(64)를 열적으로 압착함으로써, 전기적·물리적으로 접속된다.

이 경우, 입출력 신호용 단자부(51)의 단자 S1~S7은, 각 신호에 대하여 하나씩이며, 당연히 패드도 하나씩이다.

도 20은, 종래의 액정 모듈의 형태도이다. 640(가로 방향)×480(세로 방향) 도트의 패널을 이미지화하면, 상하로 배치된 소스 드라이버 8개는, 각각 액정 구동 출력수가 160개, 좌측에 배치된 커먼 드라이버 4개는, 각각 액정 구동 출력수가 120개이다.

상기 액정 구동 장치에 의한 액정의 기본 구동을 도 21~도 24를 참조하면서 설명한다. 우선 액정의 기본 구동에 대하여 설명한다. 도 21은 액정의 기본 구동 방법을 도시하는 도면이다. 액정은 전기 화학적 특성에 의해, 일정 방향의 전계를 장시간 계속 인가하고 있으면 열화한다. 따라서, 액정에 인가되는 전계의 방향이 일정 주기마다 역방향으로 되도록, 도 21a와 도 21b와 같이 전계의 방향을 바꾸어야 한다.

액정 패널에서의 전계의 인가 방법에는 상기의 일정 주기마다의 반전 구동 외에, 패널의 도트 단위에 의한 반전 구동이 생각되어진다. 도 22 내지 도 24는 각종 반전 구동 방식의 예를 나타내는 것이고, ●와 ○는 상호 역방향으로 전계가 인가된 도트를 나타내고, 각각 도 22a, 도 23a, 도 24a는 임의의 수직 기간의 모습을 나타내고, 도 22b, 도 23b, 도 24b는 그 다음의 수직 기간의 모습을 나타내고 있다. 도 22는 반전 구동을 행할 때에 전체 도트를 1 프레임 단위로 동시에 변화시키는 것, 도 23은 표시 수직 방향으로 1 라인마다 반전하는 방법(라인 반전 구동)이고, 프레임이 바뀌면 프레임 단위에서도 변화한다. 도 24는 도 23 외에 추가적으로, 수평 방향의 도트 단위에서도 반전 제어하는 것(도트 반전 구동)이다.

각 방식에서, 표시 시스템의 구축성, 화질의 우열이 상이하지만, 도 24의 구동 방식이 가장 고화질을 얻을 수 있다. 이 도 24에 의한 구동 방식에 대해서는, 예를 들면 WO96/06421(국제 공개일: 1996년 2월 29일)에 개시되어 있다.

도 25는 WO96/06421에 개시되어 있는 상기 도 24의 도트 반전용 구동 장치의 구성을 도시하는 블록도이다.

상기 도트 반전용 구동 장치에는 복수개의 연산 증폭기(76)가 설치되어 있다. 각 연산 증폭기(76)의 출력단에는 2개의 스위치 소자(102, 104)가 접속되어 있다. 2개의 스위치 소자(102, 104)는 제1 및 제2 MOS 트랜지스터에 의해 형성되어 있다. 스위치 소자(102), 스위치 소자(104)의 드레인 단자(96)는, 공통으로 부수하는 부하 용량 C2에 결합된다.

제1 스위치 소자(102)의 게이트 단자는 SELECT 신호에 결합되고, 다른 한편, 제2 스위치 소자(104)의 게이트 단자는 상보적인 SELECT 신호(SELECT 신호의 반전 신호)에 결합되어 있다.

제1 스위치 소자(102)의 소스 단자는 외부 기억 용량(66)에 결합되고, 제2 스위치 소자(104)의 소스 단자(65)는 연산 증폭기(76)의 출력에 결합되어 있다. SELECT 신호가 하이일 때에는, 스위치 소자(102)는 도통하고, 스위치 소자(104)는 비도통이다. SELECT 신호가 로우일 때에는, 스위치 소자(102)는 비도통이고, 스위치 소자(104)는 도통이다.

외부 기억 용량은, 차지 웨어 처리를 행하기 위한 것이다. 차지 웨어란, 예비 충전의 일종으로서, 임의의 수평 기간에 소스 신호 라인에 축적된 전하를 이용하여, 그 후의 수평 기간에서 소스 신호 라인을 예비 충전하는 것이다. 예비 충전이란, 소스 신호 라인의 전위를 그 수평 기간의 소스 신호 전위로 하기 전에, 미리 소스 신호 라인에 전압을 인가하는 것으로, 그 전압을 인가해 둠으로써, 보다 빠른 시기에 원하는 소스 신호 전위에까지 도달시키는 것을 목적으로 하는 것이다.

도 25에서 외부 기억 용량(66)의 값은, C2의 값의 N 배보다도 훨씬 크게 되도록 선택된다. 단, 여기서 N은 화소 배열에서의 소스 신호 라인의 수이고, C2는 화소 배열의 하나의 소스 신호 라인에 전형적으로 부수하는 부하 용량이다. 수평 기간의 제1 부분의 사이에는, 부하 용량 C2 상에 축적된 전하는, 외부 기억 용량(66)에 방전된다. 외부 기억 용량(66)은, 대형의 전하 싱크로서 기능한다. 라인 반전 구동법이 이용되는 경우에는, 각 소스 드라이버는, 각 수평 기간에서, 하이 및 로우의 전압을 교체하여 인가해야 한다.

이 방법에서는, 인가하는 전압은 랜덤(즉, 각 수평 기간에서 미지의 전압)이 아니고, 수평 기간 동안에 일정한 극성 시프트를 갖는다. 이 때문에, 부하 용량을 하이로 구동하는 에너지분만큼, 다음의 부하 용량을 로우로 구동하기 위해 차감되므로, 그 만큼, 수평 기간의 처음에 다시 인가하는 전압을 절약할 수 있게 된다.

또한, 그 반대이다. 즉, 부하 용량을 로우로 구동하는 에너지분만큼, 다음 부하 용량을 하이로 구동하기 위해 차감되므로, 그 만큼, 수평 기간의 처음에 다시 인가하는 전압을 절약할 수 있게 된다.

외부 기억 용량(66)은, 시간의 경과에 걸쳐 소스 신호 라인에 인가되는 전압을 평균화한다. 전술한 라인 반전 구동 기술에 따르면, 외부 기억 용량(66) 상에 충전되는 평균 전압은, 소스 신호 라인에 인가되는 플러스의 최대 전압과 마이너스의 최소(절대값이 최대) 전압의 중간에 존재하는 바이어스 전압이다. 예를 들면, 플러스의 최대 전압이 +6볼트이고, 마이너스의 최소 전압이 -6볼트인 경우에는, 바이어스 전압은 제로 볼트이고, 외부 기억 용량은, 제로 볼트에, 또는 그 근방에서 멈춘다.

외부 기억 용량(66)은, 공통선(도시 생략)과, 이 경우에는 그라운드 전위인 바이어스 전압원 사이에 결합되어, 구성되어 있다.

도 25에서의 구동 장치에서는 SELECT 신호가 하이일 때에는, 한쪽의 스위치 소자(102)는 도통하고, 다른 한 쪽인 스위치 소자(104)는 비도통이다.

따라서, SELECT 신호가 하이로 되면, 복수개로 이루어지는 한쪽의 스위치 소자(102)는 일제히 도통 상태로 되어, 외부에 구비된 외부 기억 용량(66)에 결합되고, 이 외부 기억 용량(66)은 연산 증폭기(76)의 출력으로부터 부하 용량(96)에 충전된 전력을 이 외부 기억 용량(66)에 회수하거나 혹은 방전하도록 차지 제어 동작을 행한다.

지금까지의 액정 표시 장치는, 텔레비전용 화면이나 퍼스널 컴퓨터용 화면 등에의 활용을 위해, 대화면화의 요구를 기초로 개발이 진행되고 있다. 또한, 한편으로는, 최근 급속히 시장이 확대되고 있는 휴대 전화 등의 휴대 단말기에의 활용을 위해, 휴대용 표시 장치에 적합한 중소형의 액정 표시 장치 및 액정 구동 장치의 개발이 진행되고 있다.

상기 용도에 합치되는 액정 표시 장치의 화면에 맞게, 액정 구동 장치도, 소형, 경량, 다출력, 고속, 저코스트, 고품질 또한 저소비 전력(전지 구동을 포함함)인 것이 강하게 요구된다.

### 발명이 이루고자 하는 기술적 과제

그러나, 신규 설계의 액정 패널을 사용한 경우 등에는 화소수나 재질의 차이로부터 발생하는 부하 용량 등의 변화에 따라, 그 이전에 사용하고 있었던 액정 패널과는, 충분히 차지 제어하는데 필요한 외부 기억 용량이 다르다. 그 때문에, 전자의 패널을 사용하여, 후자의 패널을 사용하였던 경우와 동등한 차지 제어 특성을 얻고자 한다면, 종래 기술에서는, 출력되는 구동 전압이 일단, 중간에 구동 전압에 근접하도록, 예를 들면 컨트롤러로부터 출력되는 SELECT 신호의 펄스 폭(하이 기간)의 타이밍을 조정할 필요가 있다. 그에 따라, 새로운 컨트롤러의 구성이 필요하게 된다.

### 발명의 구성

본 발명은, 상기의 문제점을 감안하여 이루어진 것으로, 그 목적은 화소수나 재질이 상이한 신규 설계의 액정 패널을 사용한 경우 등에도, 컨트롤러의 구성을 변경하는 것을 필요로 하지 않는 표시 장치 및 구동 장치를 실현하는 것에 있다.

상기의 과제를 해결하기 위해, 본 발명에 따른 구동 장치는, 표시 데이터 신호에 기초하여 출력 회로로부터 소스 신호 라인에 인가되는 전위인 소스 신호 전위에 의해 수평 기간마다 표시 장치의 표시부의 화소에 전압을 인가함으로써 표시부를 구동하는 구동 장치로서, 상기 소스 신호 라인의 전위를 그 수평 기간의 소스 신호 전위로 하기 전에 예비 충전을 행하는 구동 장치에서, 예비 충전 처리 시에는, 상기 출력 회로와 소스 신호 라인과의 접속을 분리하여, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 스위치 회로를 구비한 것을 특징으로 하고 있다.

상기의 구성에 의해, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 예비 충전을 행한다.

따라서, 표시부 내부에서, 소스 신호 라인끼리 단락시킴으로써 예비 충전을 완결하므로, 외부 기억 용량이 불필요하고, 따라서 그것을 조정할 필요도 생기지 않는다. 그 결과, 컨트롤러로부터 출력되는 SELECT 신호의 펄스 폭(하이 기간)의 타이밍을 변경하여 조정할 필요가 없고, 그 때문에, 새롭게 컨트롤러의 구성을 변경하거나 작성하거나 할 필요가 없다.

그렇기 때문에, 화소수나 재질이 상이한 신규 설계의 표시부(액정 패널 등)를 사용한 경우 등에도, 컨트롤러의 구성을 변경하는 것을 필요로 하지 않는 표시 장치 및 구동 장치를 실현할 수 있다고 하는 효과를 발휘한다.

본 발명의 또 다른 목적, 특징, 및 우수한 점은, 이하에 기재한 내용에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이점은, 첨부 도면을 참조한 다음의 설명으로 명백하게 될 것이다.

#### [제1 실시예]

본 발명의 일 실시예에 대하여 도 1 내지 도 11에 기초하여 설명하면 이하와 같다.

본 실시예는, 표시 장치로서, 액정 표시 장치를 예로 들어, 즉 구동 장치로서, 액정 구동 장치를 예로 들어 설명한다.

도 1은, 액티브 매트릭스 방식의 대표예인 TFT(박막 트랜지스터) 방식의 액정 표시 장치의 블록 구성을 도시하고 있다.

여기서는, 동일한 수평 기간에서, 소스 신호 전위가 플러스인 소스 신호 라인과 소스 신호 전위가 마이너스인 소스 신호 라인이 존재하는 양태(즉, 기본적으로는 도트 반전 구동)이다.

여기서, 각 소스 신호 라인은 부하 용량을 갖고 있다. 부하 용량이란, 소스 신호 라인 자체의 용량이나, 선택된 라인(게이트 신호 라인을 따르는 방향)에서의 화소의 화소 용량을 포함하는, 소스 신호 라인에 관련된 부하의 용량이다.

이 액정 표시 장치(900)는, 액정 표시부(표시부)와 그것을 구동하는 액정 구동 장치(구동 장치)로 구성되어 있다.

상기 액정 표시부는, TFT 방식의 액정 패널(901)을 구비하고 있다. 이 액정 패널(901) 내에는, 도시하지 않은 액정 표시 소자와, 대향 전극(공통 전극)(906)이 설치되어 있다.

한편, 상기 액정 구동 장치는, 각각 IC(Integrated Circuit)로 이루어지는 소스 드라이버(902) 및 게이트 드라이버(903)와, 컨트롤러(904)와, 액정 구동 전원(905)을 구비하고 있다.

소스 드라이버(902)나 게이트 드라이버(903)는, 일반적으로는, 배선이 있는 필름 상에 앞의 IC 칩을 탑재한, 예를 들면 TCP(Tape Carrier Package)를 액정 패널의 ITO(Indium Tin Oxide ; 인듐 주석 산화막) 단자 상에 실장하여, 접속하거나, 앞의 IC 칩을 ACF(Anisotropic Conductive Film ; 이방성 도전막)를 통하여, 액정 패널의 ITO 단자에 열압착하여 실장하여, 접속하는 방법으로 구성되어 있다.

컨트롤러(904)는, 디지털화된 표시 데이터(예를 들면, 적, 녹, 청에 대응하는 RGB의 각 신호) 및 각종 제어 신호를 소스 드라이버(902)에 출력함과 함께, 각종 제어 신호를 게이트 드라이버(903)에 출력하고 있다. 소스 드라이버(902)에의 주된 제어 신호는, 수평 동기 신호, 스타트 펄스 신호 및 소스 드라이버용 클럭 신호 등이 있으며, 도면에서는 S1로 나타내고 있다. 한편, 게이트 드라이버(903)에의 주된 제어 신호는, 수직 동기 신호나 게이트 드라이버용 클럭 신호 등이 있으며, 도면에서는 S2로 나타내고 있다. 또한, 도면에서, 각 IC를 구동하기 위한 전원은 생략하고 있다.

액정 구동 전원(905)은, 소스 드라이버(902) 및 게이트 드라이버(903)에 액정 패널 표시용 전압(본 발명에 관계하는 것으로서는, 계조 표시용 전압을 발생시키기 위한 참조 전압)을 공급하는 것이다.

외부로부터 입력된 표시 데이터는, 컨트롤러(904)를 통해 디지털 신호에 의해 소스 드라이버(902)에 표시 데이터 D로서 입력된다.

소스 드라이버(902)는, 입력된 디지털 표시 데이터 D를 시분할로 내부에 래치하고, 그 후, 컨트롤러(904)로부터 입력되는 수평 동기 신호(래치 신호 LS(도 5 참조)라고도 함)에 동기하여 DA(디지털-아날로그) 변환을 행한다. 그리고, 소스 드라

이버(902)는, DA 변환에 의해 얻어진 계조 표시용의 아날로그 전압(계조 표시 전압)을, 액정 구동 전압 출력 단자로부터, 후술하는 소스 신호 라인(1004)을 통하여, 그 액정 구동 전압 출력 단자에 대응한, 액정 패널(901) 내의 액정 표시 소자(도시 생략)에 각각 출력한다.

이어서, 상기 액정 패널(901)에 대하여 설명한다. 도 2는, 상기 액정 패널(901)의 구성을 도시하고 있다. 액정 패널(901)에는, 화소 전극(1001), 화소 용량(1002), 화소에의 전압 인가를 온/오프하는 소자로서의 TFT(1003), 소스 신호 라인(1004), 게이트 신호 라인(1005), 액정 패널의 대향 전극(1006)(도 1의 대향 전극(906)에 상당)이 설치되어 있다. 도 2에서, A로 나타내는 영역이 1 화소분의 액정 표시 소자이다.

소스 신호 라인(1004)에는, 소스 드라이버(902)로부터, 표시 대상의 화소의 밝기에 따른 계조 표시 전압이 공급된다. 게이트 신호 라인(1005)에는, 게이트 드라이버(903)로부터, 세로 방향으로 배열된 TFT(1003)가 순차적으로 온하도록 주사 신호가 공급된다. 온 상태의 TFT(1003)를 통해, 해당 TFT(1003)의 드레인에 접속된 화소 전극(1001)에 소스 신호 라인(1004)의 전압이 인가되면, 화소 전극(1001)과 대향 전극(1006) 사이의 화소 용량(1002)에 전하가 축적되어, 액정의 광 투과율이 변화하여, 표시가 행하여진다.

도 3 및 도 4는, 액정 구동 파형의 일례를 도시하고 있다. 이들 도면에서, 참조 부호 1101, 1201은 소스 드라이버(902)로부터의 출력 신호(소스 신호 전위)의 구동 파형, 참조 부호 1102, 1202는 게이트 드라이버(903)로부터의 출력 신호의 구동 파형이다. 참조 부호 1103, 1203은 대향 전극(1006)의 전위이고, 참조 부호 1104, 1204는 화소 전극(1001)의 전압 파형이다. 액정 재료에 인가되는 전압은, 화소 전극(1001)과 대향 전극(1006)과의 전위차(표시 전압)로서, 도면에서는 사선으로 나타내고 있다.

예를 들면, 도 3에서는, 구동 파형(1102)으로 나타내는 게이트 드라이버(903)로부터의 출력 신호가 하이 레벨일 때 TFT(1003)가 온하여, 구동 파형(1101)으로 나타내는 소스 드라이버(902)로부터의 출력 신호(소스 신호 전위)와 대향 전극(1006)의 전위(1103)와의 차가 화소 전극(1001)에 인가된다. 이 후, 구동 파형(1102)으로 나타낸 바와 같이, 게이트 드라이버(903)로부터의 출력 신호는 로우 레벨로 되고, TFT(1003)는 오프 상태로 된다.

이 때, 화소에서는, 화소 용량(1002)이 있기 때문에, 전술한 전압이 유지된다. 도 4의 경우에도 마찬가지다.

도 3과 도 4는, 액정 재료에 인가되는 전압이 상이한 경우를 도시하고 있고, 도 4의 경우에는, 도 3의 경우와 비교하여 인가 전압이 낮다. 이와 같이, 액정에 인가되는 전압을 아날로그 전압으로서 변화시킴으로써, 액정의 광 투과율을 아날로그적으로 바꾸어, 계조 표시를 실현하고 있다. 표시 가능한 계조수는, 액정에 인가되는 아날로그 전압의 선택지의 수에 의해 결정된다.

도 5는, 상기 소스 드라이버(902)의 블록 구성을 도시하고 있다. 이하, 기본적인 부분만 설명한다. 도 5에 도시한 바와 같이 소스 드라이버(902)는, 시프트 레지스터(21), 입력 래치 회로(22), 샘플링 메모리(23), 홀드 메모리(24), 레벨 시프터(25), DA 변환 회로(26), 기준 전압 발생 회로(27), 출력 회로(28), 펄스 폭 조정 회로(타이밍 조정 회로)(29), 스위치 회로(30) 및 1/n 분주 회로(31)를 구비하고 있다.

시프트 레지스터(21)는, 입력되는 스타트 펄스 SP를, 입력되는 클럭 신호 CK에 의해 동기를 취하여 시프트시킨다. 시프트 레지스터(21)의 각 단으로부터는, 제어 신호가 샘플링 메모리(23)에 출력된다. 또한, 스타트 펄스 SP는, 데이터 신호 D(표시 데이터 DR·DG·DB)의 수평 동기 신호 LS와 동기가 취해진 신호이다. 또한, 시프트 레지스터(21)에서 시프트된 스타트 펄스 SP는, 이웃한 소스 드라이버에서의 시프트 레지스터(21)에 스타트 펄스 SP로서 입력되어, 마찬가지로 시프트된다. 그리고, 가장 컨트롤러(4)로부터 먼 소스 드라이버에서의 시프트 레지스터까지 전송된다.

입력 래치 회로(22)는, 각 색에 대응한 입력 단자에 각각 시리얼로 입력되는 각 6 비트의 표시 데이터 DR·DG·DB를 일시적으로 래치하여, 샘플링 메모리(23)에 보낸다.

샘플링 메모리(23)는, 시프트 레지스터(21)의 각 단으로부터의 출력 신호(제어 신호)를 이용하여, 입력 래치 회로(22)로부터 시분할하여 보내져 오는 표시 데이터 DR·DG·DB(R·G·B 각 6 비트의 합계 18 비트)를 샘플링하여, 1수평 동기 기간분의 표시 데이터 DR·DG·DB가 갖추어질 때까지, 각 표시 데이터 DR·DG·DB를 기억하고 있다.

홀드 메모리(24)는, 홀드 신호 LS에 기초하여, 입력된 표시 데이터 DR·DG·DB를 래치한다. 그리고, 표시 데이터 DR·DG·DB를, 다음의 수평 동기 신호 LS가 입력될 때까지 동안 유지하여, 레벨 시프터(25)에 출력한다.

레벨 시프터(25)는, 액정 패널(901)에의 인가 전압 레벨을 처리하는 다음 단의 DA 변환 회로(26)에 적합시키기 위해, 표시 데이터 DR·DG·DB의 신호 레벨을 승압 등에 의해 변환하는 회로이다. 레벨 시프터(25)로부터는, 표시 데이터 D'R·D'G·D'B가 출력된다.

기준 전압 발생 회로(27)는, 액정 구동 전원(905)(도 1 참조)로부터의 참조 전압 VR에 기초하여, 계조 표시에 이용하는 64 레벨의 아날로그 전압을 발생시켜, DA 변환 회로(26)에 출력한다.

DA 변환 회로(26)는, 레벨 시프터(25)로부터 입력되는 RGB 각각 6 비트의 표시 데이터 D'R·D'G·D'B(디지털)에 따라 64 레벨의 전압 중 하나를 선택함으로써 아날로그 전압으로 변환하여 출력 회로(28)에 출력한다. 즉, DA 변환 회로(26)는, 도 6에 도시한 바와 같이 6 비트 각각 (Bit0~Bit5)에 대응하는 스위치를 갖고 있다.

그리고, DA 변환 회로(26)는, 6 비트의 표시 데이터 D'R·D'G·D'B에 따른 스위치를 각각 선택함으로써, 기준 전압 발생 회로(27)로부터 입력된 64 레벨의 전압 중 하나를 선택하게 된다.

출력 회로(28)는, DA 변환 회로(26)에 의해 선택된 아날로그 신호를 저임피던스 신호로 바꾸어, 스위치 회로(30)에 출력한다.

펄스 폭 조정 회로(29)(홀드 신호 LS용)는, 상기 시프트 레지스터(21)에 입력되는 클럭 신호 CK에 기초하여 1/n 분주 회로(31)에 의해 작성된 클럭 신호 CLK와, 컨트롤러(904)로부터 출력되어, 홀드 메모리(24)에 입력되는 홀드 신호 LS에 기초하여, 3 비트의 설정 신호 CTR1~3에 따라 LS 신호의 펄스 폭을 임의로 n 단계 변경(본 실시예에서는 8 단계 변경)하기 위한 회로이다. 또한, 펄스 폭 조정 회로(29)의 구성의 상세한 설명은 후술한다.

스위치 회로(30)는, 도 9에 도시한 바와 같이 아날로그 스위치를 갖고, 액정 인가 전압을 출력하기 전에 상기 펄스 폭 조정 회로(29)로부터 출력되는 홀드 신호 LSA에 기초하여, 출력 단자간을 R, G, B 동일 색마다 각각 단락하는 단락 스위치(단락 수단)(30a)와 출력 단자를 출력 회로(28)로부터 분리하여 출력 단자를 부유 상태로 하는 분리 스위치(분리 수단)(30b)를 구비하여, 출력 단자간을 R, G, B 동일 색마다 각각 차지 쉐어 동작이 가능하게 되도록 구성된다.

여기서는, 전술한 대로, 동일한 수평 기간에서, 소스 신호 전위가 플러스인 소스 신호 라인과 소스 신호 전위가 마이너스인 소스 신호 라인이 존재하는 양태(즉, 기본적으로는 도트 반전 구동)로서, 그와 같은 소스 신호 라인끼리 단락시킨다. 이에 의해, 액정 패널의 데이터선 상에 존재하는 정극성, 부극성의 전하로 예비 충전 동작을 보조할 수 있다. 즉, 액정 패널 내의 잔류 전하를 이용함으로써 액정 구동 전력을 저감할 수 있다. 또한, 스위치 회로(30)의 동작의 상세한 설명은 후술한다.

펄스 폭 조정 회로(29)의 상세 내용을 도 7 및 도 8을 사용하여 설명한다. 또한, 본 발명에서는, 설정 신호 CTR1~3의 설정을 예를 들면 3 비트( $2^3=8$ 로 됨)로 하고, 8 단계의 펄스 폭 조정이 가능한 일례에 대하여 설명을 행한다. 그러나, 이하에 설명하는 것은 8 단계 전환에 한정하는 것이 아니고, 설정 신호 CTR1~3의 설정에 준하여, 다른 단계수에 대해서도 마찬가지로 적용할 수 있다. 예를 들면 4 비트이면, 제어 신호를 CTR1~4의 4개로 하고, 후술하는 지연식 T형 플립플롭(9)이나 EX-OR 회로(11)를 각각 4개로 하면 된다.

상기 펄스 폭 조정 회로(29)는, 도 8에 도시한 바와 같이 제1 신호 생성 회로로서의 업 카운터 회로(6)와, 펄스 폭 신호 조정 회로로서의 비교 회로(7) 및 R-S 플립플롭(8)을 갖고 있다.

상기 업 카운터 회로(6)는, 설정 신호 CTR1~CTR3의 설정수(3 비트)에 따른 3개의 지연식 T형 플립플롭(9)에 입력되는 클럭 신호에 의해 순차적으로 계수 동작을 행하는 회로이다.

비교 회로(7)는, 설정 신호 CTR1~CTR3의 설정수(비트 수)와 동일한 3개의 Exclusive-OR 게이트(이하, EX-OR 회로라고 칭함)(11)와, 하나의 OR 회로(12)를 갖고 있다.

R-S 플립플롭(8)은, NAND 회로(13)로 구성되어 있다.

상기 지연식 T형 플립플롭(9)은, 시프트 레지스터(21)에 입력되는 클럭 신호 CK에 기초하여 1/n 분주 회로(31)에서 1/n 분주된 클럭 신호 CLK가 입력되는 CK 단자와, 홀드 메모리(24)에 입력되는 홀드 신호와 동일한 홀드 신호 LS가 리세트 신호로서 입력되는 R 단자와, 출력 단자  $Q \cdot \overline{Q}$  바를 갖고 있다.

또한, 출력 단자  $\overline{Q}$  는, 출력 단자 Q로부터 출력되는 신호의 반전 신호를 출력하는 단자이다.

상기 3개의 지연식 T형 플립플롭(9)의 각 출력 단자 Q로부터 출력되는 제1 신호군으로서의 신호 Q1, Q2, Q3(도 7 참조)은, OR 회로(10)에 출력됨과 함께, 비교 회로(7)에 출력되도록 되어 있다. 한편, 각 출력 단자  $\overline{Q}$  로부터 출력되는 신호는, 각각의 지연식 T형 플립플롭(9)의 D 단자에 입력됨과 함께, 1단계 및 2단계의 지연식 T형 플립플롭(9·9)에서는 클럭 신호로서 다음 단의 지연식 T형 플립플롭(9)의 CK 단자에 입력되도록 되어 있다.

상기 OR 회로(10)에는, 각 지연식 T형 플립플롭(9)으로부터의 신호 Q1, Q2, Q3과 홀드 메모리(24)에 입력되는 홀드 신호 LS를 일단, 인버터 회로(5)를 통하여, 반전된 신호가 입력되도록 되어 있다.

즉, 상기 구성의 업 카운터 회로(6)는, 설정 신호 CTR1~CTR3의 설정수(3 비트)분 설정되고, 시프트 레지스터(21)에 입력되는 클럭 신호 CK에 기초하여 1/n 분주된 클럭 신호 CLK와, 홀드 메모리(24)에 입력되는 홀드 신호 LS가 입력된 3개의 지연식 T형 플립플롭(9)으로부터, OR 회로(10)에, 도 7에 도시한 바와 같은 파형의 신호 Q1, Q2, Q3을 출력함으로써, 입력된 클럭 신호의 펄스수를 0~7까지 카운트하도록 되어 있다.

여기서, 지연식 T형 플립플롭(9)의 단자 Q로부터의 신호에 대하여, 도 7을 참조하면서 이하, 간단히 설명한다. 또한, 각 신호는 "1", "0"의 2 레벨의 2치 신호로서 설명한다.

초단의 지연식 T형 플립플롭(9)의 단자 Q로부터 출력되는 신호 Q1은, "0"과 "1"이 클럭 신호 CLK의 펄스의 1 주기마다 반전하는 펄스 상태의 신호로 되어 있다. 즉, 신호 Q1은, 1수평 기간의 최초의 펄스의 1 주기가 "0"의 신호로 되고, 다음 주기가 "1"의 신호로 되어 있다.

또한, 다음 단의 지연식 T형 플립플롭(9)의 단자 Q로부터 출력되는 신호 Q2는, "0"과 "1"이 클럭 신호 CLK의 펄스의 2 주기마다 반전하는 펄스 형상의 신호로 되어 있다. 이 경우에도, 수평 기간의 최초는 "0"이다.

또한, 최종단의 지연식 T형 플립플롭(9)의 단자 Q로부터 출력되는 신호 Q3은, "0"과 "1"이 클럭 신호 CLK의 펄스의 4 주기마다 반전하는 펄스 형상의 신호로 되어 있다. 이 경우에도, 수평 기간의 최초는 "0"이다.

또한, 업 카운터 회로(6)로부터의 카운트 신호인 신호 OR10은, 수평 기간의 최초인 클럭 신호 CLK의 펄스의 1주기째는 "0"이고, 클럭 신호 CLK의 펄스의 2주기째부터는 "1"로 유지되도록 되어 있다.

상기 각 EX-OR 회로(11)에는, 각각 전술한 업 카운터 회로(6)의 지연식 T형 플립플롭(9)으로부터의 신호 Q1, Q2, Q3이 입력됨과 함께, 설정 신호 CTR1~CTR3이 입력되도록 되어 있다.

또한, 상기 EX-OR 회로(11)는, 입력되는 2개의 신호가 동일하면 "0"으로 되어, 로우 레벨의 신호를 OR 회로(10)에 출력하고, 2개의 신호가 상이하면 "1"로 되어, 하이 레벨의 신호를 OR 회로(10)에 출력하도록 되어 있다.

그리고, OR 회로(12)에서는, EX-OR 회로(11)로부터의 신호가 입력되고, 후단의 R-S 플립플롭 회로(8)에 입력되는 제2 신호인 리세트 신호를 출력하도록 되어 있다.

즉, 상기 비교 회로(7)는, 설정 신호 CTR1~CTR3의 설정값과 업 카운터 회로(6)로부터의 데이터값을 비교함으로써, 해당 설정값에 따라 R-S 플립플롭 회로(8)를 리세트하도록 되어 있다.

R-S 플립플롭 회로(8)에서는, 전술한 바와 같이, 업 카운터 회로(6)로부터의 신호 OR10을 세트 신호로서 입력받고, 비교 회로(7)로부터의 신호를 리세트 신호로서 입력받고, 상기, 설정 신호 CTR1~CTR3의 설정값에 따라 홀드 신호 LSA의 펄스 폭을 임의로 변경하여, 출력할 수 있게 되어 있다.

그 때문에, 상기 홀드 신호 LSA는, 즉 설정 신호 CTR1~CTR3의 설정값에 따라 클럭 신호 CLK의 펄스수(여기서는, 0~7의 8 펄스분)를 임의로 조정하여, 출력할 수 있도록 구성되어 있다.

도 7에 의한 홀드 신호 LSA의 일례에서는, CTR1="1", CTR2="1", CTR3="0"에 의해, 클럭 신호 CLK의 펄스수는 『4』 클럭분, 조정된 신호가 출력된다.

즉, 조정되는 펄스수를  $x$ 로 하고, CTR1, CTR2, CTR3의 값을 각각  $a$ ,  $b$ ,  $c$ 로 하면,

$$x = c \cdot 2^2 + b \cdot 2^1 + a \cdot 2^0 + 1$$

$$= 0 + 2 + 1 + 1$$

$$= 4$$

이다.

도 10은 도 9의 스위치 회로(30)의 타이밍을 설명하기 위한 타이밍도이고,  $t_1 \sim t_3$ 사이 가 홀드 신호 LSA의 하이 기간이다.

도 10에서, A, B는 차지 제어 동작을 행하지 않는 종래의 각 소스 신호 전위를 나타내는 것이고, D, E는 본 발명의 각 소스 신호 전위를 나타내는 것이다.

D, E는, 도 24에서 도시한 바와 같은 도트 반전 구동에서의, 액정에 인가되는 전계의 방향이 상호 역방향으로 되어 있는 임의의 소스 신호 라인이다. 이들은 즉, 흑백 표시이면, 예를 들면 인접하는 소스 신호 라인이고, 컬러 표시이면, 동일 색용(적이면 적, 청이면 청)의 소스 신호 라인 중에 예를 들면 인접하는 소스 신호 라인이다.

A, B에 대해서도 마찬가지다.

시각  $t_1$ 이 1수평 기간의 개시 시기이다. 시각  $t_1$ 까지는, 홀드 신호 LSA가 로우 레벨로, 분리 스위치(30b)는 폐쇄 상태(온), 단락 스위치(30a)는 개방 상태(오프)이고, 종래와 동일한 회로 구성으로 되어, 출력 회로(28)로부터 분리 스위치(30b) 및 출력 단자를 통하여 출력되는 출력 신호 D, E는, 종래의 출력 신호 A, B와 동일하다

그리고, 우선, 수평 기간의 개시 시기  $t_1$ 과, LSA의 상승을 일치시키도록 설정한다. 그 결과, 시각  $t_1$ 의 타이밍에서, 홀드 신호 LSA가 하이 레벨 "H"로 전환되고, 분리 스위치(30b)는 오프하고, 단락 스위치(30a)는 온한다. 분리 스위치(30b)가 오프함으로써, 출력 회로(28)와 출력 단자가 전기적으로 분리되고, 단락 스위치(30a)가 온함으로써, R, G, B 동일 색마다 출력 단자간이 전기적으로 접속되어 단자간에서 전하가 이동하여, 어느 한 시각(시각  $t_2$ 으로 함)에서 출력 신호 D와 E는 동일 전위로 된다. 시각  $t_1$ 부터 시각  $t_2$ 까지의 시간은, 부하 용량으로 결정되는 충전 시간으로서, 부하 용량의 크기에 의해 결정된다.

여기서,  $t_1 \sim t_2$  동안은 출력 단자간에서 전하가 이동하기 때문에, 전력은 소비되지 않는다.

이어서, 시각  $t_3$ 의 타이밍에서, 홀드 신호 LSA가 로우 레벨 "L"로 전환되고, 분리 스위치(30b)는 온하고, 단락 스위치(30a)는 오프함으로써, 시각  $t_1$ 까지의 회로 상태와 동일하게 되어, 출력 회로(28)가 소스 신호 라인의 부하 용량의 전하를 충전하여, 전력이 소비되고, 어느 한 시각(시각  $t_4$ 로 함)에서 출력 신호 D와 E는 원하는 전위(소스 신호 전위)로 된다. 시각  $t_3$ 부터 시각  $t_4$ 까지의 시간은, 부하 용량으로 결정되는 충전 시간으로서, 부하 용량의 크기에 의해 결정된다.

이와 같이 하여,

(a) : 1수평 기간의 개시 시기에, 소스 신호 라인과 소스 드라이버와의 분리

(b) : (a)와 동시에, 소스 신호 라인끼리의 단락

(c) : (b) 후, 소스 신호 라인끼리의 단락 해제

(d) : (c)와 동시에, 소스 신호 라인과 소스 드라이버와의 재접속

과 같이 처리가 행하여진다. 또한, (b)는 (a)보다 늦은 시기로 해도 되고, (d)은 (c)보다 늦은 시기로 해도 된다.

또한, (c)는 (b)와 동시(즉 단락 시간이 0)에 해도 된다. 또한, LSA가 하이인 시간을 짧게 하여, 단락 소스 신호 라인의 전위끼리 동일하게 되기 전에 단락을 해제해도(즉, 도 10의 t2의 전위(단락 전위)에 도달하기 전에, t3부터 t4에의 변화 공정으로 이행되어도), 예비 충전의 효과는 어느 정도 얻을 수 있다.

단락시키고 있는 시간(단락 시간)을 어느 정도로 할지는,

조건 1 : 「중간의 전위(단락 전위)로 얼마만큼 충분하게 이행시키고 싶은가」

조건 2 : 「액정 패널에 기입하려는 전압(표시 전압)을 얼마만큼 충분하게 충전시키고 싶은가」

조건 3 : 상승·하강 시간의 크기(부하 용량의 크기에 의해 결정되므로, 조건 3 자체를 증감시키는 것은 불가능)

을 고려하여 정하면 된다.

조건 1을 중시하는 경우에는, 펄스 폭 조정 회로(29)에서, 단락 시간이 길어지도록, LSA의 하이의 시간을 길게 설정하면 된다. 조건 2를 중시하는 경우에는, 펄스 폭 조정 회로(29)에서, 단락 시간이 짧아지도록, LSA의 하이의 시간을 짧게 설정하면 된다. 즉, 원하는 하이 기간의 길이가 얻어지도록, CTR1~3의 값을 정한다. 또한, 만약, 보다 미소한 조정이 필요하다면, 펄스 폭 조정 회로(29)로서, CTR을 4종 사용한 것을 준비하여 16 단계로 한 후에 CTR1~4의 값을 정하면 된다. 보다 미소한 조정이 필요하다면, CTR을 5종으로 하면 된다. 이하 마찬가지다.

이와 같이, 컨트롤러에서 SELECT 신호의 펄스 폭(하이 기간)의 타이밍을 조정하지 않고 용이하게, 차지 웨어 동작에 의해 중간의 구동 전압으로 변화시키고, 그 후 원활하게, 액정 패널에 기입하려는 전압(표시 전압)으로 이행시킬 수 있다.

도 25와 같은 외부 기억 용량을 이용하는 종래의 구성인 경우에는, 오래된 주변 장치와 새로운 액정 패널과의 조합에서는, 차지 웨어를 정확하게 행하고자 하면, 외부 기억 용량을 조정할 필요가 있다. 한편, 본 실시예에서는, 외부 기억 용량에 의지하지 않고, 새로운 액정 패널 내부에서, 소스 신호 라인끼리 단락시킴으로써 차지 웨어 처리를 완결시키므로, 외부 기억 용량이 불필요하고, 따라서 그것을 조정할 필요도 생기지 않는다.

또한, 상기한 바와 같이, 홀드 신호의 펄스 폭 기간을 용이하게 변경할 수 있는 조정 회로를 소스 드라이버 내에 내장하고 있다. 그 때문에, 액정 패널의 화소수나 재질의 차이로부터 생기는 부하 용량 등의 변화에 대하여, 컨트롤러를 구성하는 LSI를 일부러 변경하지 않고, 간단히 차지 웨어용의 제어 신호를 변경할 수 있기 때문에, 신뢰성의 향상 및 설계 변경의 고 효율화를 실현할 수 있다.

또한, 상기 설명에서는, 소스 드라이버 내에 설치된 펄스 폭 조정 회로로부터의 출력 신호에 의한 조정예의 일례를 설명했지만, 컨트롤러 내에도 마찬가지로 회로 수단을 내장함으로써 간단히 변경할 수 있는 것은 물론이다. 이 경우에는, 도 11에 도시한 바와 같이 소스 드라이버 내에는 스위치 회로로서, 출력 단자간을 R, G, B 동일 색마다 각각 단락하는 단락 스위치(단락 수단)(30a)와 출력 단자를 출력 회로(27)로부터 분리하여 출력 단자를 부유 상태로 하는 분리 스위치(분리 수단)(30b)를 구비함으로써, 출력 단자간을 R, G, B 동일 색마다 각각 차지 웨어 동작이 가능하게 되도록 구성된다.

이 경우, 컨트롤러는, 도 9의 컨트롤러와 동등한 기능을 갖는 기본 제어부와, 펄스 폭 조정 회로(29)에 상당하는 펄스 폭 조정부(도시 생략)를 내부에 구비하고, LS로서, 전술한 LSA와 마찬가지로의 펄스 폭을 펄스 폭 조정부에 의해 임의로 설정 가능한 신호를 소스 드라이버에 출력하도록 구성하면 된다.

출력 단자 X1~X128·Y1~Y128·Z1~Z128은, 각각 표시 데이터 DR·DG·DB에 대응하는 것이고, X, Y, Z 각각 모두 128개의 단자로 이루어진다. 이와 같이 하여, 64 계조 표시의 각 소스 드라이버는, 표시 데이터 DR·DG·DB에 기초하여 계조 레벨에 대응하는 아날로그 신호를 액정 패널에 출력하여, 64 계조의 표시를 행한다.

또한, 여기서는 R, G, B 각각에서 단락시키고 있지만, 극성이 상이한 것이면, R와 G, G와 B 등과 같이, 상이한 색끼리 단락시켜도 된다.

또한, 컬러 화상 이외에도, 흑백 화상이나, 또한 2치 화상에도 적용 가능하다.

또한, 도 9에서는, 예를 들면 R에 대하여, (+)의 하나(X1)와 (-)의 하나(X2)를 단락하고 있지만, 예를 들면 (+)의 2개와 (-)의 2개를 전부 단락시켜도 된다. 또한, 예를 들면 (+)의 2개와 (-)의 하나와 같이, 개수가 상이해도 된다.

본 발명은, 액정 표시 장치를 표시 데이터 신호에 기초하여 구동하는 액정 구동 회로로서, 클럭 신호에 기초한 스타트 펄스 신호를 전송하는 전송 회로(시프트 레지스터)와, 입력된 표시 데이터 신호를 클럭 신호에 동기하여 취득하고, 동기 데이터로서 출력하는 래치 회로(입력 래치 회로)와, 전송되는 스타트 펄스 신호에 기초하여 상기 동기 데이터를 샘플링하여 출력하는 샘플링 회로(샘플링 메모리)와, 상기 샘플링 회로의 데이터에 기초하여 DA 변환(디지털-아날로그 변환)하는 DA 변환 회로와, 상기 DA 변환 회로에 의해 얻어진 계조 표시용의 아날로그 전압(계조 표시용)을 출력 회로를 통하여 액정 구동 전압 출력 단자로부터 액정 인가 전압을 출력하는 출력 회로를 구비한 액정 구동 회로에서, 상기 출력 회로가 액정 인가 전압을 출력하기 전에 출력 단자간을 R, G, B 동일 색마다 각각 단락하는 단락 스위치 회로와, 상기 출력 단자를 출력 수단으로부터 분리하여 출력 단자를 부유 상태로 하는 분리 스위치 수단을 갖는 스위치 회로를 구비한 액정 구동 회로로서 구성할 수도 있다.

또한, 본 발명은, 상기의 구성에서, 상기 스위치 회로는, 일단, 소스 드라이버 내에 내장되는 제어 신호(LSA)에 기초하여 차지 쉐어 동작이 가능해지도록 구성할 수도 있다.

또한, 본 발명은, 상기의 구성에서, 상기 스위치 회로는, 설정 단자로부터 입력되는 2치 설정 신호(CTR1, CTR2, CTR3)에 기초하여 임의로 펄스 폭 기간을 조정할 수 있도록 구성할 수도 있다.

또한, 본 발명은, 상기의 구성에서, 상기 스위치 회로는, 컨트롤러로부터의 제어 신호(LS)에 기초하여 차지 쉐어 동작이 가능하게 되도록 구성되고, 또한 설정 단자로부터 입력되는 2치 설정 신호(CTR1, CTR2, CTR3)에 기초하여 임의로 펄스 폭 기간을 조정할 수 있도록 구성할 수도 있다.

또한, 본 발명은, 상기의 구성의 액정 구동 회로를 탑재하고 있는 액정 표시 장치로서 구성할 수도 있다.

## [제2 실시예]

본 발명의 다른 실시예에 대하여 도 12 내지 도 17에 기초하여 설명하면, 이하와 같다. 또한, 설명의 편의상, 상기한 실시예의 도면에 도시한 부재와 동일한 기능을 갖는 부재에는, 동일한 부호를 부기하고 그 설명을 생략한다.

도 1에서, 사용자로부터의 요구에 따라서는, 이미 제작된 소스 드라이버(902)에 기초하여, 출력 단자 개수를 줄이거나, 또한 반대로 늘리거나 함으로써 신규 기종을 제작하는 경우가 있다.

예를 들면, 도 12에 이들 소스 드라이버(902)에 의한 구성도의 일례를 도시한다. 도 12에 의한 일례에서는, 420 출력있는 출력 단자 개수에 대하여, 예를 들면 칩 중앙의 로직 회로(902a)를 사이에 두고 각각 3개의 출력 단자(계 6개)는 사용하지 않도록 구성되어 있다. 그것에 따라, 소스 드라이버(902)의 출력 단자 개수는 414 출력(420 출력-6 출력)으로서 구성되고, 액정 패널(901)에 복수개 탑재되어 사용되는 것이다.

이상에 의해, 소스 드라이버(902)의 6개의 출력 단자(910)는, 액정 패널(901) 내의 R, G, B 각각 화소에는 접속되지 않도록 구성되어 있다. 도 12에는, 소스 신호 라인 S1 내지 S18이 도시되어 있다. S1~S6, S13~S18의 출력 단자(910)에는 화소가 접속되어 있지만, S7~S12의 출력 단자(910)에는 화소가 접속되어 있지 않다.

그에 의해, 소스 드라이버(902) 내의 중앙의 로직 회로(902a)를 사이에 둔 각각 3개의 출력 단자(910)에 접속되는 단락 스위치(단락 수단)(30a)에 대해서는, 차지 쉐어 동작은 기능하지 않는다. 여기서 도시한 일례에서는, 각각 R, G, B 화소로 구성되는 화소군 A68 및 A69에 접속되는 6개의 출력 단자가 그렇고, 이들 6개에 대해서는 차지 쉐어 동작은 기능하지 않는다. 한편, 그 외의 A67 및 A70에 접속되는 출력 단자에 대해서는, 동일 색 인접 단자간에서 차지 쉐어 동작이 기능하도록 구성되어 있기 때문에, 소비 전력의 저감이 가능하다.

여기서, 도 13은, 도 12에 도시하는 소스 드라이버(902)의 출력 단자(910)로부터 출력되는 과도 전압 파형의 일례를 도시하고 있고, 한쪽은 R, G, B 화소로 구성되는 화소군 A67 및 A70에 접속된 차지 쉐어 동작이 가능한 출력 단자로부터의 과도 전압 파형을, 다른 한쪽은, R, G, B 화소로 구성되는 화소군 A68 및 A69에 접속된 차지 쉐어 동작이 기능하지 않는 출력 단자로부터 출력되는 과도 전압 파형에 의한 일례를 각각 도시하고 있다.

이들을 비교한 경우, R, G, B 화소로 구성되는 화소군 A67 및 A70에 접속된 출력 단자는, 차지 쉐어 동작이 기능함으로써, 차지 쉐어 동작이 기능하지 않는 것과 비교하여, (1/2) VLS에의 도달이 빠르다고 하는 결과로 된다. 또한, VLS는 출력 진폭 레벨의 최대값이고, VSS는 출력 진폭 레벨의 최소값이다. 그 결과, 차지 쉐어의 유무에 따라 드라이버 출력 단자간에서 과도 전압 파형차가 생기기 때문에, 도 14에 도시한 바와 같이 액정 패널(901) 상에 상기 소스 드라이버(902)를 복수개 탑재한 경우, 드라이버 출력의 과도 파형차에 의해 표시 문제점(세로줄)의 발생을 생각할 수 있다. 도 14는 그 일례를 도시하고, 액정 패널(901)을 그레이 베타 표시로 한 경우, 소스 드라이버(902)의 칩 중앙에 6개분의 얇은 세로줄(922)이 발생할 가능성이 있다. 참조 부호 921은, 세로줄이 없는, 통상의 표시 부분이다.

따라서, 본 형태에서는, 이어서 설명한 바와 같이, 사용자로부터의 사양 변경 요구에 따른 출력 단자 개수의 변경에 의해서도 좌우되지 않고, 동일 색 블록간에서 차지 쉐어 동작이 기능하도록 구성함으로써, 상기 출력 단자간의 과도 파형차를 없애어, 소비 전력의 삭감을 실현하고 있다.

도 15에 도시한 바와 같이, 소스 드라이버 내의 출력 회로(28)에는 스위치 회로(스위치 회로부)(30)로서, 출력 단자(910)간을 R, G, B 동일 색마다 각각 단락하는 단락 스위치(단락 수단)(30a)와, 출력 단자(910)를 출력 회로(28)로부터 분리하여 출력 단자를 부유 상태로 하는 분리 스위치(분리 수단)(30b)를 구비하고 있다.

특히, 출력 단자간에서 각각 R, G, B 동일 색 블록마다 각각 차지 쉐어 동작이 가능해지도록, 단락 스위치(단락 수단)(30a)의 한쪽이, 각각 공통된 버스 라인 RCS, GCS, BCS에 접속되어 구성되어 있다. 그 결과, 도 12에 도시한 구성과 같이 출력 단자 개수의 변경에 좌우되지 않고, 해당 RCS, GCS, BCS의 공통된 버스 라인을 통하여, 각 R, G, B 동일 색 블록간에서 각각 차지 쉐어 동작의 실현이 가능해지도록 구성되어 있다.

이와 같이, 본 형태에서는, 우선, 하나 하나의 화상이, 하나 이상의 화소로 이루어지는 화소군으로 표시되어 있다. 여기서, 「하나 하나의 화상」이란, 화면 전체에 표시되는 하나의 화상이라는 의미가 아니고, 사용자에게 하나의 색을 인식시키기 위한 기초로 되는 화소, 즉 여기서는 R, G, B의 3개의 화소(여기서는 이 3개를 하나의 「화소군」이라고 칭함)로 표시되는 화상이라는 의미이다. 모노크롬이면 1 화소가 1 화소군인 경우도 있을 수 있다.

또한, 어느 화소나, 각 화소간의 단락 스위치(30a)를 통하여, 해당 화소가 속하지 않는 모든 화소군 중 적어도 하나의 화소와 접속되어 있다. 그리고, 예비 충전 처리 시에는 상기 단락 스위치가 동시에 온 오프하도록 구성되어 있다.

상기의 구성에 의해, 어느 화소군의 화소나, 반드시 어느 하나의 다른 화소군의 화소와 단락할 수 있도록 접속된다. 예를 들면, 임의의 화소군 중 화소 R에 주목하면, 그 화소 R이 속하지 않는 다른 모든 화소군 중의, R, G, B 중 적어도 하나와, 단락 가능하도록 접속되어 있다는 것이다. 도 15의 예에서는, 임의의 화소군 중 화소 R은, 그 화소 R이 속하지 않는 다른 모든 화소군 중 화소 R과, 단락 가능하도록 접속되어 있다. G, B에 대해서도 마찬가지다.

도 15의 예 이외에도, 예를 들면, 제1 화소군의 R과, 제2 화소군의 G와, 제3 화소군의 R과 G와 B와, 제4 화소군의 G와 B와, 제5 화소군의 R와, ...의 식으로 접속되도록, 단락 스위치(30a)를 적절하게 증감시켜 배치하는 구성으로 할 수도 있다. 예를 들면, 도 15의 구성에서, 화소군 A67의 화소 R, G가 각각 접속하고 있는 버스 라인이 교체되도록 단락 스위치(30a)의 배치를 변경하면, 화소군 A67의 화소 R은 다른 모든 화소군의 화소 G와 단락 가능하게 접속된 구성을 얻을 수 있다.

따라서, 만약 어느 하나의 소스 신호 라인에서 화소군을 분리해도, 남은 화소군은, 단락 상대가 없어지지 않고, 반드시 어느 하나의 다른 화소군의 화소와 단락된다. 그렇기 때문에, 기지의 소스 드라이버를 유용하여, 화소군을 줄인 것을 만들었다고 해도, 세로줄 등의 표시 상의 문제점이 생기는 것을 억제할 수 있다.

특히, 본 구성에서는, 스위치 회로(30)는, 단락 스위치(30a)와, 분리 스위치(30b)를 구비하고 있다. 단락 스위치(30a)는, 소스 신호 라인(1004)(S1, S2, ...)끼리 R, G, B 동일 색마다 각각 단락하기 위한 것으로서, 일단이 소스 신호 라인과 접속되어 있다. 단락 스위치(30b)의 타단은, R, G, B 동일 색마다 각각 공통된 버스 라인 RCS, GCS, BCS에 접속되어 있다. 분리 스위치(30b)는, 출력 회로(28)와 소스 신호 라인을 분리하여 출력 회로를 부유 상태로 한다. 그리고, 예비 충전 처리 시에는, R, G, B 동일 색마다 소스 신호 라인끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하도록 되어 있다. 즉, 본 형태에서는, 어느 화소나, 버스 라인과, 각 화소와 버스 라인 사이의 단락 스위치를 통하여, 상기 화소가 속하지 않는 모든 화소군 중 적어도 하나의 화소와 접속되어 있다. 그리고, 본 형태에서는, 동일한 색끼리만이 상기 단락 스위치를 통하여 접속되어 있다.

또한, R과 R, G와 G, B와 B에 버스 라인을 나눠 설치하는 것 이외에도, 그룹 내에 색이 혼재하는 구성, 예를 들면

그룹 1 : X1(R)(+), X2(G)(-), X3(R)(+), X4(B)(-)

그룹 2 : Y1(G)(+), Y2(R)(-), Y3(B)(+), Y4(R)(-)

그룹 3 : Z1(B)(+), Z2(B)(-), Z3(G)(+), Z4(G)(-)

라도, 차지 웨어의 효과는 얻어진다. 또한, 전술된 바와 같이, 단락시키는 (+)와 (-)의 개수는 일치하지 않아도 된다. 또한, 단락시키는 (+)와 (-)의 각 토탈 전하량은, 서로 달라도 된다.

또한, (흑백 또는 컬러로서) 모든 화소가 하나의 버스 라인에 의해 접속되어 있는 식의 구성」이나, 「모든 R과 G가 하나의 버스 라인에 의해 접속되고, 모든 B가 다른 하나의 버스 라인에 의해 접속되어 있는 식의 구성」이어도, 차지 웨어의 효과는 얻어진다.

이어서, 도 16에, 본 형태의 변형예를 도시한다. 도 16에 도시하는 구성에서는, 도 15에서 구성된 소스 드라이버(902) 내에 설치되어 있는 스위치 회로(스위치 회로부)(30)의 일부분, 즉 출력 단자간을 R, G, B 동일 색 블록마다 각각 단락하기 위한 단락 스위치(단락 수단)(30a)를, 액정 패널(901) 상에 작성함으로써, 시스템의 간이화를 도모하도록 구성하고 있다. 즉, 참조 부호 35는, 스위치 회로(30) 중 소스 드라이버(902)의 내부에 있는 전반부이고, 참조 부호 36은, 스위치 회로(30) 중 액정 패널(901)의 내부에 있는 후반부이다.

이와 같이, 단락 스위치(30a)를, 표시 장치의 표시부인 액정 패널 상에 작성함으로써, 시스템의 간이화를 도모할 수 있다.

또한, 상기 도 16의 구성에서는, 스위치 회로(스위치 회로부)(30)의 일부분(30a)에 대하여 액정 패널(901) 상에 작성하는 구성예를 도시하고 있지만, 물론, 출력 단자를 부유 상태로 하는 분리 스위치(분리 수단)(30b)에 대해서도 마찬가지로 액정 패널(901) 상에 작성해도 아무런 문제가 없는 것은 말할 필요도 없다.

이와 같이, 본 형태에서는, 출력 단자 개수의 변경에 좌우되지 않고, 동일 색 블록간에서 차지 웨어 동작이 기능하기 때문에 출력 단자간의 과도 파형차를 없애어, 한층더 신뢰성의 향상 및 저소비 전력화를 실현할 수 있다.

도 17은 또다른 변형예이다. 본 구성에서는, 하나 하나의 화상이, 2개 이상의 화소로 이루어지는 화소군으로 표시되어 있다. 여기서, 「하나 하나의 화상」의 정의는 전술한 대로이다. 그리고, 각 화소군 중의 화소 중 적어도 하나가, 동일 수평 기간 내에 동일한 화소군 중 남은 화소와는 역극성이다. 또한, 각 화소군 중 전체 화소(여기서는 R과 G와 B)끼리, 각 화소간의 단락 스위치(30a)를 통하여 접속되어 있고, 예비 충전 처리 시에는 단락 스위치(30a)가 동시에 온 오프하는 구성이다.

즉, R, G, B 화소로 구성되는 하나의 화소군 중에서, 화소에 따라, 동일한 수평 기간 내의 극성이 상이하다. 예를 들면, 제1 화소군 중 화소 R과 G는, 어느 한 수평 기간 내에 정극성이고, 제1 화소군 중 화소 B는 동일한 수평 기간 내에 부극성이라고 하는 것이다. 또 예를 들면, 제2 화소군 중 화소 R은, 임의의 수평 기간 내에 부극성이고, 제2 화소군 중 화소 G와 B는 동일한 수평 기간 내에 정극성이라고 하는 것이다. 이러한 것은, 교류 구동되는 소스 신호 라인 및 공통 전극에 인가하는 전압에 대하여, 위상을 변이시키는 등 그 극성을 적절하게 설정하는 것만으로 용이하게 실현 가능하다.

이 구성의 경우, 도 17에 도시한 바와 같이 토탈, 단자를 세개 갖는 단락 스위치(30a)를 이용하여, 동일 화소군 중에서, 모든 화소끼리, 즉 여기서는 R과 G와 B 끼리 단락시키는 구성이 가능하다.

본 발명은, 액정 표시 장치나 그 구동 장치와 같은 용도에도 적용할 수 있다.

이상과 같이, 본 발명에 따른 구동 장치는, 표시 데이터 신호에 기초하여 출력 회로로부터 소스 신호 라인에 인가되는 전위인 소스 신호 전위에 의해 수평 기간마다 표시 장치의 표시부의 화소에 전압을 인가함으로써 표시부를 구동하는 구동 장치로서, 상기 소스 신호 라인의 전위를 그 수평 기간의 소스 신호 전위로 하기 전에 예비 충전을 행하는 구동 장치에서, 예비 충전 처리 시에는, 상기 출력 회로와 소스 신호 라인과의 접속을 분리하여, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 스위치 회로를 구비한 것을 특징으로 하고 있다.

상기의 구성에 의해, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 예비 충전을 행한다.

따라서, 표시부 내부에서, 소스 신호 라인끼리 단락시킴으로써 예비 충전을 완결하므로, 외부 기억 용량이 불필요하고, 따라서 그것을 조정할 필요도 생기지 않는다. 그 결과, 컨트롤러로부터 출력되는 SELECT 신호의 펄스 폭(하이 기간)의 타이밍을 변경하여 조정할 필요가 없고, 그 때문에, 새롭게 컨트롤러의 구성을 변경하거나 작성하거나 할 필요가 없다.

그렇기 때문에, 화소수나 재질이 상이한 신규 설계의 표시부(액정 패널 등)를 사용한 경우 등에도, 컨트롤러의 구성을 변경하는 것을 필요로 하지 않는 표시 장치 및 구동 장치를 실현할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 상기 스위치 회로는, 예비 충전 처리 시에는, R, G, B 동일 색마다 소스 신호 라인끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 것을 특징으로 하고 있다.

상기의 구성에 의해, 예비 충전 처리 시에는, R, G, B 동일 색마다 소스 신호 라인끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전이 행하여진다.

따라서, 상기의 구성에 의한 효과 외에 추가로, 간소한 구성으로 원하는 예비 충전을 행할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 상기 출력 회로와 상기 소스 신호 라인과의 접속을 분리하는 타이밍과, 상기 소스 신호 라인끼리의 단락의 타이밍을, 임의로 설정 가능한 타이밍 조정 회로를 구비한 것을 특징으로 하고 있다.

상기의 구성에 의해, 상기 출력 회로와 상기 소스 신호 라인과의 접속을 분리하는 타이밍과, 상기 소스 신호 라인끼리의 단락의 타이밍이, 임의로 설정 가능하다.

따라서, 상기의 구성에 의한 효과 외에 추가로, 표시부의 설계가 바뀌어, 상기 접속 분리 및 단락의 타이밍을 조정할 필요가 발생해도, 그것을 용이하게 변경할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 하나 하나의 화상이, 하나 이상의 화소로 이루어지는 화소군으로 표시되고, 어느 화소나, 각 화소간의 단락 스위치를 통하여, 상기 화소가 속하지 않는 모든 화소군 중 적어도 하나의 화소와 접속되고, 예비 충전 처리 시에는 상기 단락 스위치가 동시에 온 오프하는 것을 특징으로 하고 있다.

상기의 구성에 의해, 어느 화소군의 화소나, 반드시 어느 하나의 다른 화소군의 화소와 단락할 수 있도록 접속된다.

따라서, 만약 어느 하나의 소스 신호 라인에 의해 화소군을 분리해도, 남은 화소군은, 단락 상대가 없어지지 않고, 반드시 어느 하나의 다른 화소군의 화소와 단락된다. 그렇기 때문에, 기지의 소스 드라이버를 유용하여, 화소군을 줄인 것을 만들었다고 해도, 세로줄 등의 표시 상의 문제점이 생기는 것을 억제할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 동일한 색끼리만 상기 단락 스위치를 통하여 접속되어 있는 것을 특징으로 하고 있다.

상기의 구성에 의해, 상기의 구성에 의한 효과 외에 추가로, 구성을 간소화할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 어느 화소나, 버스 라인과, 각 화소와 버스 라인 사이의 단락 스위치를 통하여, 상기 화소가 속하지 않는 모든 화소군 중 적어도 하나의 화소와 접속되어 있는 것을 특징으로 하고 있다.

상기의 구성에 의해, 상기의 구성에 의한 효과 외에 추가로, 구성을 간소화할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 상기 스위치 회로는, 상기 소스 신호 라인끼리 R, G, B 동일 색마다 각각 단락하기 위한 것으로서, 일단이 소스 신호 라인과 접속된 단락 스위치와, 상기 출력 회로와 소스 신호 라인을 분리하여 출력 회로를 부유 상태로 하는 분리 스위치를 구비하고, 상기 단락 스위치의 타단은, R, G, B 동일 색마다 각각 공통된 버스 라인에 접속되고, 예비 충전 처리 시에는, R, G, B 동일 색마다 소스 신호 라인끼리 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 것을 특징으로 하고 있다.

상기의 구성에 의해, 어느 화소군의 화소나, 반드시 어느 하나의 다른 화소군의 화소와 단락할 수 있도록 접속된다.

따라서, 만약 어느 하나의 소스 신호 라인에서 화소군을 분리해도, 남은 화소군은, 단락 상대가 없어지지 않고, 반드시 어느 하나의 다른 화소군의 화소와 단락된다. 그렇기 때문에, 기지의 소스 드라이버를 유용하여, 화소군을 줄인 것을 만들었다고 해도, 세로줄 등의 표시 상의 문제점이 생기는 것을 억제할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 상기 단락 스위치 및 상기 분리 스위치 중 적어도 하나는, 표시 장치의 표시부에 형성되어 있는 것을 특징으로 하고 있다.

상기의 구성에 의해, 상기의 구성에 의한 효과 외에 추가로, 시스템의 간이화를 도모할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 구동 장치는, 상기의 구성 외에 추가로, 하나 하나의 화상이, 2개 이상의 화소로 이루어지는 화소군으로 표시되어, 각 화소군 중의 화소 중 적어도 하나가, 동일 수평 기간 내에 동일한 화소군 중 남은 화소와는 역극성이고, 각 화소군 중 전체 화소끼리, 각 화소간의 단락 스위치를 통하여 접속되고, 예비 충전 처리 시에는 상기 단락 스위치가 동시에 온 오프하는 것을 특징으로 하고 있다.

상기의 구성에 의해, 어느 화소군의 화소나, 반드시 동일한 화소군 내의 어느 하나의 다른 화소와 단락할 수 있도록 접속된다.

따라서, 만약 어느 하나의 소스 신호 라인에서 화소군을 분리해도, 남은 화소군은, 단락 상대가 없어지지 않고, 반드시 어느 하나의 다른 화소군의 화소와 단락된다. 그렇기 때문에, 기지의 소스 드라이버를 유용하여, 화소군을 줄인 것을 만들었다고 해도, 세로줄 등의 표시 상의 문제점이 생기는 것을 억제할 수 있다고 하는 효과를 발휘한다.

또한, 본 발명에 따른 표시 장치는, 상기 구동 장치를 구비한 것을 특징으로 하고 있다.

상기의 구성에 의해, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 예비 충전을 행한다.

따라서, 표시부 내부에서, 소스 신호 라인끼리 단락시킴으로써 예비 충전을 완결하므로, 외부 기억 용량이 불필요하고, 따라서 그것을 조정할 필요도 생기지 않는다. 그 결과, 컨트롤러로부터 출력되는 SELECT 신호의 펄스 폭(하이 기간)의 타이밍을 변경하여 조정할 필요가 없고, 그 때문에, 새롭게 컨트롤러의 구성을 변경하거나 작성하거나 할 필요가 없다.

그렇기 때문에, 화소수나 재질이 상이한 신규 설계의 표시부(액정 패널 등)를 사용한 경우 등이라도, 컨트롤러의 구성을 변경, 작성하는 것을 필요로 하지 않는 표시 장치 및 구동 장치를 실현할 수 있다고 하는 효과를 발휘한다.

본 발명은 전술한 각 실시예에 한정되는 것은 아니고, 청구항에 기재한 범위에서 여러가지의 변경이 가능하고, 상이한 실시예에 각각 개시된 기술적 수단을 적절하게 조합하여 얻어지는 실시예에 대해서도 본 발명의 기술적 범위에 포함된다.

## 발명의 효과

이상과 같이, 본 발명에 따른 구동 장치는, 예비 충전 처리 시에는, 상기 출력 회로와 소스 신호 라인과 접속을 분리하여, 동일한 수평 기간에서 소스 신호 전위가 플러스로 되는 적어도 하나의 소스 신호 라인과 소스 신호 전위가 마이너스로 되는 적어도 하나의 소스 신호 라인을 단락시킴으로써 이들의 소스 신호 라인의 예비 충전을 행하는 스위치 회로를 구비하고 있으므로, 화소수나 재질이 상이한 신규 설계의 표시부(액정 패널 등)를 사용한 경우 등이라도, 컨트롤러의 구성을 변경, 작성하는 것을 필요로 하지 않는 표시 장치 및 구동 장치를 실현할 수 있다고 하는 효과를 발휘한다.

## 도면의 간단한 설명

도 1은 액티브 매트릭스 방식의 대표예인 TFT(박막 트랜지스터) 방식의 액정 표시 장치의 구성예를 도시하는 블록도.

도 2는 도 1에서의 액정 패널의 구성예를 도시하는 회로도.

도 3은 구동 파형의 일례를 도시하는 도면.

도 4는 구동 파형의 다른 일례를 도시하는 도면.

도 5는 본 발명에 따른 소스 드라이버의 구성예를 도시하는 블록도.

도 6은 DA 변환 회로의 구성예를 도시하는 회로도.

도 7은 본 발명에 따른 각 신호의 타이밍을 도시하는 도면.

도 8은 본 발명에 따른 펄스 폭 조정 회로의 구성예를 도시하는 회로도.

도 9는 본 발명에 따른 스위치 회로의 구성예를 도시하는 회로도.

도 10은 본 발명에 따른 스위치 회로의 타이밍을 도시하는 도면.

도 11은 본 발명에 따른 다른 스위치 회로의 구성예를 도시하는 회로도.

도 12는 소스 드라이버의 구성예를 도시하는 블록도.

도 13은 도 12에 도시하는 소스 드라이버의 출력 단자로부터 출력되는 과도 전압 파형의 일례를 도시하는 도면.

도 14는 도 12에 도시하는 소스 드라이버를 액정 패널 상에 복수개 탑재한 경우의 일례를 도시하는 도면.

도 15는 본 발명에 따른 다른 스위치 회로의 구성예를 도시하는 회로도.

도 16은 본 발명에 따른 다른 스위치 회로의 구성예를 도시하는 회로도.

도 17은 본 발명에 따른 다른 스위치 회로의 구성예를 도시하는 회로도.

도 18은 종래의 드라이버 IC의 TCP의 형상을 도시하는 평면도.

도 19는 종래의 칩(57)과 TCP와의 접속 부분을 도시하는 평면도.

도 20은 종래의 액정 모듈의 형태를 도시하는 평면도.

도 21a, 도 21b는 액정의 기본적인 구동 방법에 의한 일례를 도시하는 도면.

도 22a, 도 22b는 각종 반전 구동 방식에 의한 일례를 도시하는 도면.

도 23a, 도 23b는 각종 반전 구동 방식에 의한 일례를 도시하는 도면.

도 24a, 도 24b는 각종 반전 구동 방식에 의한 일례를 도시하는 도면.

도 25는 종래의 도트 반전용 구동 장치의 구성예를 도시하는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

51, 55 : 액정 구동 출력용 외부 접속 단자부

57 : 칩

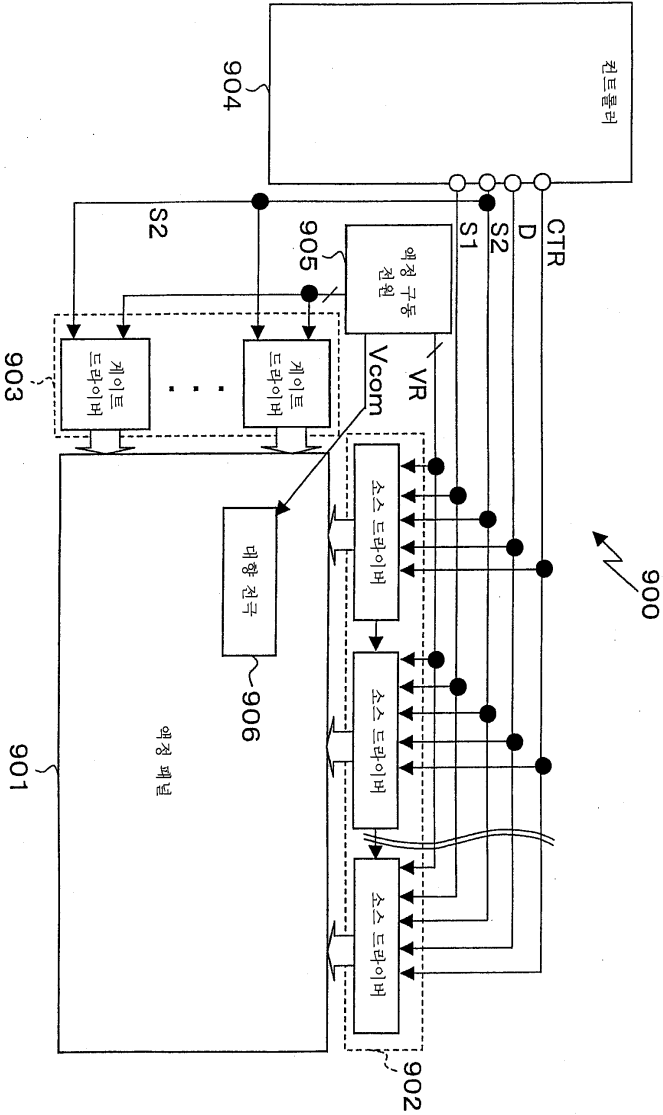
64 : 내측 리드

67 : 패드

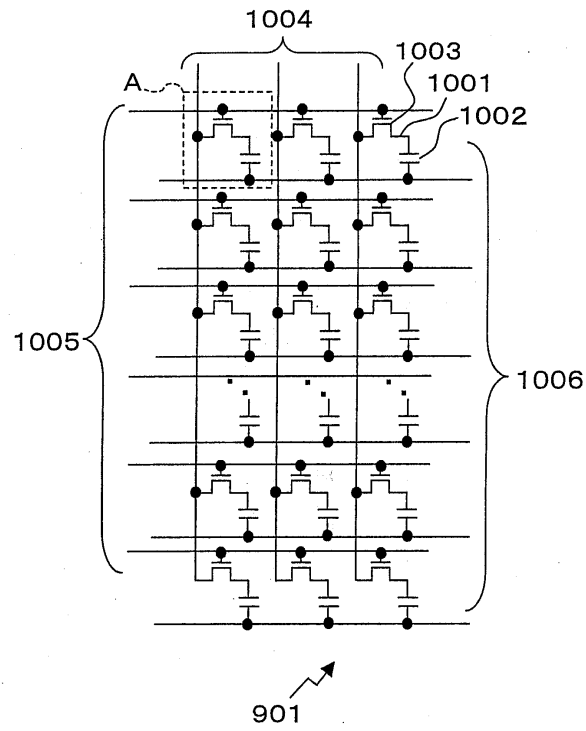
- 902 : 소스 드라이버
- 903 : 게이트 드라이버
- 904 : 컨트롤러

도면

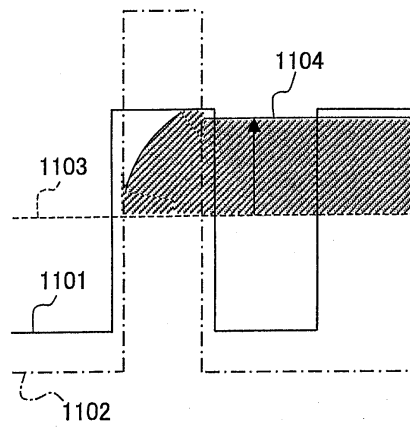
도면1



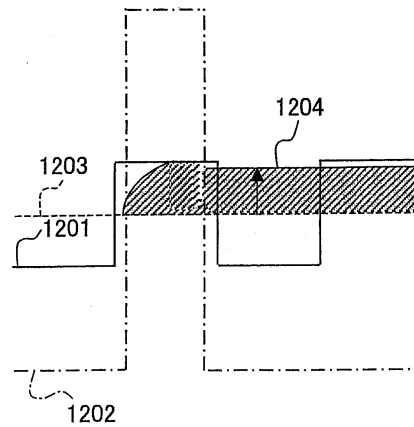
도면2



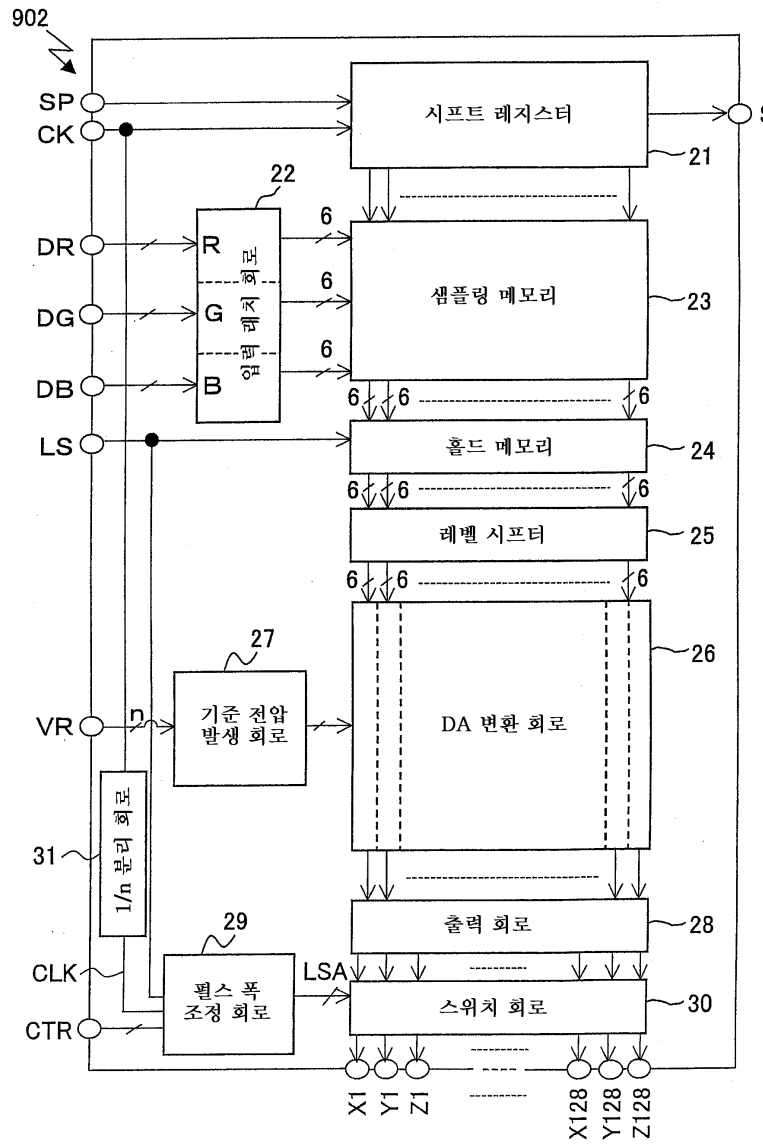
도면3



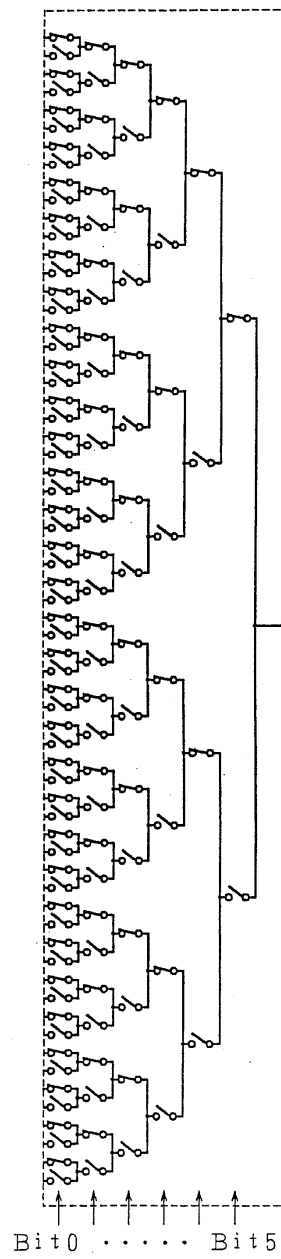
도면4



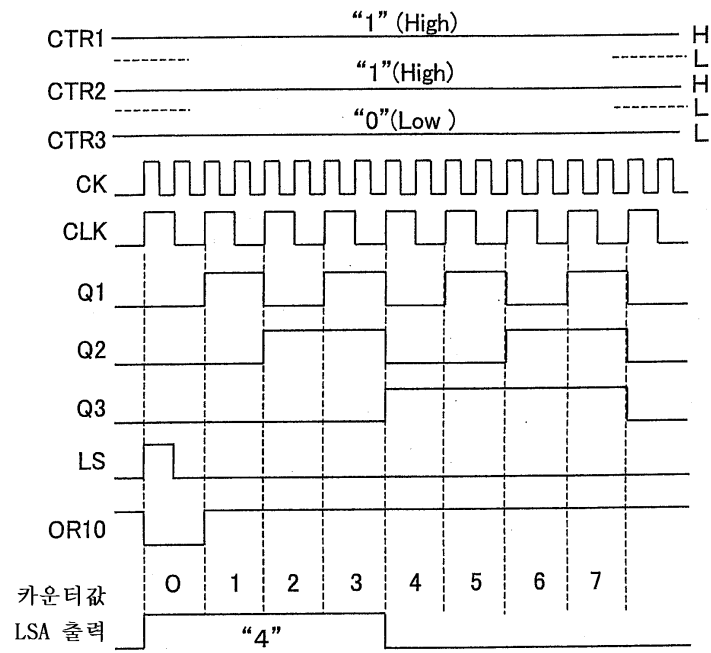
도면5



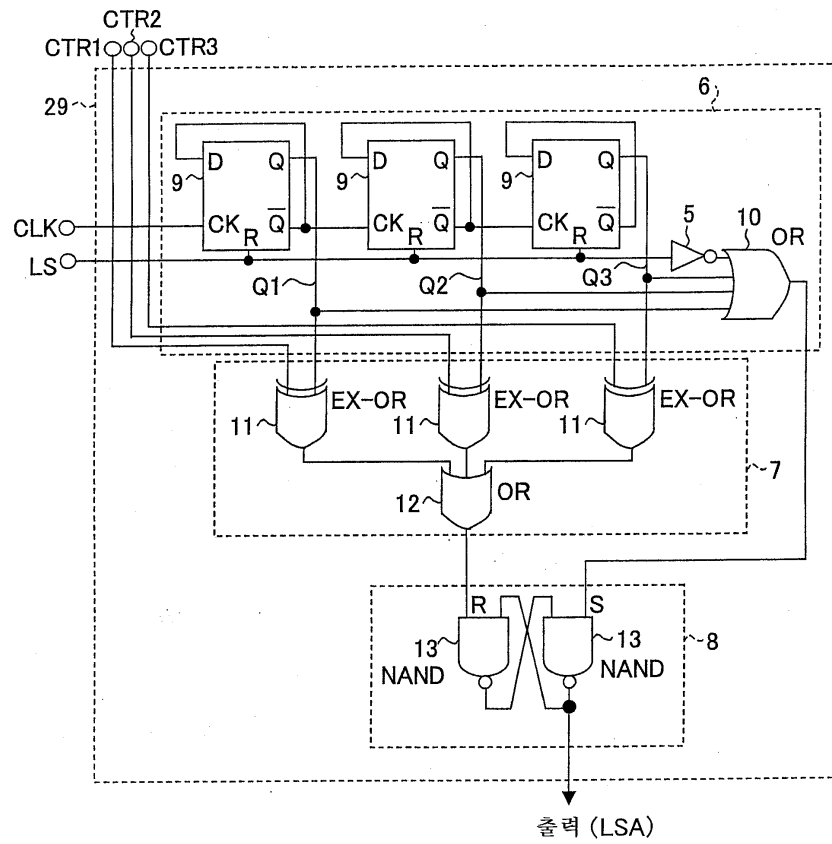
도면6



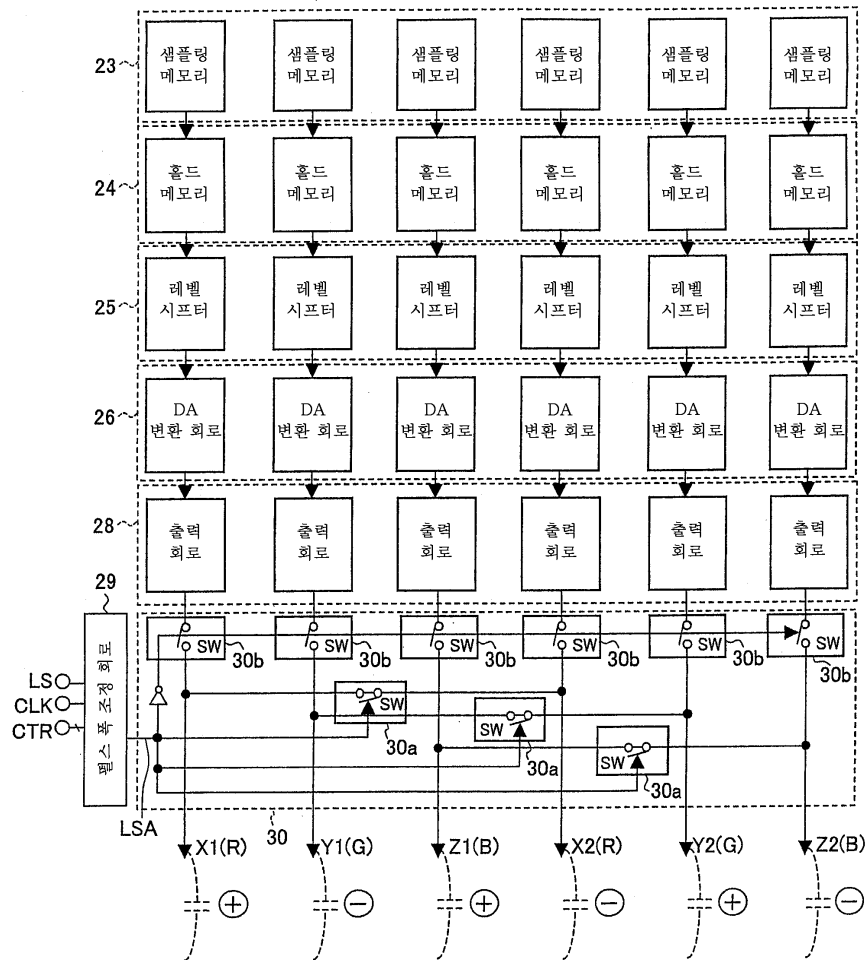
도면7



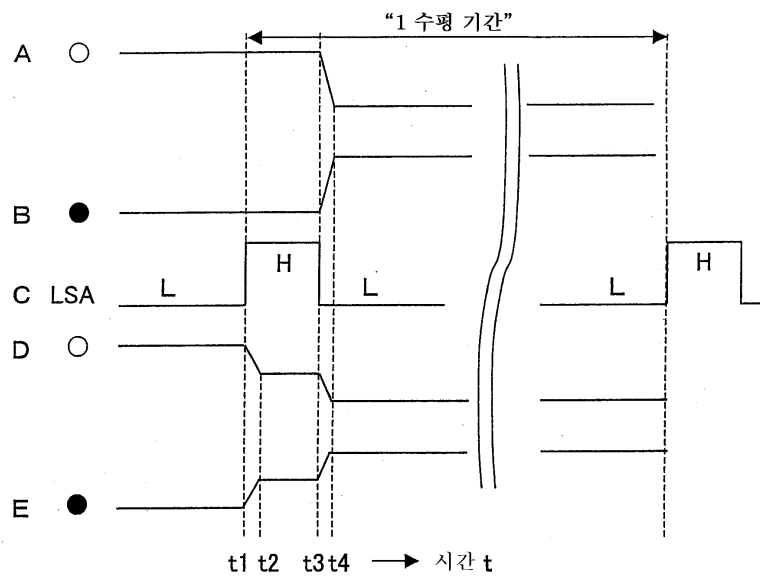
도면8



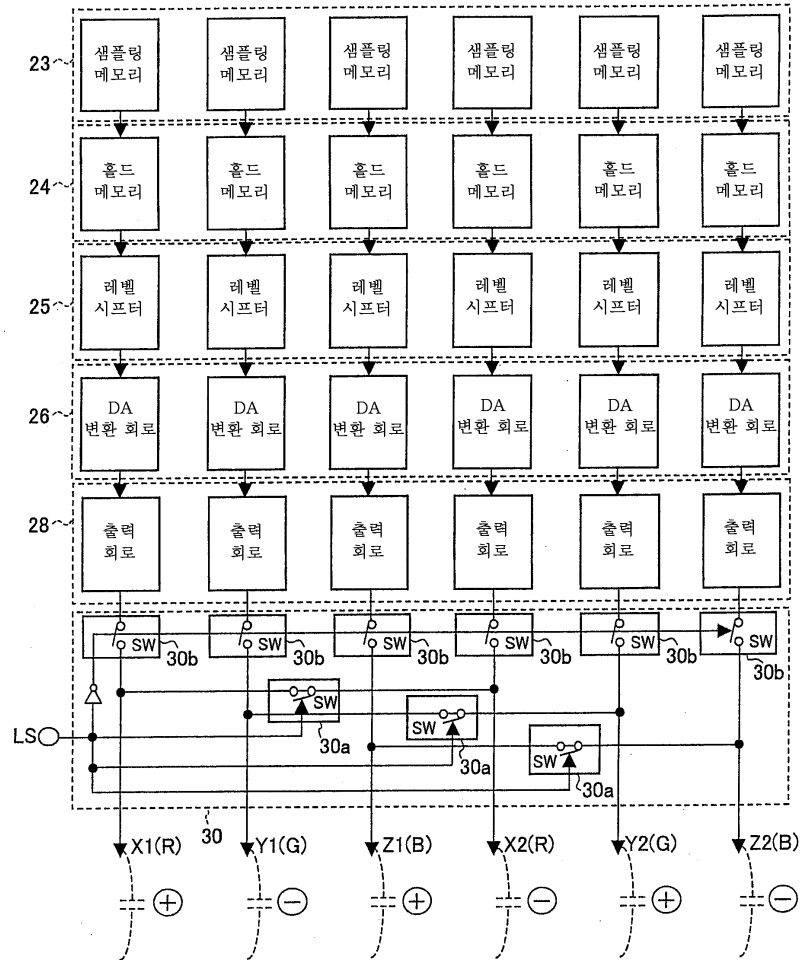
도면9



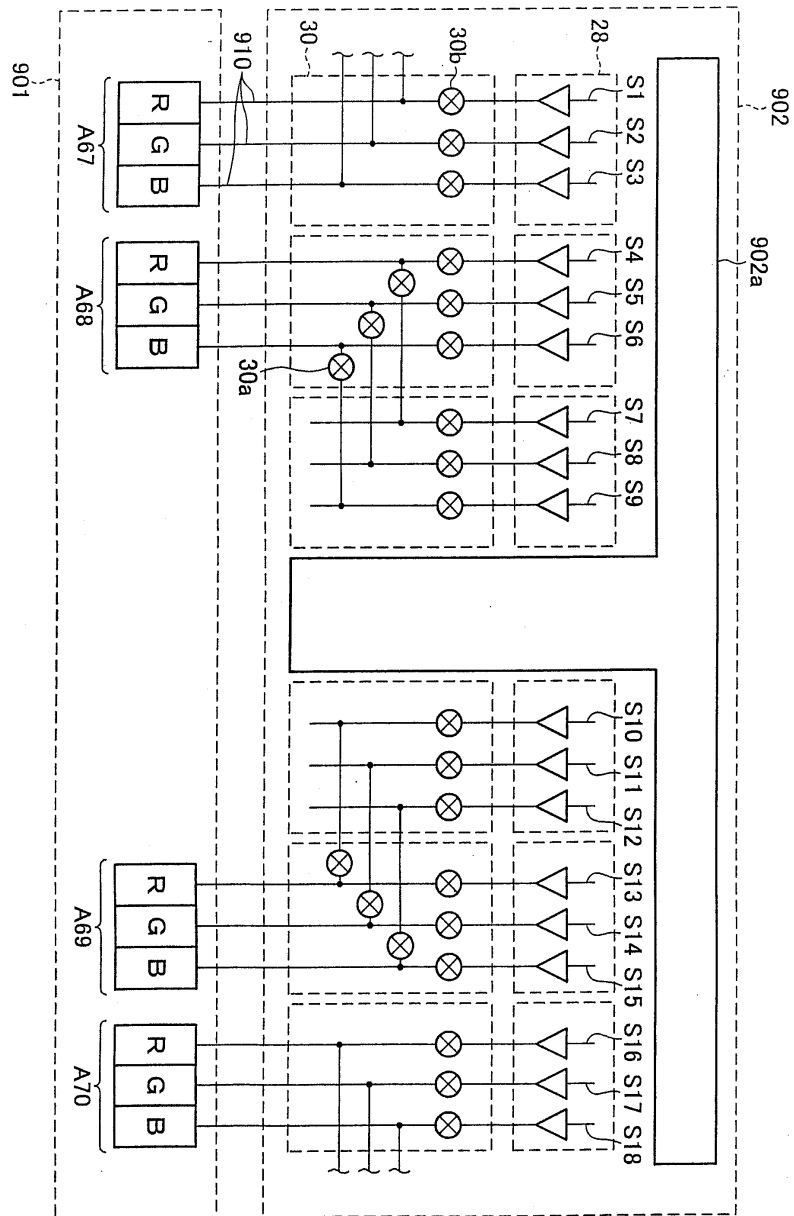
도면10



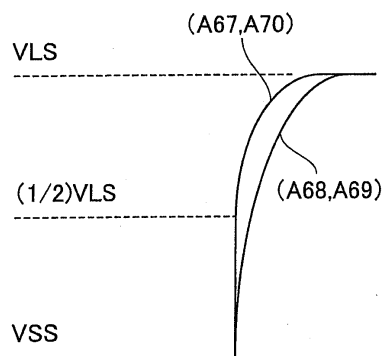
도면11



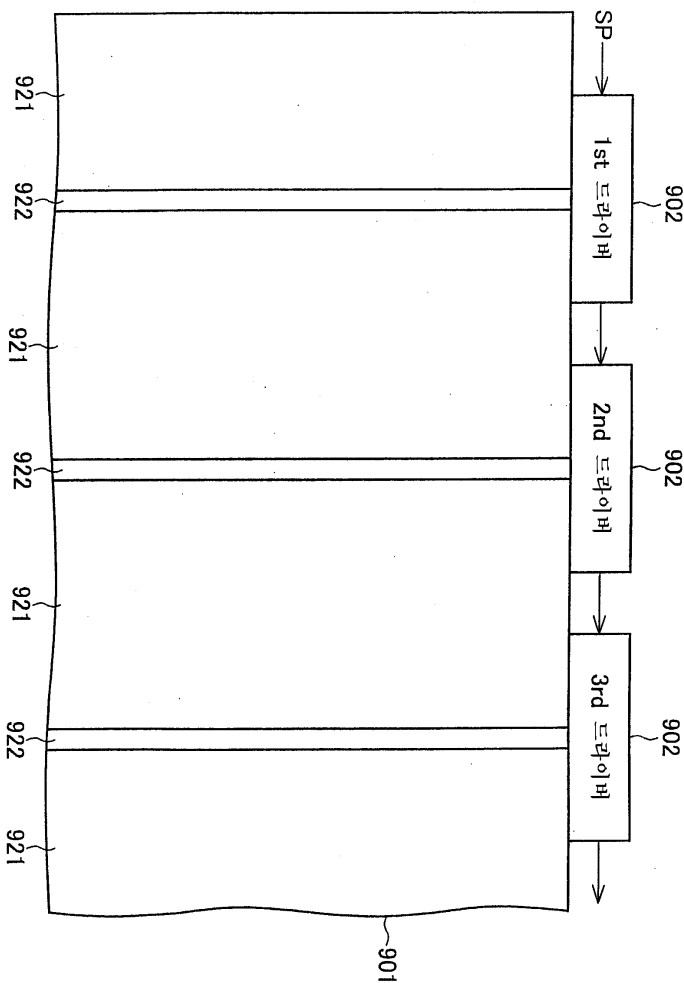
도면12



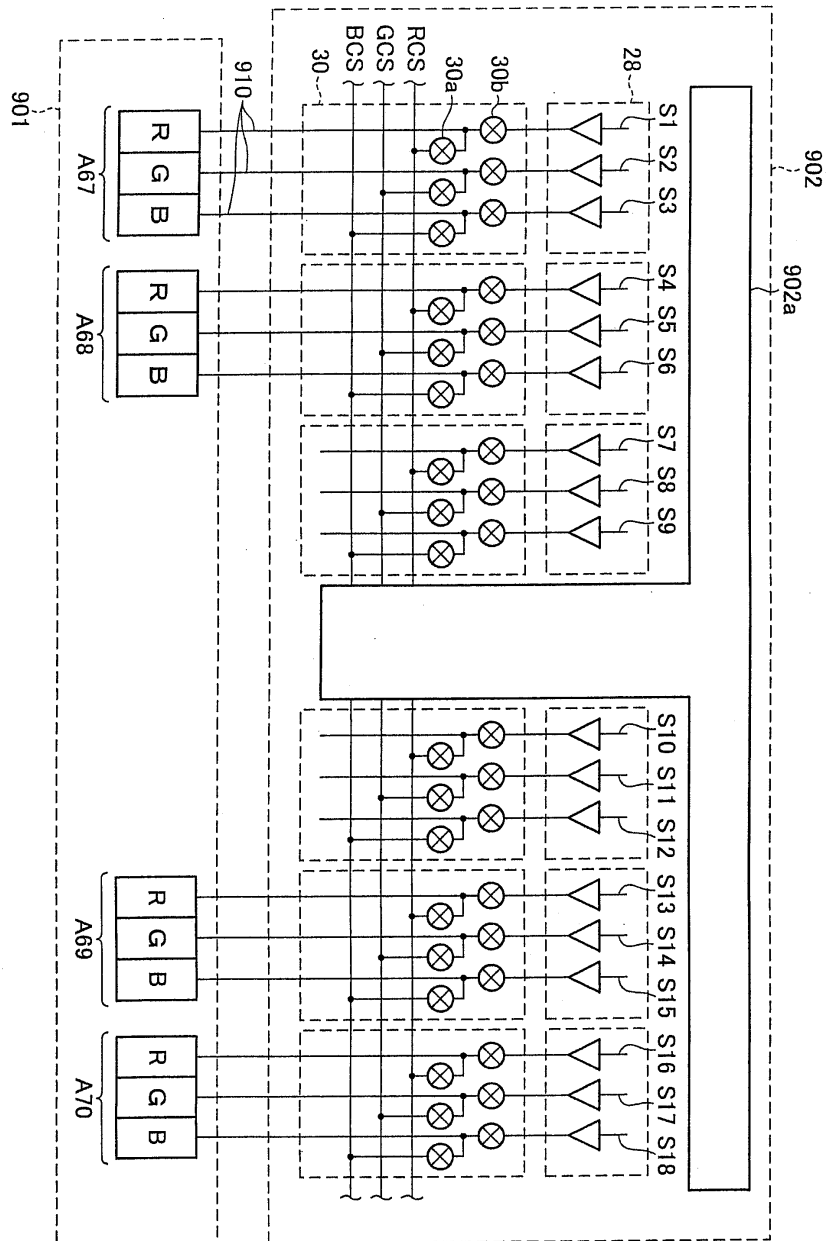
도면13



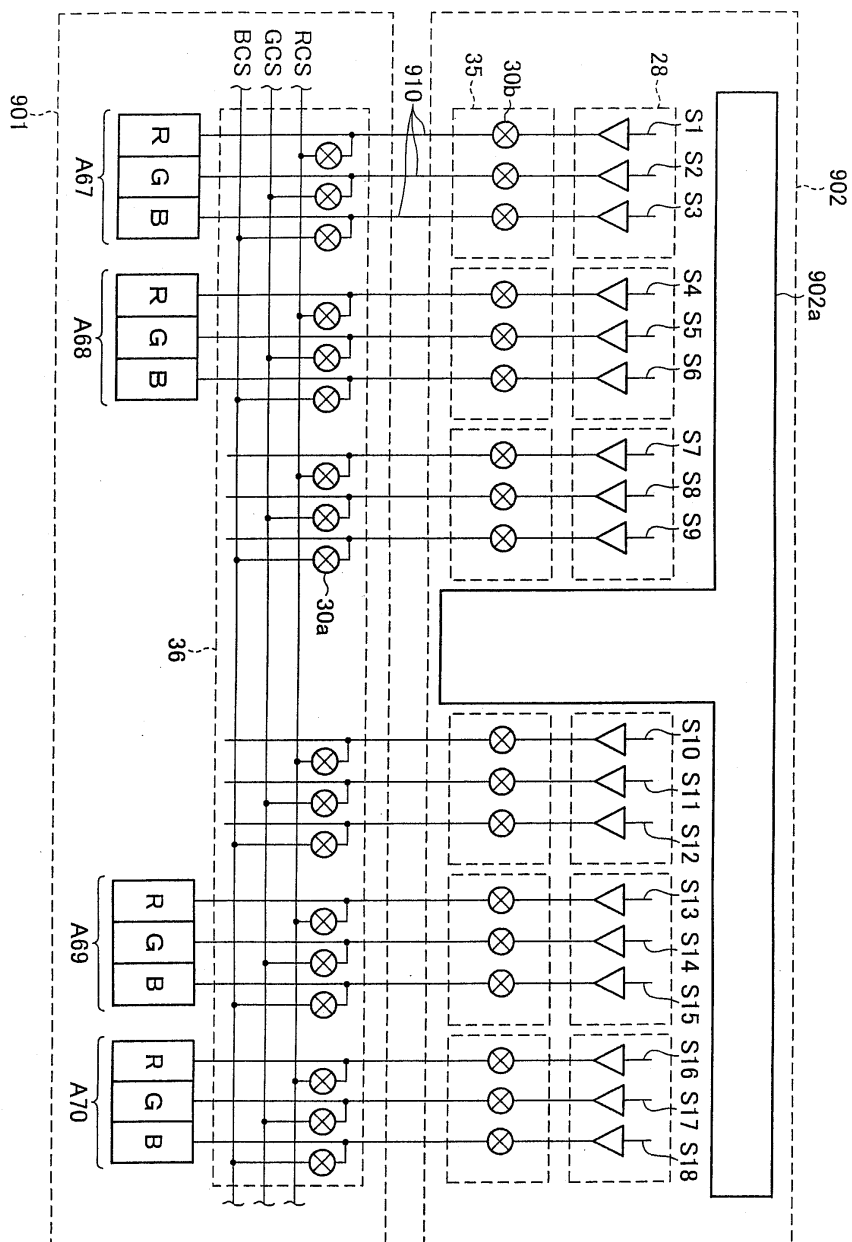
도면14



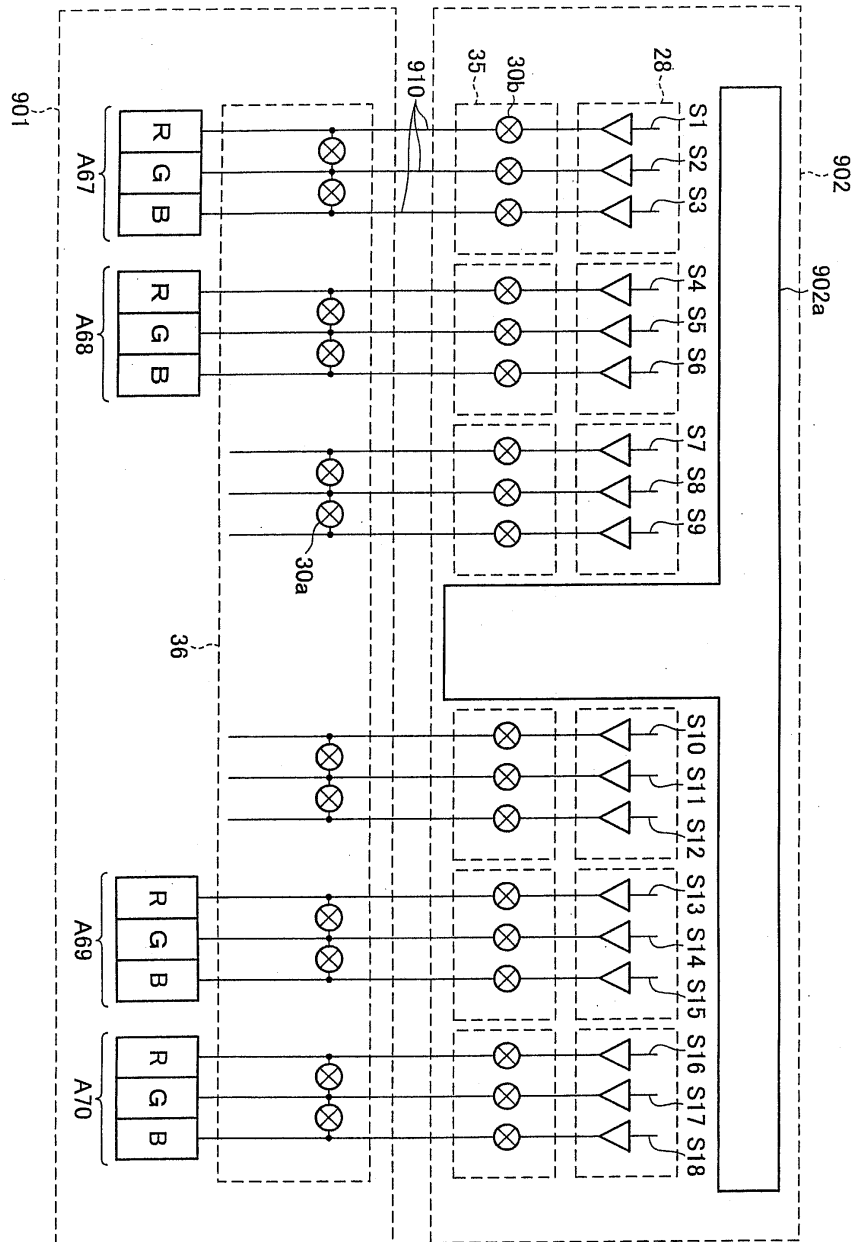
도면15



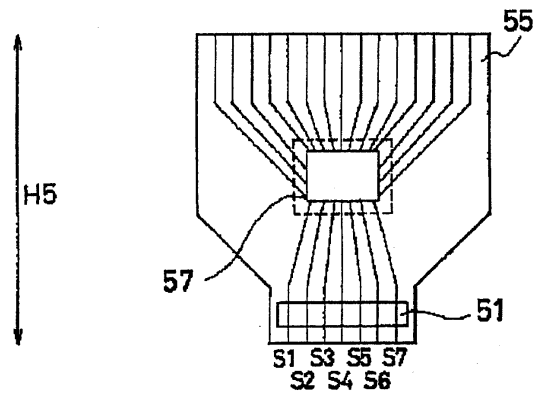
도면16



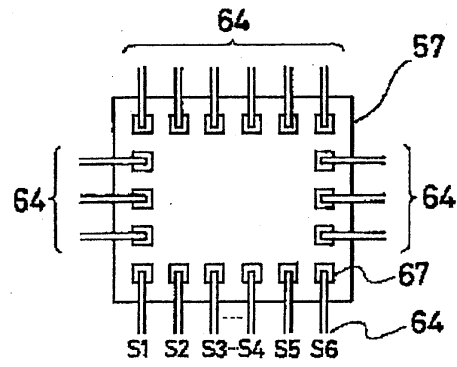
도면17



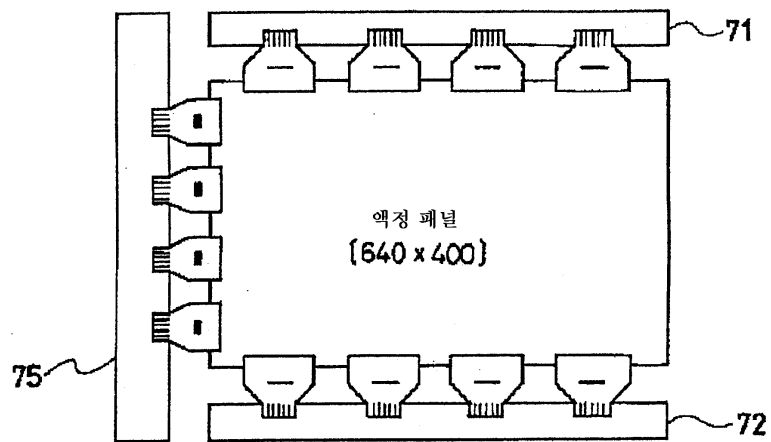
도면18



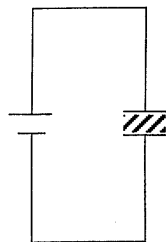
도면19



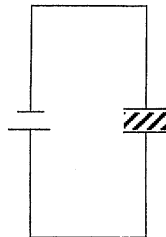
도면20



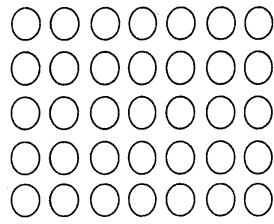
도면21a



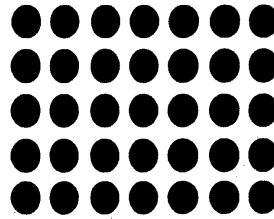
도면21b



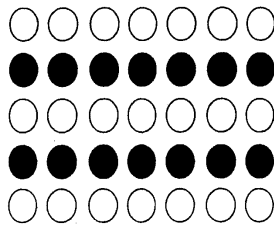
도면22a



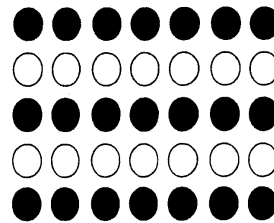
도면22b



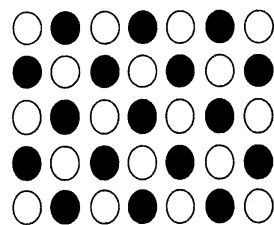
도면23a



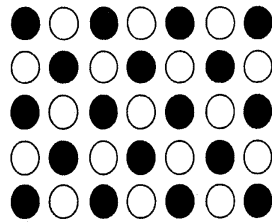
도면23b



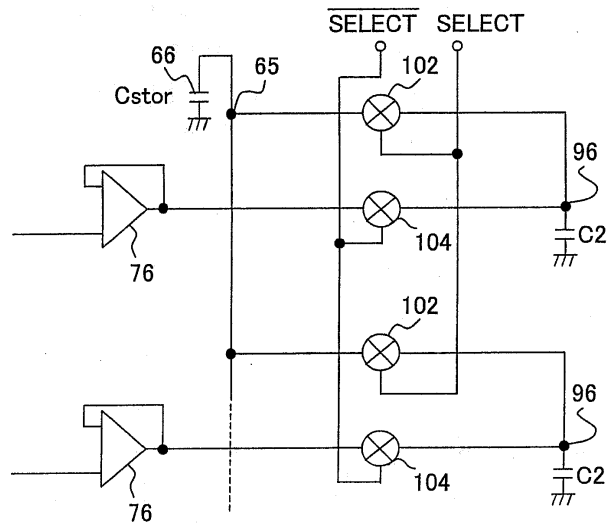
도면24a



도면24b



도면25



|                |                                                                                                                          |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示装置和驱动装置                                                                                                                |         |            |
| 公开(公告)号        | <a href="#">KR100698983B1</a>                                                                                            | 公开(公告)日 | 2007-03-26 |
| 申请号            | KR1020050025323                                                                                                          | 申请日     | 2005-03-28 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                                   |         |            |
| 申请(专利权)人(译)    | 夏普株式会社                                                                                                                   |         |            |
| 当前申请(专利权)人(译)  | 夏普株式会社                                                                                                                   |         |            |
| [标]发明人         | YANO TAKESHI<br>야노다게시<br>FUJINO HIROAKI<br>후지노히로아끼<br>NAKAHARA MICHIIHIRO<br>나카하라미찌히로                                    |         |            |
| 发明人            | 야노다게시<br>후지노히로아끼<br>나카하라미찌히로                                                                                             |         |            |
| IPC分类号         | G09G3/36 G02F1/133                                                                                                       |         |            |
| CPC分类号         | G09G2310/027 G09G2300/0408 G09G2330/021 G09G2320/0233 G09G2310/0289 G09G2310/0297<br>G09G3/3688 G09G2310/0218 G09G3/3614 |         |            |
| 代理人(译)         | CHANG, SOO KIL                                                                                                           |         |            |
| 优先权            | 2004099939 2004-03-30 JP                                                                                                 |         |            |
| 其他公开文献         | KR1020060044817A                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                |         |            |

#### 摘要(译)

在预充电处理时间中，驱动装置分离源信号线和输出电路的连接。通过用至少一个源信号线短路，其中源信号电位在相同的水平周期中由正和由源信号电位由负包括的至少一个源信号线组成，它包括开关电路执行其源信号线的预充电，以及调整定时的脉冲调整电路。因此，它无法设置单独的外部存储器容量并执行电荷共享。使用这个，在使用像素编号或材料不同的新设计的显示单元（液晶面板等）的情况下，控制器的配置改变等。可以实现不需要准备的显示装置和驱动装置。源信号线，开关电路，驱动装置，显示单元。

