

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)		(45) 공고일자	2006년05월16일
		(11) 등록번호	10-0579779
		(24) 등록일자	2006년05월08일
(21) 출원번호	10-2002-0058775	(65) 공개번호	10-2003-0028406
(22) 출원일자	2002년09월27일	(43) 공개일자	2003년04월08일
(30) 우선권주장	JP-P-2001-00375004	2001년09월29일	일본(JP)
(73) 특허권자	가부시끼가이샤 도시바 일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고		
(72) 발명자	모타이도모노부 일본국사이타마현후카야시하타라정1정목9번지2가부시끼가이샤도시바 후카야공장내 아오키요시로 일본국사이타마현후카야시하타라정1정목9번지2가부시끼가이샤도시바 후카야공장내 나카무라가즈오 일본국사이타마현후카야시하타라정1정목9번지2가부시끼가이샤도시바 후카야공장내		
(74) 대리인	김윤배 이범일		

심사관 : 임동재

(54) 평면표시장치

요약

본 발명의 액정표시장치는, 각각 소정의 면적비율로 가중된 복수의 부화소로 분할되는 복수의 표시화소(PX)와, 복수의 표시화소를 각각 구동하는 구동회로를 구비한다. 특히, 이 구동회로는 각 표시화소(PX)의 계조를 복수의 부화소와 소정의 시간비율로 가중된 복수의 구동기간을 조합시켜 결정하도록 구성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시형태에 따른 액정표시장치의 개략적인 구조를 나타낸 도면이고,
 도 2는 도 1에 나타낸 액정제어기에 설치되는 그래픽 제어부의 구성을 나타낸 도면,
 도 3은 도 1에 나타낸 신호선구동회로의 구성을 개략적으로 나타낸 도면,
 도 4는 도 1에 나타낸 각 표시화소내의 영상데이터 전송회로의 구성을 나타낸 도면,
 도 5는 도 4에 나타낸 영상데이터 전송회로의 동작을 설명하기 위한 파형도,
 도 6은 도 4에 나타낸 표시화소에서의 PWM 펄스폭과 면적계조의 조합과 투과율의 관계를 개략적으로 나타낸 도면,
 도 7은 도 4에 나타낸 영상데이터 전송회로의 변형례를 나타낸 도면,
 도 8은 도 7에 나타낸 영상데이터 전송회로의 동작을 설명하기 위한 파형도이다.

<도면부호의 설명>

1 -- 액정표시패널, 2 -- 액정제어기,
 3 -- 주사선 구동회로, 4 -- 신호선 구동회로,
 10 -- 프레임 메모리, 11 -- 데이터 변환부,
 12 -- 래치회로, 13 -- 래치회로,
 14 -- 래치회로, 15 -- 래치회로,
 16 -- 래치회로, 17 -- 시프트레지스터,
 18 -- 시프트레지스터,
 20 -- PWM 데이터용 시프트레지스터,
 21 -- 면적계조용 시프트레지스터, 22 -- 인버터,
 23 -- 인버터, 24~31 -- 스위치소자,
 LQ -- 액정층, AR -- 어레이기판,
 CT -- 대향기판, DS -- 표시화면,
 PX -- 표시화소, Y1~Ym -- 주사선,
 XA1~XAn -- 신호선, XB1~XBn -- 신호선,
 G1, G2 -- 화소스위치, PE1, PE2, PE3 -- 부화소,
 DATA1 -- PWM 데이터, DATA2 -- 면적계조 데이터,
 CLK -- 클럭펄스신호, CLK1, CLK2 -- 클럭펄스신호,
 YCT -- 수직주사 제어신호, XCT -- 수평주사 제어신호.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 복수의 표시화소에 의해 표시화면을 구성하는 평면표시장치에 관한 것으로, 특히 각 표시화소가 다계조(多階調) 표시를 위해 복수의 부화소로 분할되는 평면표시장치에 관한 것이다.

액정표시장치로 대표되는 평면표시장치는, 박형(薄型), 경량, 저소비전력이라는 특성으로부터 퍼스널 컴퓨터, 텔레비전, 게임기 등의 기기에서 폭넓게 사용되고 있다.

전형적인 액정표시장치는, 예컨대 매트릭스모양으로 배치되는 복수의 표시화소, 복수의 표시화소의 행을 따라 형성되는 복수의 주사선, 복수의 표시화소의 열을 따라 형성되는 복수의 신호선, 이들 신호선 및 주사선의 교차위치 근방에 배치되어 각각 대응하는 주사선을 매개로 구동될 때에 대응하는 신호선으로부터 대응하는 표시화소로 영상신호를 공급하는 복수의 화소스위치를 구비한다. 각 표시화소는 화소전극, 대향전극 및 이들 전극 사이에 끼인 액정층을 표시소자로서 포함하고, 영상신호에 의존한 화소전극 및 대향전극간의 전위차에 의해 액정층의 광투과율을 설정한다.

최근에는, 저소비전력화를 위해 각 표시화소에 1비트의 정적 메모리를 내장시킨 액정표시장치가 실용화되고 있지만, 이러한 구성에서는 백색 또는 흑색과 같은 단계조(單階調) 화상을 표시하는 것만으로 다계조 화상(multi-gradation image)을 표시할 수 없다.

그래서, 소정의 면적비율로 가중된 복수의 부화소로 각 표시화소를 분할함과 더불어, 이 부화소내에 메모리를 설치함으로써 다계조 화상의 표시를 실현하는 것이 검토되고 있다.

예컨대, 5비트, 32계조의 표시를 실현하는 것이면, 면적이 1:2:4:8:16의 비율로 가중된 부화소로 표시화소를 분할할 필요가 있지만, 이 경우의 최소 부화소는 수미크론각(角)으로 되어 가공정밀도 등을 고려하면 그 레이아웃이 매우 곤란하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상술한 기술과제를 감안하여 이루어진 것으로, 적은 부화소수로 소망하는 계조수를 얻는 것이 가능한 평면표시장치를 제공함에 있다.

발명의 구성 및 작용

본 발명에 의하면, 주사선과, 이 주사선과 실질적으로 직교하는 신호선과, 각각 소정의 면적비율로 가중된 복수의 부화소로 분할되는 복수의 표시화소와, 이들 표시화소에 짜 넣어져 상기 각 표시화소의 계조를 상기 복수의 부화소와 소정의 시간비율로 가중된 복수의 구동기간을 조합시켜 결정하는 영상데이터를 상기 신호선을 매개로 수신해서 유지하고 있다가 상기 각 표시화소에 전송하는 영상데이터 전송회로와, 상기 복수의 표시화소를 소정 수의 단위로 순차적으로 선택하는 주사신호를 생성하는 액정제어기 및, 상기 주사신호를 상기 주사선에 공급하는 주사선 구동회로를 구비하여 이루어지되, 상기 액정제어기가, 상기 주사선에 상기 주사신호가 공급되지 않는 기간에, 상기 영상데이터 전송회로에 유지된 상기 영상데이터를 읽어내서 상기 각 표시화소에 전송하는 일정하지 않은 펄스폭을 갖는 클럭펄스신호를 공급하도록 되어 있는 평면표시장치가 제공된다.

이 평면표시장치에서는, 각 표시화소의 계조가 소정의 면적비율로 가중된 복수의 부화소와 소정의 시간비율로 가중된 구동기간을 조합시켜 결정된다. 이 경우, 각 표시화소는 부화소수와 구동기간수의 곱에 의존한 계조수를 갖기 때문에, 소망하는 계조수를 얻는데 필요한 부화소수를 저감시킬 수 있다. 이에 따라, 최소로 되는 부화소의 면적을 크게 하여 가공정밀도 등에 의한 제약을 해소할 수 있다.

(발명의 실시형태)

이하, 본 발명의 1실시형태에 따른 액정표시장치에 대해 도면을 참조하여 설명한다.

도 1은 이 액정표시장치의 개략적인 구조를 나타낸다. 이 액정표시장치는 액정표시패널(1) 및 이 액정표시패널(1)을 제어하는 액정제어기(liquid crystal controller; 2)를 구비한다. 액정표시패널(1)은, 예컨대 액정층(LQ)이 어레이기판(AR) 및 대향기판(CT) 사이에 유지되는 구조를 갖고, 액정제어기(2)는 액정표시패널(1)로부터 독립한 구동회로기판상에 배치된다.

액정표시패널(1)은 매트릭스모양으로 배치되어 표시화면(DS)을 구성하는 복수의 표시화소(PX), 복수의 표시화소(PX)의 행을 따라 형성되는 복수의 주사선(Y1~Ym), 복수의 표시화소(PX)의 열을 따라 형성되는 복수의 신호선쌍(X; XA1, XB1~XAn, XBn), 이들 신호선쌍 및 주사선의 교차위치 근방에 배치되어 각각 대응하는 주사선(Y)을 매개로 구동될 때에 대응하는 신호선쌍(X)을 대응하는 표시화소(PX)에 전기적으로 접속하는 한쌍의 화소스위치(G1, G2)로 구성되는 복수의 화소스위치부 및, 주사선(Y1~Ym)을 구동하는 주사선 구동회로(3) 및 신호선쌍(XA1, XB1~XAn, XBn)을 구동하는 신호선 구동회로(4)를 포함한다. 각 표시화소는 어레이기판(AR)상에 형성되는 화소전극, 대향기판(CT)상에 형성되는 대향전극 및 이들 전극 사이에 끼인 액정층(LQ)을 표시소자로서 포함하고, 화소전극 및 대향전극간의 전위차에 의해 액정층의 광투과율을 설정한다. 여기에서, 각 표시화소(PX), 구체적으로는 화소전극이 예컨대 도 4에 나타낸 바와 같이 1:2:4라는 면적비율로 가중된 3개의 부화소(PE1, PE2, PE3)로 분할된다. 이 경우, 소정 배수 비율, 예컨대 1:4:16의 계조비율이 얻어진다.

액정제어기(2)는, 예컨대 외부로부터 공급되는 예컨대 5비트의 디지털 영상신호 및 동기신호를 수취하여, 디지털 영상신호를 3비트의 PWM(Pulse Width Modulation) 데이터(DATA1) 및 3비트의 면적계조 데이터(DATA2)로 변환함과 더불어, 동기신호에 동기한 클럭펄스신호(CLK, CLK1, CLK2), 수직주사 제어신호(YCT) 및 수평주사 제어신호(XCT)를 발생시킨다.

주사선 구동회로(3)는 주사신호를 1수직주사(프레임)기간마다 주사선(Y1~Ym)에 순차적으로 공급하도록 수직주사 제어신호(YCT)에 의해 제어된다. 신호선 구동회로(4)는 각 주사선(Y)이 주사신호에 의해 구동되는 1수평주사기간(1H)에 있어서 PWM 데이터(DATA1)를 직병렬 변환하여 신호선(XA1~XAn)에 공급하고, 면적계조 데이터(DATA2)를 직병렬 변환하여 신호선(XB1~XBn)에 공급하도록 수평주사 제어신호(XCT)에 의해 제어된다.

도 2는 액정제어기(2)에 설치되는 그래픽 제어부의 구성을 나타낸다. 이 그래픽 제어부는 1프레임분의 5비트 영상신호를 격납(格納)하는 프레임 메모리(10)와, 이 프레임 메모리(10)에 격납된 영상신호를 순차적으로 읽어내서 이 영상신호를 3비트의 PWM 데이터(DATA1) 및 3비트의 면적계조 데이터(DATA2)로 변환하는 데이터 변환부(11), 데이터 변환부(11)로부터 얻어진 PWM 데이터(DATA1)를 래치하는 래치회로(12) 및, 데이터 변환부(11)로부터 얻어진 면적계조 데이터(DATA2)를 래치하는 래치회로(13)를 포함한다. 3비트의 PWM 데이터(DATA1)는 부화소(PE1, PE2, PE3)용의 구동펄스에 대해, 예컨대 1:2:4라는 시간비율로 가중된 펄스폭(weighted pulse width)을 선택하는 데이터이고, 면적계조 데이터(DATA2)는 부화소(PE1, PE2, PE3)를 선택하는 데이터이다. PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)는 합계 6비트이고, 5비트 영상신호로 나타내어지는 32계조보다도 많은 64계조를 나타낼 수 있다. 데이터 변환부(11)는 영상신호를 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)의 조합에 할당하는 매핑(mapping)용 테이블을 구비하고, 이 테이블을 이용하여 영상신호를 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)로 변환한다. 이들 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)는 신호선 구동회로(4)에 공급된다.

도 3은 신호선 구동회로(4)의 구성을 개략적으로 나타낸다. 신호선 구동회로(4)는 PWM 데이터(DATA1)를 래치하는 래치회로(15)와, 면적계조 데이터(DATA2)를 래치하는 래치회로(16), 래치회로(15)로부터의 PWM 데이터(DATA1)를 클럭펄스신호(CLK)에 동기시켜 시프트해서 신호선(XA1, XA2, XA3 ...)에 할당하는 시프트레지스터(17) 및, 래치회로(16)로부터의 면적계조 데이터(DATA2)를 클럭펄스신호(CLK)에 동기시켜 시프트해서 신호선(XB1, XB2, XB3 ...)에 할당하는 시프트레지스터(18)를 포함한다. 신호선(XA1, XA2, XA3 ...)은 시프트레지스터(17)로부터 1비트씩 순차적으로 3비트의 PWM 데이터(DATA1)를 수취하고, 신호선(XB1, XB2, XB3 ...)은 시프트레지스터(18)로부터 1비트씩 순차적으로 3비트의 면적계조 데이터(DATA2)를 수취한다.

도 4는 각 표시화소(PX)내의 영상데이터 전송회로의 구성을 나타낸다. 표시화소(PX)는 PWM 데이터용 시프트레지스터(20), 면적계조용 시프트레지스터(21), 인버터(22, 23), 스위치소자(24~31)를 구비한다. 시프트레지스터(20)는 화소스위치(G1)를 매개로 PWM 데이터(DATA1)를 수취하도록 접속되고, 시프트레지스터(21)는 화소스위치(G2)를 매개로 면적계조 데이터(DATA2)를 수취하도록 접속된다. 스위치소자(24, 25)는 주사선(Y)으로부터 주사신호를 수취하도록 접속되어, 이 주사신호가 주사선(Y)에 공급되는 사이에 있어서 클럭펄스신호(CLK1)를 시프트레지스터(21, 20)에 각각 공급한다. 스위치소자(26)는 주사선(Y)으로부터의 주사신호를 인버터(23)로 반전한 신호를 수취하도록 접속되어, 주사신호가 주사선(Y)에 공급되지 않는 기간에 있어서 클럭펄스신호(CLK2)를 시프트레지스터(20)에 공급한다. 스위치소자(27, 28)는 주사

선(Y)으로부터의 주사신호를 인버터(22)로 반전한 신호를 수취하도록 접속된다. 스위치소자(27)는 주사신호가 주사선(Y)에 공급되지 않는 기간에 있어서 시프트레지스터(20)로부터 PWM 데이터(DATA1)를 출력하고, 스위치소자(28)는 스위치소자(27)를 매개로 출력되는 PWM 데이터(DATA1)를 시프트레지스터(20)의 입력으로 피드백시킨다. 부화소(PE1, PE2, PE3)는 스위치소자(29, 30, 31)를 각각 매개로 스위치소자(27)에 접속된다. 이들 스위치소자(29, 30, 31)는 시프트레지스터(21)에 의해 제어된다.

여기에서, 상술한 영상데이터 전송회로의 동작에 대해 설명한다. 주사신호가 주사선(Y)에 공급되는 1수평주사기간은 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)를 시프트레지스터(20, 21)에 기록하는 데이터 기록기간으로서 사용되고, 1프레임기간중 나머지 기간은 이들 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)에 의해 부화소(PE1, PE2, PE3)를 구동하는 데이터 유지기간으로서 사용된다. 데이터 기록기간에서는 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)가 시리얼로 시프트레지스터(20, 21)에 공급된다. 시프트레지스터(20)는 스위치소자(25)를 매개로 도 4에 나타난 바와 같이 공급되는 클럭펄스신호(CLK1)에 동기하여 PWM 데이터(DATA1)를 순차적으로 시프트해서 유지하고, 시프트레지스터(21)는 스위치소자(24)를 매개로 마찬가지로 공급되는 클럭펄스신호(CLK1)에 동기하여 면적계조 데이터(DATA2)를 순차적으로 시프트해서 유지한다. 스위치소자(27, 28)는 이 데이터 기록기간에 있어서 비도통상태로 유지되기 때문에, 부화소(PE1, PE2, PE3)는 구동되지 않는다.

데이터 기록기간에 이어지는 데이터 유지기간에서는 스위치소자(24, 25)가 비도통상태로 되고, 스위치소자(26, 27, 28)가 도통상태로 된다. 스위치소자(26)는 클럭펄스신호(CLK2)를 시프트레지스터(20)에 공급한다. 이 클럭펄스신호(CLK2)는 도 5에 나타난 바와 같이 기준 클럭펄스신호(CLK)의 주기의 소정 배수의 펄스폭 비율 1:2:4를 가진 클럭펄스신호로 구성된다. 시프트레지스터(20)는 이 클럭펄스신호(CLK2)에 동기하여 PWM 데이터(DATA1)를 시프트한다. 이에 따라, PWM 데이터(DATA1)의 각 비트는 클럭펄스신호(CLK2)의 펄스폭에 대응하는 시간만큼 지속적으로 스위치소자(27)를 매개로 출력되고, 시프트레지스터(21)의 제어에 의해 선택되는 스위치소자(29, 30, 31)를 매개로 부화소(PE1, PE2, PE3)에 인가된다. 또, 클럭펄스신호(CLK2)의 펄스가 주기적으로 공급되는 한편, 스위치소자(28)가 PWM 데이터(DATA1)를 시프트레지스터(20)의 입력으로 피드백하기 때문에, 부화소(PE1, PE2, PE3)의 구동이 계속되게 된다.

도 6은 PWM 펄스폭과 면적계조의 조합과 투과율의 관계를 개략적으로 나타낸다. 각 표시화소(PX)의 투과율은 이들 PWM 펄스폭과 면적계조의 곱에 의해 정해진다. 도 6에서는 최대투과율을 1로 하여 환산하고 있다. PWM 펄스폭과 면적계조의 조합은 64종류이지만, 도 6에 검은 동그라미로 나타난 바와 같이 중복하는 값이 존재하기 때문에 실제의 계조수는 45개 정도로 된다. 여기에서, 중복값의 계조에 대해서는 PWM 펄스폭을 우선적으로 사용하는 것이 바람직하다. 또, 최대 및 최소 계조 부근은 액정재료의 특성으로부터 이용할 수 없다. 이렇게 하여 남은 계조가 5비트의 영상신호로 나타내어지는 32개의 계조로서 선정된다. 상술한 매핑용 테이블은 선정된 계조에 할당되는 PWM 펄스폭 및 면적계조에 각각 대응하는 PWM 데이터(DATA1) 및 면적계조 데이터(DATA2)를 유지하게 된다.

상술한 액정표시장치에서는 각 표시화소(PX)의 계조가 소정의 면적비율로 가중된 부화소(PE1, PE2, PE3)와 소정의 펄스폭 비율로 가중된 구동기간을 조합시켜 결정된다. 이 경우, 각 표시화소(PX)는 부화소수와 구동기간수의 곱에 의존한 계조수를 갖기 때문에, 소망하는 계조수를 얻는데 필요한 부화소수를 저감시킬 수 있다. 이에 따라, 최소로 되는 부화소의 면적을 크게 하여 가공정밀도 등에 의한 제약을 해소할 수 있다.

한편, 본 발명은 상술한 실시형태에 한정되지 않고, 요지를 이탈하지 않는 범위에서 여러 가지로 변형할 수 있다.

예컨대, 각 표시화소내에 설치되는 영상데이터 전송회로는 도 7에 나타난 바와 같이 변형해도 좋다. 즉, 시프트레지스터(21)는 화소스위치(G2)를 매개로 공급되는 면적계조 데이터(DATA2) 대신에 시프트레지스터(20)로부터 비트 단위로 PWM 데이터(DATA1)를 수취하도록 접속된다. 이 변형례에서는, 클럭펄스신호(CLK1)가 도 8에 나타난 바와 같이 생성된다.

데이터 기록기간에서는 PWM 데이터(DATA1)가 시리얼로 시프트레지스터(20)에 공급된다. 시프트레지스터(20)는 스위치소자(25)를 매개로 공급되는 클럭펄스신호(CLK1)에 동기하여 PWM 데이터(DATA1)를 순차적으로 시프트해서 유지한다. 시프트레지스터(21)는 스위치소자(24)를 매개로 마찬가지로 공급되는 클럭펄스신호(CLK1)에 동기하여 시프트레지스터(20)로부터의 데이터를 순차적으로 시프트해서 유지한다. 스위치소자(27, 28)는 이 데이터 기록기간에 있어서 비도통상태로 유지되기 때문에, 부화소(PE1, PE2, PE3)는 구동되지 않는다.

데이터 기록기간에 이어지는 데이터 유지기간에서는, 스위치소자(24, 25)가 비도통상태로 되고, 스위치소자(26, 27, 28)가 도통상태로 된다. 스위치소자(26)는 도 8에 나타난 1:2:4라는 펄스폭 비율의 클럭펄스신호(CLK2)를 시프트레지스터(20)에 공급한다. 시프트레지스터(20)는 이 클럭펄스신호(CLK2)에 동기하여 PWM 데이터(DATA1)를 시프트한다. 이에

따라, PWM 데이터(DATA1)의 각 비트는 클럭펄스신호(CLK2)의 펄스폭에 대응하는 시간만큼 지속적으로 스위치소자(27)를 매개로 출력되고, 시프트레지스터(21)의 제어에 의해 선택되는 스위치소자(29, 30, 31)를 매개로 부화소(PE1, PE2, PE3)에 인가된다. 또, 클럭펄스신호(CLK2)의 펄스가 주기적으로 공급되는 한편, 스위치소자(28)가 PWM 데이터(DATA1)를 시프트레지스터(20)의 입력으로 피드백하기 때문에, 부화소(PE1, PE2, PE3)의 구동이 계속되게 된다.

이 변형례에서는, 신호선(XB1~XBn) 및 $m \times n$ 개의 화소스위치(G2)를 필요로 하지 않는다. 이와 같이 회로구성이 단순화되어도 각 표시화소(PX)의 게조가 소정의 면적비율로 가중된 부화소(PE1, PE2, PE3)와 소정의 펄스폭 비율로 가중된 구동기간을 조합시켜 결정된다. 이 때문에, 이 변형례에서도 상술한 실시형태에서 설명한 효과를 얻을 수 있다.

다른 예로서, 표시게조의 감마값(gamma value)의 조정을 행하는 경우에는 펄스폭의 비율이 가변된다.

또, 펄스폭 변조의 구동펄스의 공급배선은 주사선방향 또는 신호선방향으로 블록분할되어 적당한 시간을 두고 공급되는 것이 바람직하다. 이 경우, 공급간격은 20Hz 내지 10kHz 사이로 된다.

또한, 본 발명은 여러 가지의 특정한 실시예와 관련하여 설명했지만, 이에 한정되지 않고, 발명의 요지를 이탈하지 않는 범위내에서 여러 가지로 변형하여 실시할 수 있음은 물론이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 적은 부화소수로 소망하는 게조수를 얻는 것이 가능한 평면표시장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

주사선과, 이 주사선과 실질적으로 직교하는 신호선과, 각각 소정의 면적비율로 가중된 복수의 부화소로 분할되는 복수의 표시화소와,

상기 표시화소에 짜 넣어져 상기 주사선으로부터 공급되는 주사신호 및 신호선으로부터 공급되는 펄스폭 변조 데이터 및 면적게조 데이터에 기초해 상기 부화소를 구동하는 영상데이터 전송회로와,

상기 주사선에 상기 주사신호를 공급하는 주사선 구동회로 및,

상기 영상데이터 전송회로에 제1클럭펄스신호 및 소정의 다른 펄스폭의 펄스로 이루어진 제2클럭펄스신호를 공급하는 제어기를 구비하여 이루어지되,

상기 영상데이터 전송회로가, 상기 주사신호가 공급되는 기간에 상기 제1클럭펄스신호에 동기해서 상기 펄스폭 변조 데이터 및 상기 면적게조 데이터를 읽어들이고,

상기 주사신호가 공급되지 않는 기간에 상기 면적게조 데이터에 기초해서 상기 부화소를 선택하고, 선택된 상기 부화소에 상기 펄스폭 변조 데이터를 상기 제2클럭펄스신호의 펄스폭에 대응하는 시간만큼 지속적으로 공급하도록 되어 있는 것을 특징으로 하는 평면표시장치.

청구항 2.

삭제

청구항 3.

제1항에 있어서, 상기 제2클럭펄스신호는 상기 펄스폭 변조 데이터 및 상기 면적게조 데이터로 이루어진 영상데이터가 전송되는 신호시간보다도 긴 것을 특징으로 하는 평면표시장치.

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

제1항에 있어서, 상기 제어기가, 각 표시화소의 계조를 결정하기 위해 상기 복수의 부화소의 면적비율 및 이 면적비율과 동일한 비율로 설정되는 상기 제2클럭펄스신호의 펄스폭을 조합시킨 영상신호로 변환하는 데이터변환회로를 포함하고 있는 것을 특징으로 하는 평면표시장치.

청구항 7.

제6항에 있어서, 상기 복수의 부화소의 면적비율로 얻어지는 계조비율이 상기 제2클럭펄스신호의 펄스폭의 비율의 소정 배수인 것을 특징으로 하는 평면표시장치.

청구항 8.

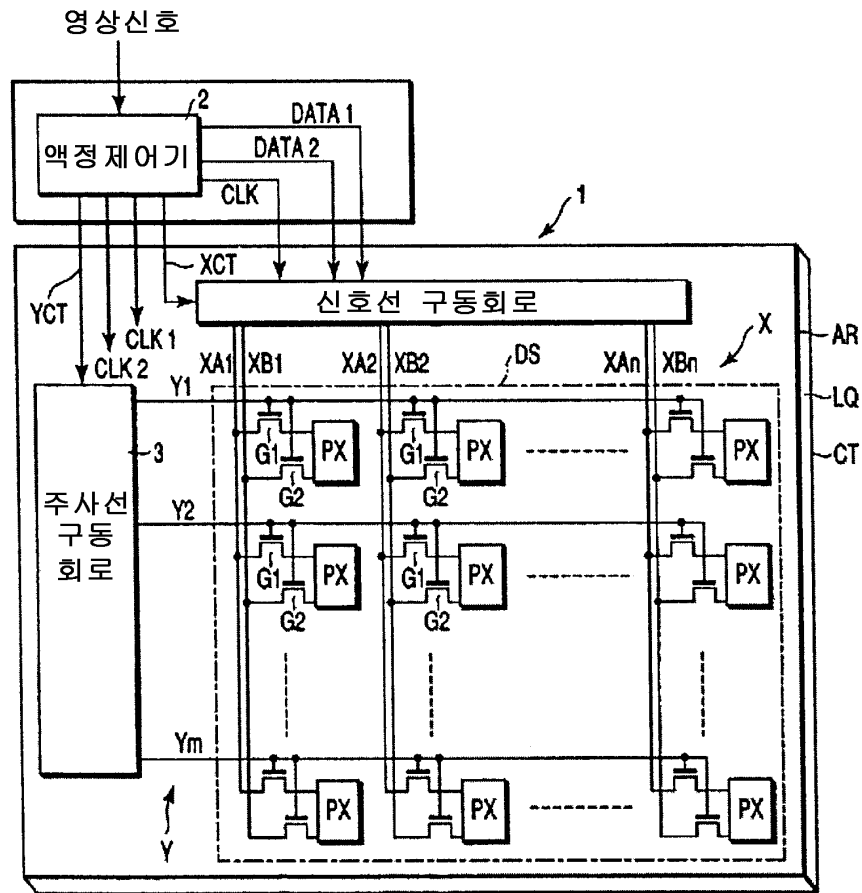
제6항에 있어서, 상기 제2클럭펄스신호의 펄스폭의 비율이 표시계조의 감마 보정을 위해 가변되도록 되어 있는 것을 특징으로 하는 평면표시장치.

청구항 9.

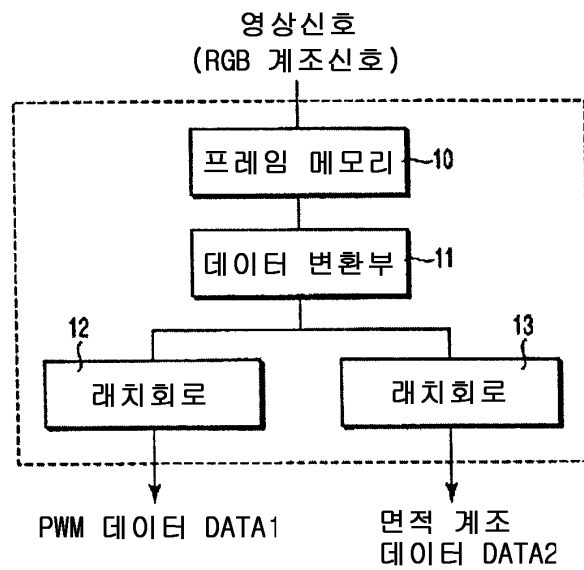
제1항에 있어서, 상기 복수의 표시화소가 소정 방향에서 복수의 블록으로 분할되고, 상기 제2클럭펄스신호가 이들 블록마다 공급되도록 되어 있는 것을 특징으로 하는 평면표시장치.

도면

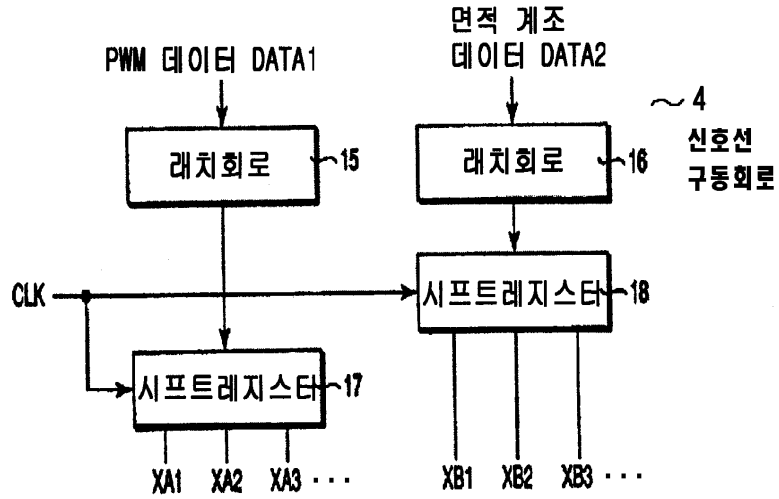
도면1



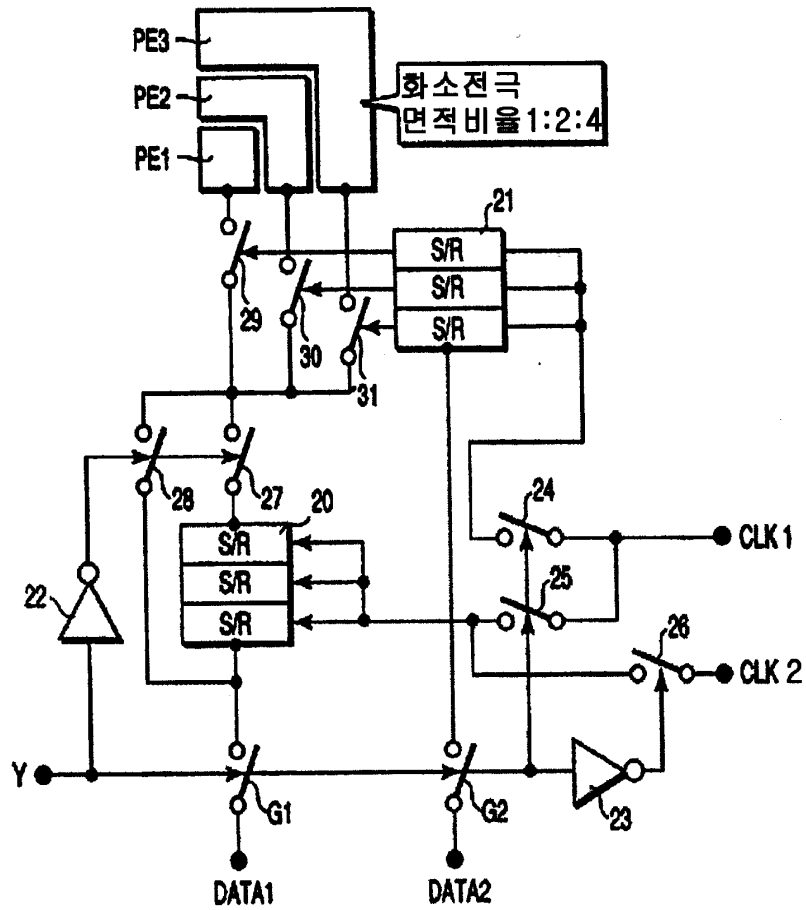
도면2



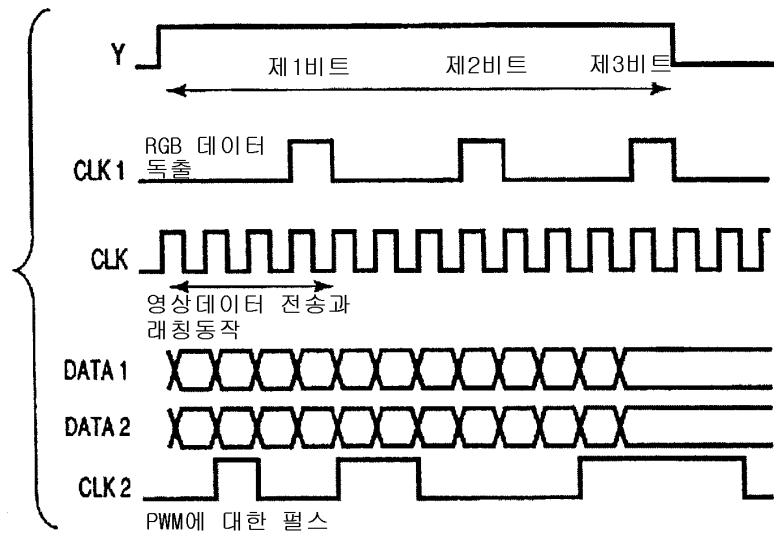
도면3



도면4



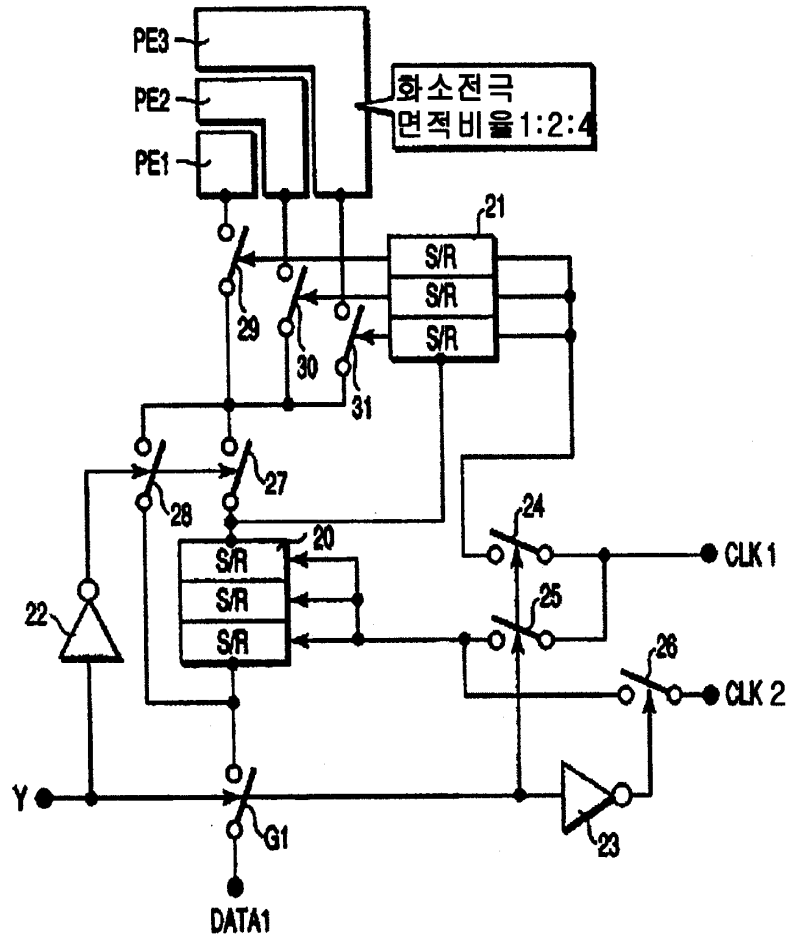
도면5



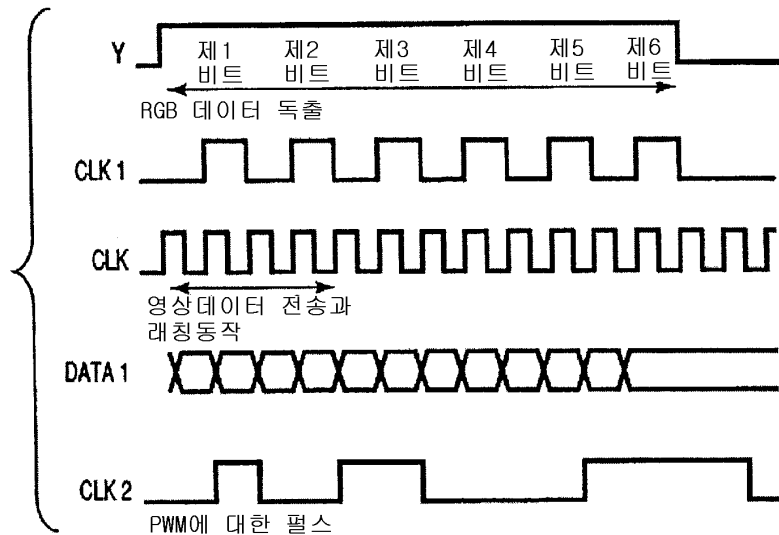
도면6

		PWM 펄스폭						
		1	2	3	4	5	6	7
면적계조	1	0.007	0.014	0.020	● 0.027	● 0.034	0.041	0.048
	4	● 0.027	0.054	0.082	● 0.109	● 0.136	0.163	0.190
	5	● 0.034	0.068	0.102	● 0.136	0.170	0.204	0.238
	16	● 0.109	0.218	0.327	0.435	● 0.544	0.653	0.762
	17	0.116	0.231	0.347	0.463	0.578	0.694	0.810
	20	● 0.136	0.272	0.408	● 0.544	0.680	0.816	0.952
	21	0.143	0.286	0.429	0.571	0.714	0.857	1.000

도면7



도면8



专利名称(译)	平板显示设备		
公开(公告)号	KR100579779B1	公开(公告)日	2006-05-16
申请号	KR1020020058775	申请日	2002-09-27
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	Sikki东芝股份有限公司		
当前申请(专利权)人(译)	Sikki东芝股份有限公司		
[标]发明人	MOTAI TOMONOBU 모타이도모노부 AOKI YOSHIRO 아오키요시로 NAKAMURA KAZUO 나카무라가즈오		
发明人	모타이도모노부 아오키요시로 나카무라가즈오		
IPC分类号	G02F1/133 G02F1/1343 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/2074 G09G2300/0809 G09G3/3688 G09G3/3659 G09G3/2018		
代理人(译)	KIM , YOON BAE		
优先权	2001375004 2001-09-29 JP		
其他公开文献	KR1020030028406A		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示装置包括：多个显示像素（PX），分成多个子像素，每个子像素按预定的面积比加权；以及驱动电路，用于驱动多个显示像素中的每一个。具体地，该驱动电路被配置为使得通过组合多个子像素和按预定时间比率加权的多个驱动时段来确定每个显示像素PX的灰度。 1

