(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 7
G09G 3/36

(45) 공고일자 2003년05월22일
(11) 등록번호 10-0385106
(24) 등록일자 2003년05월12일

(21) 출원번호 10-2000-0043023
(22) 출원일자 2000년07월26일

(65) 공개번호 특2001-0015436
(43) 공개일자 2001년02월26일

(30) 우선권주장 11-210350 1999년07월26일 일본(JP)
2000-207015 2000년07월07일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 니시쿠보가이쉬
일본나라텐리시이치노모토초2613-1라포루텐리904

야나기토시히로
일본나라나라시사쿄2초메3-1로레루스퀘어타카노하라2-502

(74) 대리인 백덕열
이태희

심사관 : 신재열

(54) 소스 드라이버, 소스선 구동회로 및 이를 이용한액정표시장치

요약

본 발명의 목적은 매끄러운 계조 표시 및 상당히 개선된 화질을 얻을 수 있으며, 플리커 등과 같은 문제가 없는 액정 표시장치를 제공하는 것이다. 소스선을 통해 계조 전압을 화소에 제공하기 위한 소스선 드라이브 회로의 소스 드라이버에 제공된 저항을 발생시키는, 계조 전압에 대한 저항 분할비는 계조 표시 특성에 따라 최적화 되고, 양극성 전압 저항 분할비 및 음극성 전압 저항 분할비는 레벨 시프트 특성에 기초하여 서로 비대칭이 되도록 설정된다.

대표도

도 1

명세서

도면의 간단한 설명

도1은 본 발명에 따른 액티브 매트릭스 액정표시장치의 전체적인 구성을 나타낸 도면이다.
도2는 본 발명의 제1 실시예에 따른 액티브 매트릭스 액정표시장치의 전체적인 구성을 나타낸 도면이다.
도3은 본 발명의 제1 실시예에 따른 소스 드라이버의 구성을 나타낸 블록도이다.
도4는 본 발명의 제1 실시예에 따른 소스 드라이버 내부에 있는 저항형 분압회로(voltage division circuit)의 저항 값을 나타낸 그래프이다.

도5는 본 발명의 제1 실시예에 따른 모든 계조 레벨에서 양극 및 음극 소스선의 출력전압을 나타낸 그래프이다.
도6은 본 발명의 제1 실시예에 따른 모든 계조 레벨에서 양극 및 음극 소스선의 출력전압을 나타낸 그래프이다.
도7은 본 발명의 제2 실시예에 따른 소스 드라이버의 구성을 나타낸 블록도이다.
도8은 본 발명의 제2 실시예에 따른 모든 계조 레벨에서 휘도를 나타낸 그래프이다.
도9는 스위칭 디바이스로서 TFT를 사용하는 액티브 매트릭스 액정표시장치에서의 화소에 대한 등가회로도이다.
도10은 게이트선(5)에 제공되는 주사 전압(V_Y)의 파형, 소스선(4)에 제공되는 계조 전압(V_X)의 파형, 극성 반전 신호(REV)의 파형, 공통 전극 전압(V_{com})의 파형 및 액정 셀 용량(C_{LC})에서 이들 전압에 의해 생성되는 액정 셀 전압(V_{LC})의 파형을 나타낸 그래프이다.
도11은 종래의 액티브 매트릭스 액정표시장치의 전체적인 구성을 나타낸 도면이다.
도12는 입력이 5개인 경우 계조 및 휘도에 대한 특성을 나타낸 도면이다.
도13은 종래의 액티브 매트릭스형 액정표시장치가 사용되는 경우에 레벨 시프트(ΔV) 및 출력 전압의 중앙값을 나타낸 그래프이다.
도14는 제2 종래의 액티브 매트릭스 액정표시장치의 전체적인 구성을 나타낸 도면이다.
도15a 및 도15b는 제2 종래의 액티브 매트릭스 액정표시장치를 위한 액정 구동 방법을 설명한 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 신호에 따라 소스선에 공급되는 계조전압을 발생시키는 소스 드라이버, 상기 소스 드라이버를 이용하는 소스선 구동회로, 및 상기 소스 드라이버 및 상기 소스선 구동회로를 이용한 매트릭스형 표시장치에 관한 것이다. 특히, 본 발명은 DC 전압이 인가되면 표시장치의 표시화면을 구성하는 화소의 기능이 저하되거나 화소가 파괴되기 때문에 AC전압을 인가해야 하는 액정표시장치와 같은 표시장치에 사용되는 소스 드라이버에 관한 것이며, 또한 본 발명은 상기 소스 드라이버를 이용한 소스선 구동회로에 관한 것이며, 상기 소스 드라이버 및 소스선 구동회로로 구성된 표시장치에 관한 것이다.
최근에, 대형 화면에서 고화질을 얻을 수 있는 액티브 매트릭스 액정표시장치에 대한 개발이 증가하고 있다. 상기 액티브 매트릭스 액정표시장치에서는, 박막(thin-film) 기술로서, 그 사이에 액정을 개재하고 있는 한 쌍의 기판 중 하나에 박막 트랜지스터(TFT) 어레이를 형성하는 구성이 널리 채택되어 왔다.
도9는 종래의 액티브 매트릭스형 액정표시장치에서 각각의 화소의 등가회로의 일례를 도시한 회로도이다. 각각의 화소는 도9에 도시된 바와 각이 서로 직교하도록 배치된 소스선(4) 및 게이트선(5)의 교점에 따라 제공된다. 예컨대 비정질 실리콘 등을 사용하여 형성된 TFT가 각각의 화소에 제공되고, 게이트선(5)은 TFT의 게이트 전극에 접속되며, 소스선(4)은 TFT의 소스전극에 접속된다. 액정 셀 용량(C_{LC}), 보조용량(C_s) 및 기생용량(C_{gd})은 TFT의 드레인 전극에 부하로서 접속된 다. 상기 기생용량(C_{gd})은 게이트선(5) 및 표시전극으로 사용되는 드레인 전극 사이의 용량결합에 의해 발생된다. TFT의 드레인 전극에 접속되지 않는 액정 셀 용량(C_{LC}) 및 보조용량(C_S)의 단자는 대향기판의 공통 전극(도시 안됨)에 접속되고, 공통 전극 전압(V_{com})이 상기 단자에 인가된다. 상기 구성에서 데이터 신호에 따른 소정의 전압이 1 주사기간(a scanning period) 동안 액정 셀 용량(C_{LC}) 및 보조용량(C_s)에 기입되어, 소정의 계조 표시화면을 얻는다.
일정 방향을 갖는 전계가 장기간 액정에 지속적으로 인가될 때, 액정은 자체의 전기 화학적 성질로 인해 기능이 저하된다. 상기 이유로, 액정에 인가될 전계의 방향이 주기적으로 반전되도록 액정을 구동시킬 필요가 있다. 도트반전방식(dot reversal system)에서, 소스 드라이버로부터 출력된 계조 전압(V_x)은 공통 전극 전압(V_{COM})이 중심이 되도록 극성 반전 신호(REV)를 기준으로 하여 반전되며, 이 교류 전압이 액정 셀을 구동한다.
계조 전압(V_X)이 인가될 때 액정 용량(C_{LC})에서 발생시키는 액정 셀 전압(V_{LC})은, 기생용량(C_{gd})의 효과를 무시할 때, TFT의 소스 전극 및 드레인 전극을 통해 소스선(4)으로부터 공급되는 계조전압(V_X) 및 공통 전극 전압(V_{COM}) 사이의 전압차이다. 그러나, 실제 동작에서, 기생전압(C_{gd})은 무시할 수 없다.
이하 도10을 참조하여 화소의 구동에 대한 기생용량(C_{gd})의 효과를 설명한다. 도10은 게이트선(5)에 공급되는 주사 전압(V_Y)의 파형, 소스 드라이버에서 출력되는 계조전압(V_X)의 파형, 극성 반전 신호(REV)의 파형, 공통 전극 전압(V_{com})의 파형 및 액정 셀 용량(C_{LC})에서 이들 전압에 의해 생성되는 액정 셀 전압(V_{LC})의 파형을 도시한다. 도10에 도시된 바와 같이, 선택 펄스가 게이트선(5)을 통해 TFT의 게이트 전극에 인가될 때, TFT는 ON된다. 소스선(4)에 인가되는 계조전압(V_X)은, 소스 전극으로부터 드레인 전극을 통해, TFT의 부하로 작용하는 액정 셀 용량(C_{LC}) 및 보조용량(C_S)으로 보내진다. 결국, 액정 셀 전압(V_{LC})은 상기 선택 펄스와 동기적으로 상승한다. 선택 펄스가 하강할 때의 전압(이하 최종 기입 전압이라 한다)은 액정 셀 용량(C_{LC}) 및 보조용량(C_S)에 의해 유지된다. 그러나, 실제로는, TFT의 OFF후 기생용량(C_{gd})의 전압 재분배로 인해 최종 기입 전압과 보유전압간의 레벨 시프트(ΔV)가 발생한다.
도10에 도시된 일 주사기간(T_1)의 경우처럼 액정 셀 전압(V_{LC})이 양일 때 보유 전압이 최종 기입 전압보다 낮아지도록 상기 레벨 시프트(ΔV)는 보유 전압이 감소하도록 작용한다. 그러나, 일 주사기간(T_2)의 경우처럼 액정 셀

전압(V_{LC})이 음일 때, 보유 전압이 최종 기입 전압보다 높아지도록 상기 레벨 시프트(ΔV)는 보유 전압이 증가하도록 작용한다.
결국, 상기 주사기간(T_1)에서 액정 셀 전압(V_{LC})의 실효치가 주사기간(T2)의 경우와 다르게 되어, DC전압이 액정에 인가되는 것이 되므로 액정의 기능이 저하된다. 또한, 액정에 인가되는 양의 전압 값이 그곳에 인가되는 음의 전압 값과 다르므로, 액정의 휘도(luminance)는 전압 값에 따라 다르게 되어 화상에서 플리커(flicker)가 발생한다. 상기 문제를 해결하기 위하여, 종래에는 양의 액정 셀 전압(V_{LC})의 실효치가 음의 액정 셀 전압(V_{LC})과 같아지도록 공통 전극 전압(V_{COM})을 레벨 시프트(ΔV)와 같은 양만큼 시프트시키는 방안이 제시되어 왔다.
레벨 시프트(ΔV)는 상기와 같이 기생용량(C_{gd})의 존재 때문에 발생한다. 주사전압(V_Y)의 진폭이 V_G 일 때, 레벨 시프트(ΔV)는 다음과 같다.
$\Delta V = (C_{gd} / (C_{gd} + C_{LC} + C_S)) \times V_G$ ... (1)
셀 간극이 d, 표시전극의 면적이 A, 액정 재료의 비유전율이 ε_{LC}, 진공유전율이 ε_0 일 때, 액정 셀 용량(C_{LC})는 다음과 같다.
$C_{LC} = (\varepsilon_{LC} \times \varepsilon_0 / d) \times A$ ... (2)
액정 재료의 비유전율(ε_{LC})은 액정 분자의 배열 상태에 따라, 즉 액정 셀 전압(V_{LC})에 따라 변한다. 즉, 액정 셀 용량(C_{LC})은 액정 셀 전압(V_{LC})의 함수(f1)로 주어지며, 다음과 같다.
$C_{LC} = K_1 \times f1(V_{LC})$ ... (3)
단, K_1 은 상수이다.
따라서, 레벨 시프트(ΔV) 역시 액정 셀 전압(V_{LC})의 함수(f2)로서 주어지며 다음과 같다.
$\Delta V = K_2 \times f2(V_{LC})$ ... (4)
단, K_2 는 상수이다.
또한, 액정의 광투과율은 액정 셀 전압(V_{LC})에 대해 비선형적으로 변한다. 즉, 계조 표시를 얻을 때 액정 셀 전압(V_{LC})의 실효치가 각각의 계조 레벨마다 다르므로, 각 계조 레벨에서의 레벨 시프트(ΔV)의 크기는 일정치 않다. 따라서, 각 계조 레벨에서의 레벨 시프트(ΔV)를 보정할 필요가 있다.
우선, 종래의 액티브 매트릭스 액정표시장치의 전체적인 구성을 이하 기술한다. 도11에 도시된 바와 같이, 종래의 액티브 매트릭스 액정표시장치는, 매트릭스 형태로 배열된 복수의 화소를 가진 화소 어레이(1), 복수의 소스선(도시 안됨) 및 서로 직교하도록 배치된 복수의 게이트선(도시 안됨)을 가진 액정 패널, 소스선을 구동하기 위한 소스선 구동회로(8), 및 게이트선을 구동하기 위한 게이트 드라이버(3)를 포함한다.
소스선 구동회로(8)에는 소스 드라이버(2) 및 소스 드라이버(2)에 기준 전압을 공급하기 위한 복수의 기준 전압 발생회로(9)(양 및 음의 전압)가 제공된다. 소스 드라이버(2)의 출력 전압 발생 부분은 계조 전압 발생 회로(도시 안됨), 계조 선택회로(도시 안됨) 및 출력 버퍼(도시 안됨)를 포함한다. 양의(하이) 기준 전압 발생회로 및 음의(로우) 기준 전압 발생회로에 의해 발생된 양의 기준 전압 및 음 의 기준 전압은 소스 드라이버(2)의 계조 전압 입력단자를 통해 계조 전압 발생회로에 각각 공급된다.
계조 전압 발생회로에는 직렬로 접속된 복수의 저항을 포함하는 저항형 분압회로가 제공된다. 양 및 음의 기준 전압 사이의 전압은 복수의 출력 계조 전압을 발생시키기 위해 상기 저항형 분압회로에 의해 등가로 분배된다. 상기 발생된 복수의 계조 전압 중 하나는 출력 계조 데이터에 따라 선택회로에 의해 선택되어 출력 버퍼를 통해 액정 패널의 소스선(4)으로 출력된다.
이때, 레벨 시프트(ΔV)가 상기와 같이 존재한다. 따라서, 보정을 행할 필요가 있다(이하 ΔV특성의 보정이라 한다). 액정에 인가된 전압에 대해 레벨 시프트(ΔV)특성을 이상적으로 보정하기 위해서는, 각각의 계조 전압에 적절한 계조 전압이 인가되어야 한다. 그러나, 모든 계조 전압이 소스 드라이버(2)에 인가되면, 회로의 크기는 매우 커야 하는데 이는 비현실적이다. 상기 이유로, 약 5개의 양의 기준 전압 및 약 5개의 음의 기준 전압이 소스 드라이버(2)의 기준 전압 입력단자에 통상적으로 공급된다. 서로 인접한 기준 전압 사이의 전압은 ΔV의 편차를 줄이기 위해 소스 드라이버(2) 내부에 있는 계조 전압 발생회로의 직렬저항에 의해 등가로 분배된다.
종래의 소스 드라이버에는 그 내부에 있는 계조 전압 발생회로에 접속된 복수의 기준 전압 입력단자가 제공되고, 서로 인접한 입력단자 사이의 저항 값은 등가로 분배되어 훨씬 많은 계조 전압을 발생시킨다. 또한, 소스 드라이버 내에서, 양의 계조 전압 발생 직렬저항은 음의 계조 전압 직렬저항과 대칭적으로 존재한다. 상기 이유로, 최고 계조 전압 및 최저 계조 전압이 최고 계조 및 최저 계조 기준 전압 입력단자에만 각각 공급되는 경우, 각각의 계조 레벨의 양의 계조 전압 및 음의 계조 전압은 서로 상하 대칭적으로 발생된다. 그러나, 상기와 같이 액정을 구동할 때, 각각의 계조 레벨이 다른 레벨 시프트(ΔV)가 존재하므로, 상기 ΔV 특성을 보정 해야 한다. 상기 목적을 달성하기 위하여, ΔV를 감안한 비대칭 전압 값이 상기 소스 드라이버의 약 5개의 양의 기준 전압 입력단자 및 약 5개의 음의 기준 전압 입력단자에 통상적으로 공급된다. 서로 인접한 전압 사이의 전압은 ΔV의 편차를 줄이기 위해 소스 드라이버 내부에 있는 계조 전압 발생회로의 직렬저항에 의해 등가로 분배된다.
외부로부터 소스 드라이버에 복수의 기준 전압을 공급하는데는 두개의 이유가 있다. 첫 번째 이유는 매끄러운 계조 표시를 얻기 위함이고, 둘 째 이유는 레벨 시프트(ΔV)특성의 보정을 최적화하기 위함이다.
이하 상기 첫 번째 이유를 설명한다. 소스 드라이버 내부의 계조 전압 발생회로는 등가로 분배된 직렬저항을 포함하고, 전압은 화상의 특성에 맞도록 통상 외부에서 공급된다. 그러나 입력점의 수가 적은 경우에, 서로 인접한 기준 입력 사이의 휘도 변화는 등가 분배로 인해 계조 및 휘도에 대한 특성에서 선형이 된다. 상기 이유로 휘도 변화는 도12의 실선으로 나타난 바와 같이 매끄럽지 못하다. 도12의 실선은 종래 소스 드라이버의 계조 및 휘도에 대한 특성을 도시한다. 각각의 점은 계조 전압이 입력된 경우를 나타낸다. 도12는 5개의 계조 전압이 외부에서 입력된 경우를 도시한다. 도12의 점선은 64계조의 경우 모든 계조가 매끄럽게 표시된다 는 가정 하에 계조 및 휘도의 이상적인 특성을 도

시한다. 그러나, 계조 전압 입력점의 수가 적은, 즉 약 5인 종래의 경우, 휘도는 도12의 실선에 도시된 바와 같이 직선적으로 변하므로 계조 및 휘도의 이상적인 특성을 얻는 것은 불가능하다. 복수의 기준점을 제공함으로써 계조 및 휘도의 특성을 개선하기 위한 상기와 같은 기술이 예컨대 일본국 특허 공개 공보 제86-4374호에 기술되어 있다.

다음, 이하 두 번째 이유를 기술한다. 도13은 소스 드라이버 내부의 저항 값이 기준 전압 사이에서 등가로 분배되는 종래 드라이버의 경우에 출력 전압 및 레벨 시프트(ΔV)특성의 중앙 값(양 및 음의 전압의 평균치)을 도시한다. 횡축은 계조를 나타내며, 종축은 전압을 나타낸다. 도13의 곡선(32)은 각 계조 전압의 레벨 시프트(ΔV)특성을 나타낸다. 점선(31)은 기준 전압 사이에 전압이 등가로 분배될 때, 소스 드라이버 발생 전압의 중앙값을 나타낸다. 점선(31)이 곡선(32)과 일치할 때, 액정에 DC전압은 인가되지 않으며, AC전압이 적절히 구동된다. 그러나, 기준 전압이 상기와 같이 적게 입력되면, 점선(31)으로 도시된 바와 같이, 등가 분배 저항에 의해 발생된 전압이, 레벨 시프트(ΔV)를 감안한 최적의 기준 전압이 입력되는 계조 전압을 제외한 계조 전압에서 출력된다. 따라서, ΔV 특성은 충분히 보정 되지 않으며, 출력 전압은 적절한 ΔV를 기초로 한 전압과 Va만큼 어긋난다. 상기 편차량이 크면, 적절한 AC구동이 되지 않고, DC전압이 액정에 인가되어 액정의 기능저하 뿐만 아니라 플리커(flicker) 및 잔상이 발생하게 된다.

상기 두 가지 문제점은 표시장치의 성능을 매우 저하시킨다. 표시장치의 성능을 개선하기 위해서는, 많은 기준 전압 입력점이 필요하다. 그러나 기준 전압 입 력점의 수는 회로의 사이즈 등으로 인해 제한된다. 통상, 기껏해야 대략 5개의 양 및 음의 기준 전압이 제공된다. 상기 경우에도, 기준 전압 사이의 저항 값이 소스 드라이버 내부에서 등가로 분배되기 때문에, ΔV 특성은 상기와 같이 정확히 보정될 수 없으며, 따라서 DC 전압이 액정에 인가된다. 또한, 기준 전압 입력 전후의 휘도 변화율은 갑자기 변한다. 따라서, 계조 램프 디스플레이(백에서 흑으로 선형으로 변하는 화상의 디스플레이)가 실행될 경우, 부자연스런 휘도 변화가 뚜렷이 인식된다.

또한, 종래의 기술에서, ΔV 특성을 보정하기 위해서, 공통 전극의 전위를 변화시키기 위한 가변 저항이 공통 전극 드라이브 회로에 제공된다. 각각의 계조 레벨에서 플리커 평가 패턴의 목시(visual checking) 또는 화상인식을 행함으로써 임의의 소정 계조점에서 플리커가 줄어들도록 가변 저항의 저항 값이 조정되며, 이로써 공통 전극 전압(V_{COM})이 적정치에 근사하도록 설정된다.

그러나, 외부 기준 전압 사이의 전압이 소스 드라이버 내부에서 저항형 분배 회로에 의해 등가로 분배되는 종래의 기술에서, 레벨 시프트(ΔV)의 보정으로 얻어지는 전압은 도13에 도시된 바와 같이 모든 계조 레벨에서 적정 전압으로 완전히 조정되는 것은 아니다. 따라서, 플리커가 특정 계조 레벨에서 발생하지 않도록 공통 전극 전위(V_{COM})를 조정할지라도, 양의 액정 셀 전압(V_{LC}) 및 음의 액정 셀 전압(V_{LC})은 다른 계조 레벨에서 서로 다른 값을 가지며, 따라서 상기 계조 레벨에서 플리커가 발생하여 액정표시의 질이 떨어지게 된다. 또한, 공통 전극 전위(V_{COM}) 의 조정이 매우 어렵게 되고 시간이 걸린다.

또한, 일본국 특허 공개 공보 제95-92937호는 멀티 레벨 계조를 얻는 동안 잔상 현상을 방지할 수 있는 액정표시장치 구동 방법을 제시한다. 상기 방법에서, 소스 드라이버에 계조 전압을 공급하기 위한 계조 전압 발생 회로가 소스 드라이버 외부에서 제공되며, 도14에 도시된 바와 같이 최대 진폭 전압(V_s) 및 기준 전압(V_c)의 가산 전압($+V_1$) 및 감산 전압($-V_1$)이 계조 전압 발생 회로에서 형성되는 저항형 분압회로의 양단에 교류 신호에 의해 교대로 공급되어 복수의 계조 전압을 발생시킨다. 또한, 저항형 분압회로의 중간점에 공급되는 중간 전압(V_{asc})이 도15a 및 도15b에 도시된 바와 같이 기준 전압(V_c)에서 시프트 되어, 비대칭 양 및 음의 계조 전압이 출력되고, 각각의 계조 전압의 중앙값이 공통 전극 전압에 대해 최적으로 설정된다.

그러나, 상기 참조 문헌에서 제시된 구동 방법에 의해 N-레벨 계조 표시가 실행될 경우, 계조 전압 발생 회로에 있는 저항형 분압회로는 모든 계조 값의 중앙값을 최적으로 설정하기 위해 양 및 음의 전압에 대해 N개의 저항에 의해 분배되어야 한다. 이로 인해 회로의 크기는 대형화되고 제조 원가 및 소비 전력은 증가하며, 따라서 비현실적이다. 특히, 예컨대 최고레벨 기준 전압 및 최저레벨 기준 전압의 차가 10V에서 64레벨의 계조를 표시할 때, 정확한 계조 표시를 얻기 위해 정확도가 최고이어야 하는 중간 계조 표시 영역에서는 약 5mV의 전압 정확성이 요구된다. 이를 얻기 위해서는 0.05%의 저항치 정밀도가 요구된다. 따라서, 소스 드라이버 외부에서 개별(discrete)저항기로 통상 사용되는 저항기의 저항 정밀도(1%)보다 훨씬 높은 정밀도를 가진 저항기를 사용해야 한다. 즉, 개별 저항기를 사용하여 상기의 높은 정밀도를 얻는 것은 비현실적이다. 또한, 상기의 높은 전압 정밀도를 요구하는 회로가 소스 드라이버 외부에서 개별 소자를 사용하여 형성되고 분압이 실행되면, 예컨대 백라이트 등으로부터의 외부 노이즈 때문에 분압치가 불안정한 문제가 발생하며, 따라서 전압치 정확도는 낮아지고 정확한 계조 표시를 얻을 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 매끄러운 계조 표시 및 상당히 개선된 화질을 얻을 수 있으며, 플리커 및 잔상 등과 같은 문제가 없는 액정표시장치를 제공하는 것이다.

본 발명은 계조 전압을 발생시키는 저항형 분압회로로 구성되어 데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스 드라이버에 관한 것으로, 저항형 분압회로의 양극성(하이 레벨)용 전압 저항 분할비 및 음극성(로우 레벨)용 전압 저항 분할비가 레벨 시프트 특성에 따라 서로 비대칭이 되도록 설정된다.

본 발명에 따르면, 계조 전압을 발생시키기 위하여 소스 드라이버에 제공되는 저항형 분압회로의 복수의 양극성(하이 레벨) 전압 저항 분할비 및 음극성(로우 레벨) 전압 저항 분할비가, 액정 유전율의 비등방성으로 인한 레벨 시프트(ΔV)의 비선형적 특성을 감안하여 서로 비대칭이 되도록 설정된다. 따라서, 레벨 시프트(ΔV) 특성의 보정이 각각의 계조 레벨에서 행해질 수 있으며, 이로 인해 양극성 액정 셀 전압(V_{LC})은 각각의 계조 레벨에서 음극성 액정 셀 전압(V_{LC})과 같도록 설정될 수 있다. 즉, 불필요한 DC전압이 액정 분자에 인가되지 않으며, 따라서 잔상은 일어나지 않고, 플리커 등과 같은 문제도 해결되며 화질은 상당히 개선될 수 있다. 또한 모든 계조 전압이 레벨 시프트(ΔV)를 감

안하여 완전히 보정 된다. 따라서 각각의 계조 레벨에서 플리커 평가 패턴을 사용함으로써 공통 전극 전압(V_{COM})의 시각적인 조정시, 소정의 계조 레벨에서 플리커가 사라지도록 공통 전극(V_{COM})을 조정함으로써, 모든 계조 레벨에서 플리커 등과 같은 표시 문제를 완전히 해결할 수 있다. 상기와 같은 이유로, 공통 전극 전압(V_{COM})의 조정은 매우 쉽게 행해질 수 있으며, 그 결과 동작 시간은 짧아진다.

또한, 본 발명은 계조 전압을 발생시키는 저항형 분압회로로 구성되어 데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스 드라이버에 관한 것으로, 저항형 분압회로의 저항 분할비는 계조 표시 특성에 따라 최적화 된다.

본 발명에 따르면, 계조 전압을 발생시키기 위하여 소스 드라이버에 제공되는 저항형 분압회로의 복수의 저항 분할비는, IC(집적회로)화 함으로써 고도로 정확해질 수 있으며, 목표의 γ특성(계조 표시 특성)에 적합해질 수 있다. 따라서, 본 발명의 소스 드라이버는 이상적인 γ특성을 갖는 매끄러운 계조 표시를 얻기 위한 액정의 인가 전압을 출력할 수 있다.

또한, 본 발명은 상기 소스 드라이버 및 계조 기준 전압 발생 회로로 구성되 어 데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스선 드라이브 회로에 관한 것으로, 상기 소스 드라이버에는 복수의 입력단자가 제공되고, 상기 복수의 입력단자에는 각각 다른 전압 레벨을 갖는 계조 전압이 제공되며, 복수의 계조 기준 전압에 따라 양극성 및 음극성의 계조 전압이 발생된다.

본 발명의 소스선 구동회로에 따르면, 계조 전압을 발생시키는 저항형 분압회로의 저항 분할비는 상기와 같이 설정된다. 따라서, 종래의 소스선 구동 회로의 경우와 달리, 다수의 계조를 갖는 계조 기준 전압을 제공하지 않고도 화소를 최적화 할 수 있다. 그 결과, 소스선 구동회로의 소스 드라이버 외부에 제공된 계조 기준 전압 발생회로를 제거할 수 있다. 따라서, 소스선 구동회로의 크기는 작아질 수 있으며, 부품의 원가는 줄어들 수 있고, 소비전력은 낮출 수 있다.

또한, 본 발명은 상기 소스 드라이버로 구성되어 데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스선 드라이브 회로에 관한 것으로, 상기 소스 드라이버에는 2개의 입력단자가 제공되고, 상기 입력단자 중 하나에는 양극성의 최고레벨 기준 전압이 제공되며, 다른 하나에는 음극성의 최저레벨 기준 전압이 제공되고, 최고레벨 기준전압 및 최저레벨 기준전압에 따라 양극성 및 음극성의 계조 전압이 발생된다.

본 발명에 따르면, 소스선 구동회로는 양극성의 최고레벨 기준전압 및 음극성의 최저레벨 기준전압을 소스 드라이버에 제공한다. 기준전압을 사용함으로써, 소스 드라이버 내부의 저항형 분압회로는 모든 양극 및 음극성 계조 전압을 정확하고도 적절하게 발생시킬 수 있다. 그리하여, 소스 드라이버 외부에 계조 기준 전압 발생회로를 제공할 필요가 없다. 따라서, 소스선 구동회로의 전체 크기는 작아질 수 있으며, 부품의 원가는 줄어들 수 있고, 소비전력은 낮출 수 있다.

또한, 본 발명은, 매트릭스 형태로 배열된 복수의 화소, 화소의 열(column)에 따라 배열된 복수의 데이터 신호선, 화소의 행(row)에 따라 배열된 복수의 주사 신호선, 각각의 화소에 있는 스위칭 디바이스, 및 데이터 신호선을 구동하기 위한 상기 소스선 구동회로를 포함하는 액티브 매트릭스 액정표시장치에 관한 것이다.

본 발명의 액티브 매트릭스 액정표시장치에 따르면, 계조 전압을 발생시키기 위하여 소스 드라이버에 제공된 저항형 분압회로의 양극 전압 저항 분할비 및 음극 전압 저항 분할비는 서로 비대칭이 되도록 설정된다. 따라서, 각각의 계조 전압에 따라 다른 레벨 시프트(ΔV)는 소스 드라이버 내부의 저항형 분압회로의 저항 분할비에 반영되어 계조 전압을 보정한다. 상기와 같은 이유로, 플리커 등과 같은 표시 문제를 해결하고 화질을 상당히 개선할 수 있는 액티브 매트릭스 액정표시장치를 얻을 수 있다.

또한, 종래의 소스선 구동회로의 경우와는 달리, 다수의 외부 계조 기준 전압을 소스 드라이버에 제공하지 않고도 목표 γ특성을 따르는 이상적이고 고도로 정확한 계조 전압을 발생시킬 수 있다. 따라서, 소스 드라이버 외부에 제공된 계조 기준 전압 발생회로는 보다 작아질 수 있다. 따라서, 소스선 구동회로의 크기는 작아질 수 있으며, 부품의 원가는 줄어들 수 있고, 소비전력은 낮출 수 있다.

발명의 구성 및 작용

도면을 참조하여, 이하 본 발명의 실시예를 기술한다.

우선, 본 발명에 따른 액티브 매트릭스 액정표시장치의 전체적인 구성을 이하 기술한다. 도1에 도시된 바와 같이, 액티브 매트릭스 액정표시장치는, 서로 직교하도록 배열된 복수의 소스선(4)(데이터 선) 및 복수의 게이트선(5), 화소 어레이(1), 소스선(4)을 구동하기 위한 소스 드라이버(2), 및 게이트선(5)을 구동하기 위한 게이트 드라이버(3)를 포함한다. 계조 전압을 발생시키는 회로가 도1의 중앙에 소스 드라이버(2)로서 도시된다. 데이터 신호 입력회로, 타이밍 제어회로 등은 도1에 도시되지 않는다.

화소 어레이(1)는 화소(7)들로 구성되며, 그 각각은 2개의 인접한 소스선(4) 및 2개의 인접한 게이트선(5)으로 둘러싸인 영역에 제공된다. 다시 말해, 화소(7)가 전체적으로 매트릭스 형태로 배열되어 화소 어레이(1)를 형성한다.

액정 셀 용량(C_{LC}), 보조용량(C_S) 및 기생용량(C_{gd})이 부하로서 TFT(6)의 드레인 전극에 접속된다. 기생용량(C_{gd})은 표시 전극으로 사용되는 드레인 전극 및 게이트선(5)의 용량 결합에 의해 발생된다. 액정 셀 용량(C_{LC}) 및 보조용량(C_S)의 단자들 중에 TFT(6)의 드레인 전극에 접속되지 않는 것들은 대향 기판의 공통 전극(도시 안됨)에 접속되고, 공통 전극 전압(V_{COM})이 상기 단자들에 인가된다.

상기 구성으로, 영상 신호에 따른 소정의 전압이 액정 셀 용량(C_{LC}) 및 보조용량(C_S)에서 일 주사 주기 동안 유지되며, 이로써 소정의 계조 표시를 화소(7)에서 얻을 수 있다. 계조 전압(V_X)이 인가될 때 액정 셀 용량(C_{LC})에서 발생하는 액정 셀 전압(V_{LC})은, 기생용량(C_{gd})의 효과를 무시하면, TFT(6)의 소스 전극 및 드레인 전극을 통해 소스선(4)으로부터 제공된 계조 전압(V_X) 및 공통 전극 전압(V_{COM}) 사이의 전압차이다.

(제1 실시예)

도2는 64레벨의 계조 표시에 대한 액티브 매트릭스 액정표시장치를 도시한다. 도2에 도시된 바와 같이, 제1 실시예에서, 소스선 드라이브 회로(8)는 소스 드라이버(2)를 가지고 있으며, 계조 기준 전압 발생회로(9)는 소스 드라이버(2)의 외부에 제공된다.

도3에 도시된 바와 같이, 소스 드라이버(2)는 복수의 계조 기준 입력단자(S_{H1},S_{Hn},S_{HN},S_{LN},S_{Ln} 및 S_{L1})를 가지고 있으며, IC(집적 회로)로 형성된 계조 전압 발생회로(11), 선택회로(12) 및 출력버퍼(13)를 포함한다. 외부 전원(도시 안됨) 및 계조 기준 전압 발생회로(9)에 의해 발생된 계조 기준 전압은 소스 드라이버의 입력단자에 공급되며, 계조 기준 전압은 계조 전압 발생회로(11)에서 저항에 의해 분배되어, 더 많은 계조 전압이 발생된다. 데이터 신호에 따른 계조 전압은 선택회로(12)에 의해 선택되어 출력버퍼(13)를 통해 소스선(4)으로 출력된다.

소스 드라이버(2)의 계조 전압 발생회로(11)는 직렬로 접속된 복수의 저항을 포함하는 저항형 분압회로이다. 예컨대, N레벨의 계조 표시의 경우에, 2N-1개의 저항이, R_{H1},R_{H2}, ..., R_{Hn}, ..., R_{HN-1}, R_{m}, R_{LN-1}, ..., R_{Ln}, ... 및 R_{L1}의 순서로 입력단자(S_{H1},S_{L1}) 사이에 직렬로 제공된다.

외부 전원에 의해 발생된 양극성 최고레벨 계조 기준 전압(V_{H1}')은 입력단자(S_{H1})에 공급되며, 외부 전원에 의해 발생된 음극성 최저레벨 계조 기준 전압(V_{L1}')은 입력단자(S_{L1})에 공급된다. 계조 기준전압 발생회로(9)에 의해 발생된 양극성 기준전압(V_{Hn}')은 입력단자(S_{Hn})에 공급되며, 계조 기준전압 발생회로(9)에 의해 발생된 양극성 기준전압(V_{HN}')은 입력단자(S_{HN})에 공급된다. 계조 기준전압 발생회로(9)에 의해 발생된 음극성 기준전압(V_{Ln}')은 입력단자(S_{Ln})에 공급되며, 계조 기준전압 발생회로(9)에 의해 발생된 음극성 기준전압(V_{LN}')은 입력단자(S_{LN})에 공급된다.

입력단자(S_{H1})에 공급된 양극성 최고레벨 계조 기준전압(V_{H1}')은 양극성 제1 계조 전압(V_{H1})으로서 선택회로(12)에 공급된다. 입력단자(S_{L1})에 공급된 음극성 최저레벨 계조 기준전압(V_{L1}')은 음극성 제1 계조 전압(V_{L1})으로서 선택회로(12)에 공급된다. 양극성 제2 계조 전압(V_{H2})은 저항형 분압회로의 저항 분할비에 따라 저항(R_{H1},R_{H2})의 교점에서 발생한다. 같은 방법으로, 양극성 n번째 계조 전압(V_{Hn})은 저항(R_{Hn-1},R_{Hn})의 교점에서 발생하며, 양극성 N번째 계조 전압(V_{HN})은 저항(R_{HN-1},R_{m})의 교점에서 발생한다. 같은 방법으로, 음극성 제2 계조 전압(V_{L2})은 저항(R_{L1},R_{L2})의 교점에서 발생하고, 음극성 n번째 계조 전압(V_{Ln})은 저항(R_{Ln-1},R_{Ln})의 교점에서 발생하며, 음극성 N번째 계조 전압(V_{LN})은 저항(R_{LN-1},R_{m})의 교점에서 발생한다.

이제, 모든 계조 레벨에서 레벨 시프트(ΔV) 특성의 보정에 완전히 의존하는 계조 전압을 발생시키기 위하여 계조 전압 발생회로(11)의 분압비가 적절히 설정되어야 한다.

양극성 액정 셀 전압(V_{LC})을 모든 계조 레벨에서 음극성 액정 셀 전압(V_{LC})과 같도록 하기 위하여, 소스 출력 전압의 중앙 값((V_{Hn} + V_{Ln})/2)은 각각의 계조 레벨에서 ΔV 특성을 감안하여 결정되는 공통 전극 전압(V_{COM})과 같아야 한다. 다시 말해, 레벨 시프트(ΔV)특성이 모든 계조 레벨에서 일정하지 않으므로, 각각의 계조 레벨에서 소스 드라이버의 출력 전압은 상하 비대칭이 되도록 설정되어야 한다. 상하 비대칭이 되도록 출력 전압을 설정한다는 것은 양극성의 n번째 계조 전압(V_{Hn})과 공통 전극 전압(V_{COM})간의 전위차가 음극성의 n번째 계조 전압(V_{Ln})과 공통 전극 전압(V_{COM})간의 전위차와 상이하게 되는 것을 의미한다.

도4는 각각의 직렬저항의 저항 값 설정 예를 도시한다. 상기 저항 값은, 레벨 시프트(ΔV) 특성의 보정이 저항형 분압회로, 즉 64레벨의 계조 표시의 경우 소스 드라이버(2) 내부에 있는 계조 전압 발생회로(11)에서 완전히 실행될 수 있도록 설정된다. 곡선(41)은 양극성 계조 전압(V_{H1},V_{H2}, ...,V_{H64})을 발생시키기 위한 63개 직렬저항(R_{H1},R_{H2},...,R_{Hn},..., R_{H63})의 저항 값을 나타낸다. 곡선(42)은 음극성 계조 전압(V_{L1},V_{L2}, ...,V_{L64})을 발생시키기 위한 63개 직렬저항(R_{L1},R_{L2},...,R_{Ln},...,R_{L63})의 저항 값을 나타낸다. 도4에 도시된 바와 같이, 양극성 계조 전압을 발생시키기 위한 직렬저항의 저항 값은, 레벨 시프트(ΔV) 특성의 보정을 감안하여 음극성 계조전압을 발생시키기 위한 직렬저항의 저항 값과 상하 비대칭적으로 설정된다.

제1 실시예에서, 도2에 도시된 바와 같이, 64레벨의 계조를 표시하기 위해서는, 2레벨의 양극성 계조 기준전압(V_{H32}',V_{H64}') 및 2레벨의 음극성 계조 기준전압(V_{L32}',V_{L64}')이 계조 기준전압 발생회로에 의해 발생되어 소스 드라이버의 입력단자($S_{H32,}$ $S_{H64,}$ $S_{L32,}$ S_{L64})에 각각 공급된다.

도5는 본 실시예의 소스 드라이버(2)의 저항형 분압회로에 의해 발생되어 모든 계조 레벨의 소스선에 출력되는 양극성 및 음극성의 출력전압을 도시한다. 또한, 도6은 도5의 확대도이다. 도5 및 도6은 64레벨의 계조 표시의 경우를 도시한다. 또한, 도6은 계조 전압에 따른 레벨 시프트(ΔV)를 도시하고 또한 종래의 소스 드라이버를 사용할 경우 소스선에 대한 출력전압을 도시한다. 도5 및 도6에서 횡축은 계조를 나타내며 종축은 출력전압을 나타낸다. 도5 및 도6에서, 곡선(21)은 본 실시예의 모든 계조 레벨에서 소스선에 대한 양극성 출력전압을 나타낸다. 곡선(22)은 본 실시예의 모든 계조 레벨에서 소스선에 대한 음극성 출력전압을 나타낸다. 곡선(23)은 계조 전압(ΔV 특성)에 따른 레벨 시프트(ΔV)를 나타낸다. 또한, 도6의 곡선(24)은 종래 소스 드라이버의 모든 계조 레벨에서 소스선에 대한 양극성 출력전압을 나타낸다. 곡선(25)은 종래 소스 드라이버의 모든 계조 레벨에서 소스선에 대한 음극성 출력전압을 나타낸다. 도5 및 도6은 계조 레벨(1)에서 소스 드라이버의 양극성 출력이 +10V이고, 계조 레벨(1)에서 소스 드라이버의 음극성 출력이 0 V이며, 중앙 전압이 +5V인 경우를 도시한다.

레벨 시프트(ΔV)는 계조 전압이 높아짐에 따라 증가한다고 알려져 있다. 즉, 레벨 시프트(ΔV)는 계조 레벨(1)에서 계조 레벨(64)까지의 범위에서 약 +0.4 V 증가한다. 또한, 레벨 시프트(ΔV)는 계조 전압에 따라 비선형적으로 변한다는 것이 알려져 있다. 본 실시예에서, 소스 드라이버의 계조 전압은 각각의 계조 레벨에서 레벨 시프트(ΔV)의 계조 전압에 대한 의존성을 감안하여 발생된다. 따라서, 소스선에 대한 양극성 출력전압의 곡선(21)은 레벨 시프트(ΔV) 특성 곡선(23)에 따른 소스선에 대한 음극성 출력 전압의 곡선(22)과 대칭이다. 이러한 이유로 양극성 액정 셀 전압(V_{LC}) 및 음극성 액정 셀 전압(V_{LC})은 각각의 계조 레벨에서 서로 같아질 수 있으며, 따라서 플리커 등과 같은 문제

는 발생하지 않는다.
반면에, 종래 기술의 경우, 양극성 및 음극성 출력 전압은 곡선(24,25)에 나타난 바와 같이 각각의 계조 레벨에서 중앙 전압(+5V)에 대해서만 서로 대칭이다. 그 결과 불필요한 DC전압이 액정에 인가되어, 이로써 액정의 기능이 약화되고 플리커의 문제가 발생한다. 또한, 종래 기술에서는, 예컨대 약 5개의 양극성 계조 기준전압 및 약 5개의 음극성 계조 기준전압이 레벨 시프트(ΔV) 특성의 보정 편차를 줄이기 위해 외부회로에서 소스 드라이버로 공급된다. 그러나, 실제로는 도13에 도시된 바와 같이 목표 전압으로부터의 편차(Va)가 발생한다. 상기 Va가 크면, 플리커의 문제가 발생한다.
본 실시예에서는, 계조 전압에 대한 레벨 시프트(ΔV)의 의존성을 감안하여, 소스 드라이버 내부에 있는 저항형 분압회로의 양극성 전압 저항 분할비 및 음극성 전압 저항 분할비가 서로 비대칭이 되도록 설정된다. 따라서, 도5 및 6에 도시된 곡선(21,22)에 나타난 바와 같이 전압은 레벨 시프트(ΔV) 특성에 따라 출력될 수 있다. 또한, 상기 저항 분할비 설정에 의해, 본 실시예에 따른 소스 드라이버를 갖는 소스선 드라이브 회로는 그 중앙값이 도13의 곡선(32)으로 나타난 특성을 갖는 계조 전압을 발생시킬 수 있다. 따라서, 레벨 시프트(ΔV) 특성의 보정 편차는 발생하지 않으며, 이로써 플리커 등과 같은 표시 문제가 완전히 해결된다.
소스 드라이버 내부에 저항 분할비를 최적으로 설정하면, IC 형성에 의해 얻어지는 특징과 같은 고도로 정확한 저항 분할비를 얻을 수 있는 장점이 있다. 상기 종래의 드라이브 방법에서 해결해야 할 문제점으로 언급되었듯이 최고의 정확성을 요하는 중간 계조 표시 영역에서는 약 5mV의 정확도를 갖는 전압이 요구되기 때문에 모든 계조 레벨에 대한 전압을 외부 회로에서 공급하는 것은 불가능하다. 본 실시예는 ΔV 특성의 보정을 감안하여 얻어지는 특성을 만족시킬 수 있고 또한 IC에서 γ특성에 따르는 계조 전압을 발생시킬 수 있는 전압 발생 회로를 가지고 있다. 일반적으로, IC내부의 분압 정확도는 약 1mV 이하의 정확도로 설정될 수 있으므로, 본 발명에 요구되는 정확도를 얻을 수 있다.
γ특성은 표시장치에 입력되는 표시신호와 표시 특성 즉, 표시장치의 출력 사이의 관계를 나타낸다. γ특성이 상기 표시신호 및 표시장치와 맞지 않으면, 화상은 백색 또는 흑색으로 포화되어, 보는 이로 하여금 불편함을 느끼게 한다. γ특성은 표시신호 또는 표시장치에 따라 다르기 때문에, 상기 특성을 감안하여 계조 전압을 결정할 필요가 있다. 그러나, 일반적으로, TV신호나 VGA(Video Graphics Array)와 같은 표시신호 및 CRT와 같은 표시장치의 경우에 γ특성의 값은 거의 일정하다. 따라서, 상기 값에 따라 계조 전압을 결정할 수 있다. 또한, 제한된 종류의 액정 재료가 액정표시장치에 지배적으로 사용되므로, 같은 액정 재료가 표시장치에 사용되면, 상기 ΔV 특성은 스크린 크기에 관계없이 본 발명에 따른 드라이브 회로를 갖는 표시장치에 통상적으로 이용될 수 있다.
(제2 실시예)
제2 실시예에서, 소스 드라이버 외부에는 계조 기준 전압 회로가 제공되지 않는다. 도7에 도시된 바와 같이, 소스 드라이버(2)는, 계조 전압 발생회로(11), 선택회로(12), 출력버퍼(13) 및 IC(집적회로)로 형성된 2개의 입력단자(S_{H1}, S_{L1})를 포함한다. 외부 전원에 의해 발생된 양극성의 최고레벨 계조 기준 전압(V_{H1}')이 입력단자들(S_{H1}) 중 하나에 공급된다. 외부 전원에 의해 발생된 음극성의 최저레벨 계조 기준 전압(V_{L1}')이 다른 입력단자(S_{L1})에 공급된다. 소스 드라이버(2)의 계조 전압 발생회로(11)는 외부에서 공급되는 계조 기준 전압(V_{H1}',V_{L1}')을 기초로 복수의 계조 전압을 발생시킨다. 선택회로(12)는 데이터 신호에 따라 계조 전압 중 하나를 선택하여 출력버퍼(13)를 통해 소스선(4)으로 출력한다.
소스 드라이버(2)의 계조 전압 발생회로(11)는, 상기 제1 실시예의 경우와 마찬가지로 복수의 저항이 직렬로 접속되는 저항형 분압회로를 포함한다. 예컨대 N 레벨의 계조 표시의 경우, 2N-1개의 저항이 R_{H1},R_{H2}, ..., R_{Hn}, ..., R_{HN-1}, R_m, R_{LN-1}, ..., R_{Ln}, ... 및 R_{L1} 의 순서로 입력단자(S_{H1},S_{L1}) 사이에 직렬로 제공된다.
제2 실시예에서, 양극성 최고레벨 계조 기준전압(V_{H1}')과 음극성 최저레벨 계조 기준 전압(V_{L1}')간의 전압은, 계조 전압 발생회로(11)에서 2N-1개의 직렬저항을 사용하여 분배되어 N개의 양극성 계조 전압 및 N개의 음극성 계조 전압, 즉 총 2N개의 소정의 계조 전압을 발생시킨다. 제1 실시예의 경우와 마찬가지로, 모든 계조 레벨이 소스 드라이버 내부에서 저항형 분압회로에 의해 설정되어 계조 표시는 매끄러워지며 소정의 γ특성이 얻어진다. 또한, 양극성 전압 저항 분할비 및 음극성 전압 저항 분할비는 레벨 시프트(ΔV) 특성의 보정이 완전히 실행되도록 서로 비대칭적으로 설정된다.
도8은 제2 실시예에 따라 소스 드라이버의 저항형 분압회로에 의해 발생된 계조 전압이 소스선에 입력되어 액정 패널의 화소를 구동하는 경우에 모든 계조 레벨에서의 휘도를 도시한다. 도8의 횡축은 계조를 나타내며, 종축은 액정 셀 전압(V_{LC})이 각각의 계조 레벨에서 액정 패널의 액정층에 인가되는 경우의 휘도를 나타낸다. 제1 계조 레벨 전압(V_1)(흑색으로 표시)은 o 로 표기되어, 계조 기준 전압이 양극성 및 음극성 전압의 경우에 외부로부터 소스 드라이버로 제1 레벨 계조 전압(V_1)으로서 외부적으로 인가됨을 나타낸다. 도8에 도시된 바와 같이, 상기 양극성 최고레벨 계조 기준전압 및 음극성 최저레벨 계조 기준전압을 단지 입력하기만 함으로써, 레벨 시프트(ΔV) 특성의 보정으로 부자연스런 휘도 변화 없이 제1 레벨 계조 전압(V_1)에서 제64 레벨 계조 전압(V_{64})까지의 영역을 표시할 수 있는 액정표시장치를 얻을 수 있다.
또한, 제2 실시예의 소스 드라이버를 가진 소스선 드라이브 회로가 제공된 액티브 매트릭스 액정표시장치에서, 플리커 평가 패턴을 이용하여 공통 전극 전압을 조정할 때에는, 특정 계조 패턴에서 플리커가 발생하지 않도록 공통 전극 전압을 단지 최적화하기만 함으로써, 다른 모든 계조 패턴에서 플리커를 방지할 수 있다. 이러한 이유로, 공통 전극 전압을 최적화하는 조정을 짧은 시간에 매우 쉽게 행할 수 있다.
상기와 같이, 제2 실시예에서는, 소스 드라이버 외부에 계조 기준전압 발생회로를 제공하지 않고도, 양극성 최고레벨 계조 기준전압(V_{H1}') 및 음극성 최저레벨 계조 기준전압(V_{L1}')을 소스 드라이버에 단지 제공하기만 함으로써, 레벨 시프트(ΔV)의 보정이 상기와 같이 완전히 행해지도록 저항형 분압회로의 분압비가 설정되기 때문에 계조 전압의 중앙값이 도13의 곡선(32)에 나타난 특성을 갖는 계조 전압을 출력할 수 있다. 따라서, 레벨 시프트(ΔV) 특성의 보정

편차 없이 플리커 등의 표시 문제를 완전히 해결할 수 있는 액정표시장치를 제공할 수 있다.
본 발명은 그 정신 또는 본질적인 특징을 벗어나지 않고 다른 소정의 형태로 구현될 수 있다. 따라서, 본 실시예는 모든 면에 있어서 예시적이므로, 제한적이지 않다. 본 발명의 범위는 상기 서술에 의해서가 아닌 첨부된 청구항에 의하여 나타 나며, 따라서 그 의미 안에 있는 모든 변화 및 청구항과 균등한 범위는 본 발명의 범위에 포함된다고 본다.

발명의 효과

본 발명에 의하면, 매끄러운 계조 표시 및 상당히 개선된 화질을 얻을 수 있으며, 플리커 및 잔상 등과 같은 문제가 없는 액정표시장치를 제공할 수 있다. 또한, 종래의 소스선 구동회로의 경우와는 달리, 다수의 외부 계조 기준 전압을 소스 드라이버에 제공하지 않고도 목표 γ 특성을 따르는 이상적이고 고도로 정확한 계조 전압을 발생시킬 수 있다. 따라서, 소스 드라이버 외부에 제공된 계조 기준 전압 발생회로는 보다 작아질 수 있다. 따라서, 소스선 구동회로의 크기는 작아질 수 있으며, 부품의 원가는 줄어들 수 있고, 소비전력은 낮출 수 있다.

(57) 청구의 범위

청구항 1.
데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스 드라이버에 있어서.
계조 전압을 발생시키는 저항형 분압회로를 포함하고,
저항형 분압회로의 양극성 전압 저항 분할비 및 음극성 전압 저항 분할비는, 계조전압에 따라 비선형적으로 변하는 레벨 시프트 특성에 기초하여, 서로 비대칭으로 되도록 설정되어 있는 것을 특징으로 하는 소스 드라이버.

청구항 2.
삭제

청구항 3.
데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스선 구동회로에 있어서.
제1항의 소스 드라이버; 및
계조 기준 전압 발생 회로를 포함하고,
상기 소스 드라이버에는 복수의 입력단자가 제공되고, 상기 복수의 입력단자 에는 각각 다른 전압 레벨을 갖는 계조 전압이 제공되며, 상기 복수의 계조 기준 전압에 따라 양극성 및 음극성의 계조 전압이 발생되는 것을 특징으로 하는 소스선 구동회로.

청구항 4.
데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스선 구동회로에 있어서,
제2항의 소스 드라이버; 및
계조 기준 전압 발생 회로를 포함하고,
상기 소스 드라이버에는 복수의 입력단자가 제공되고, 상기 복수의 입력단자에는 각각 다른 전압 레벨을 갖는 계조 전압이 제공되며, 상기 복수의 계조 기준 전압에 따라 양극성 및 음극성의 계조 전압이 발생되는 것을 특징으로 하는 소스선 구동회로.

청구항 5.
데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스선 구동회로에 있어서,
제1항의 소스 드라이버를 포함하고,
상기 소스 드라이버에는 2개의 입력단자가 제공되고, 상기 입력단자 중 하나에는 양극성의 최고레벨 기준 전압이 제공되며, 상기 입력단자 중 다른 하나에는 음극성의 최저레벨 기준 전압이 제공되고, 최고레벨 기준전압 및 최저레벨 기준전압에 따라 양극성 및 음극성의 계조 전압이 발생되는 것을 특징으로 하는 소스선 구동회로.

청구항 6.
데이터 신호에 따른 계조 전압을 교류구동이 요구되는 화소에 제공하는 소스선 구동회로에 있어서,
제2항의 소스 드라이버를 포함하고,
상기 소스 드라이버에는 2개의 입력단자가 제공되고, 상기 입력단자 중 하나에는 양극성의 최고레벨 기준 전압이 제공되며, 상기 입력단자 중 다른 하나에는 음극성의 최저레벨 기준 전압이 제공되고, 최고레벨 기준전압 및 최저레벨 기준전압에 따라 양극성 및 음극성의 계조 전압이 발생되는 것을 특징으로 하는 소스선 구동회로.

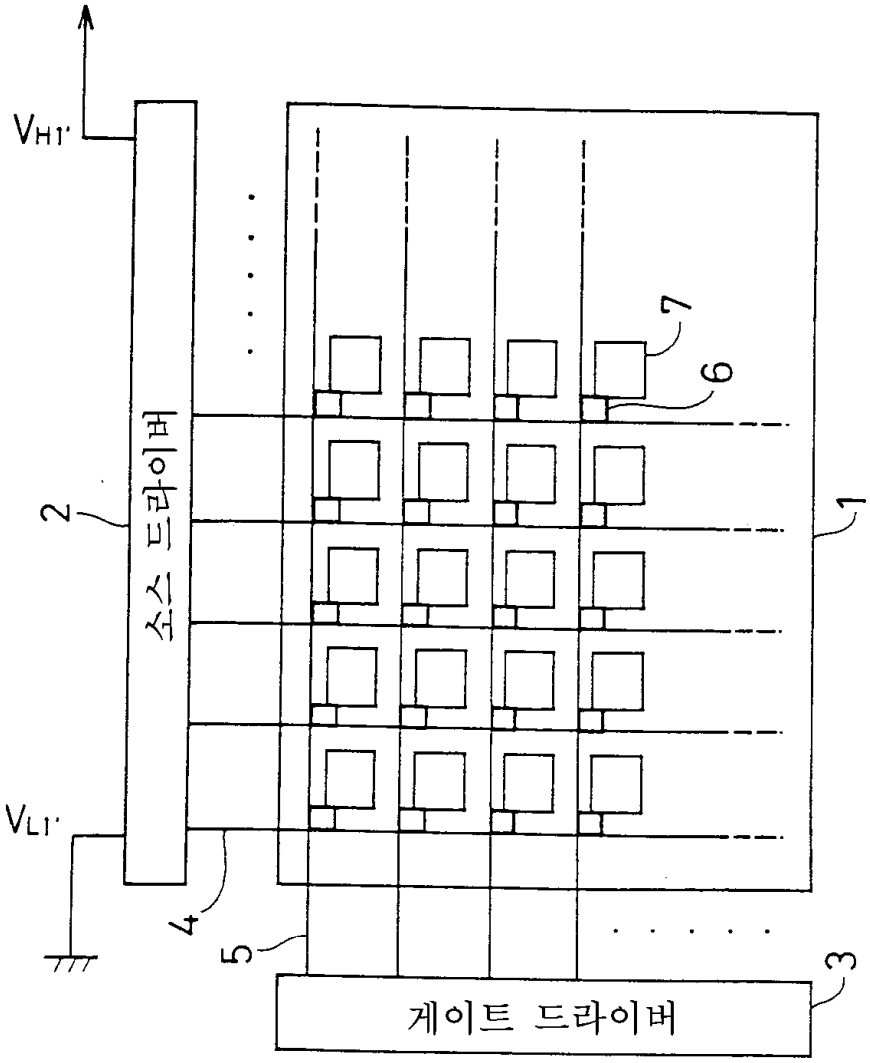
청구항 7.
매트릭스 형태로 배열된 복수의 화소;
화소의 열(column)에 따라 배열된 복수의 데이터 신호선;
화소의 행(row)에 따라 배열된 복수의 주사 신호선;
각각의 화소에 있는 스위칭 디바이스; 및
데이터 신호선을 구동하기 위한 상기 제3항의 소스선 구동회로를 포함하는 액티브 매트릭스 액정표시장치.

청구항 8.
매트릭스 형태로 배열된 복수의 화소;
화소의 열에 따라 배열된 복수의 데이터 신호선;
화소의 행에 따라 배열된 복수의 주사 신호선;

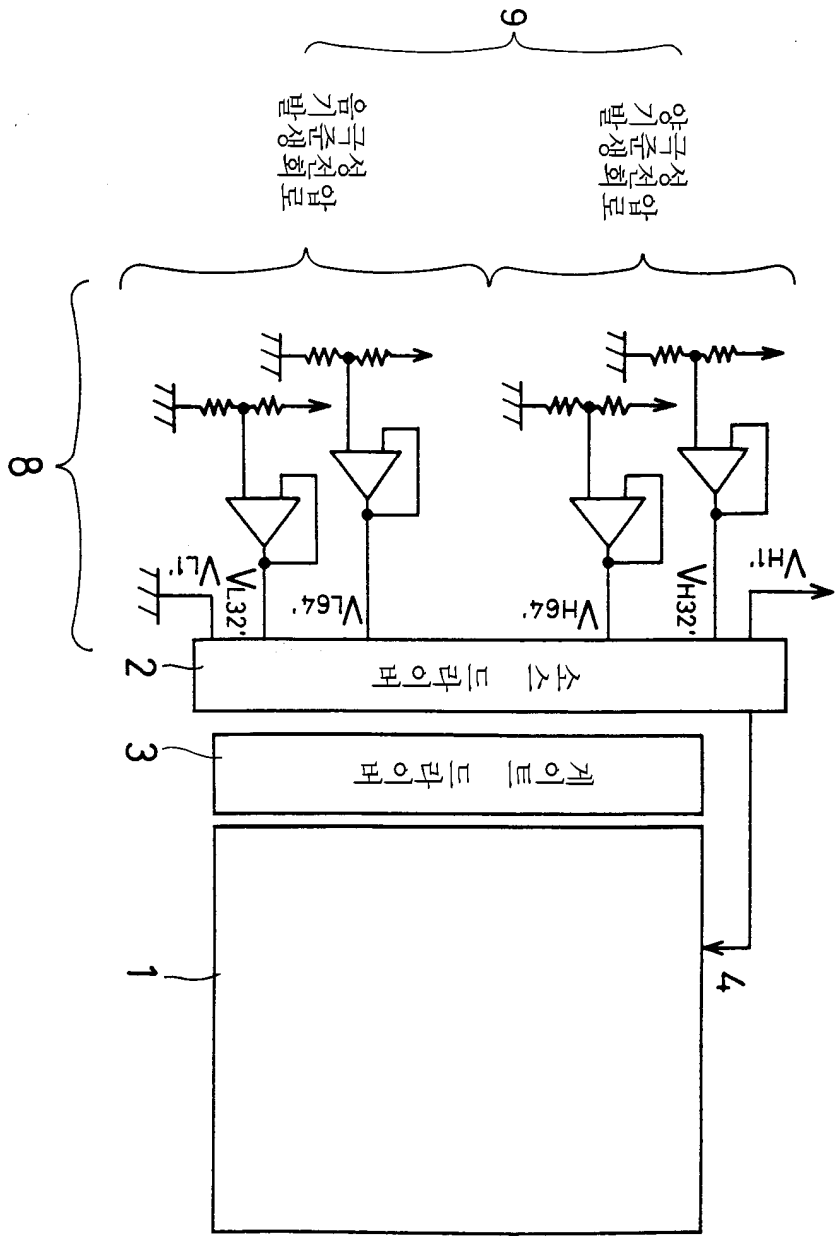
각각의 화소에 있는 스위칭 디바이스; 및
데이터 신호선을 구동하기 위한 상기 제4항의 소스선 구동회로를 포함하는 액티브 매트릭스 액정표시장치.

도면

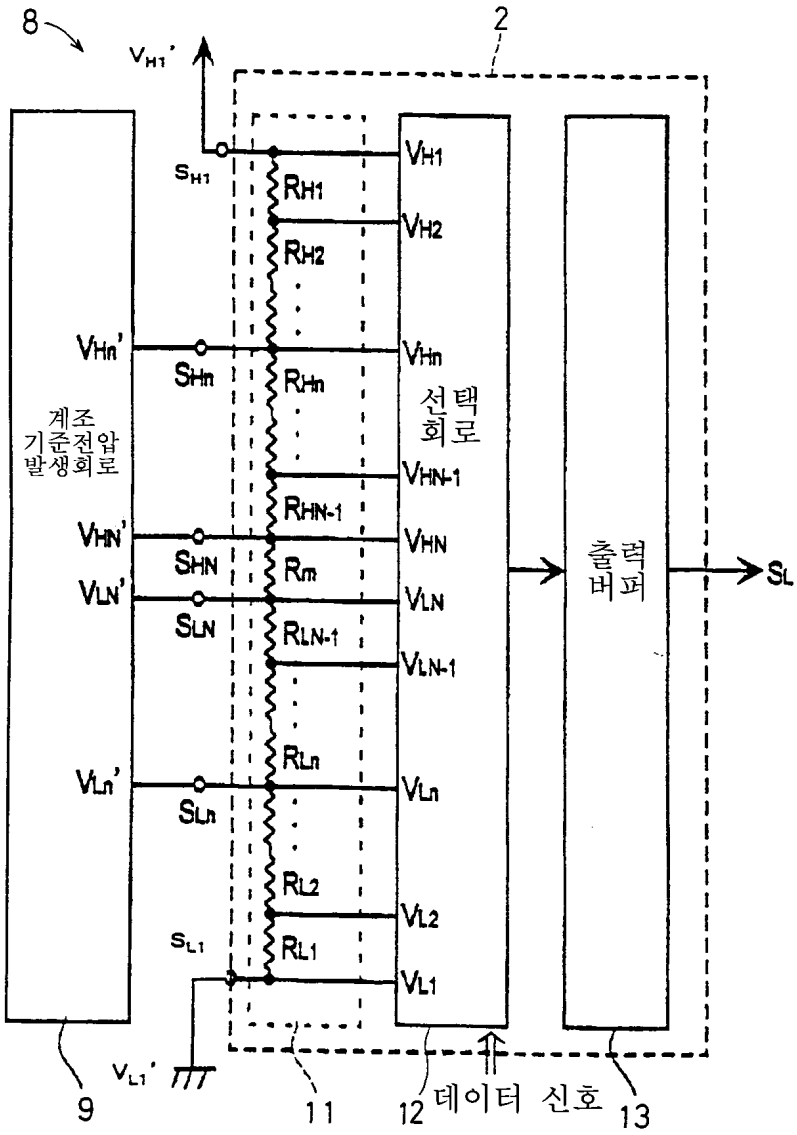
도면1



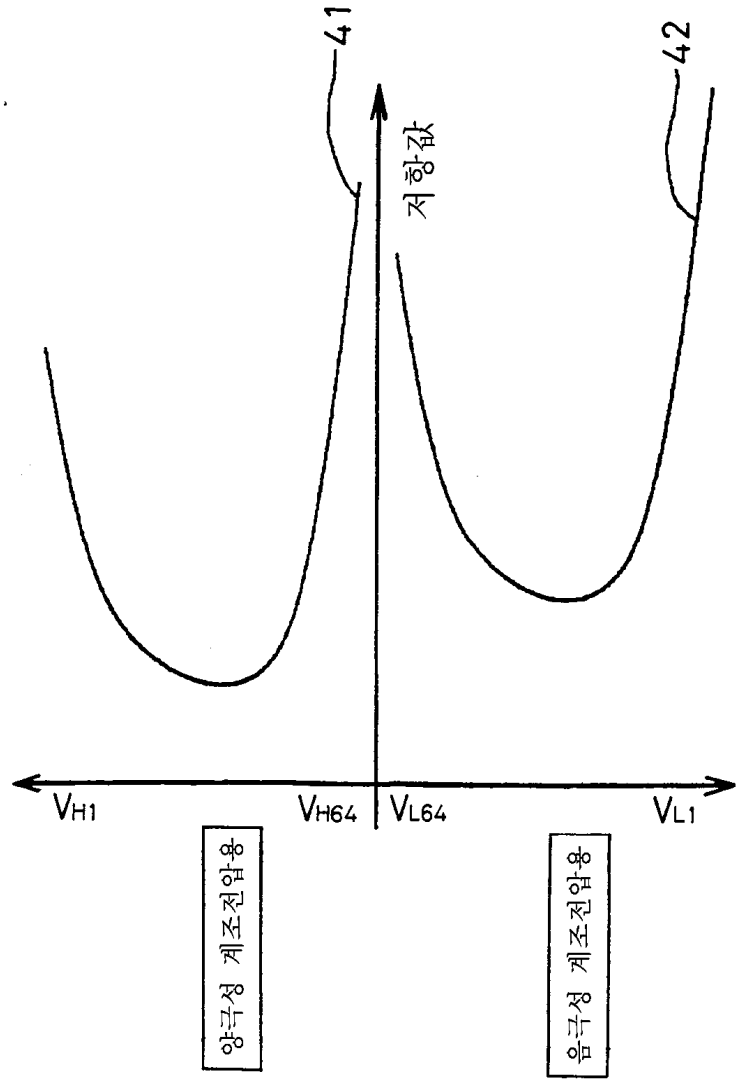
도면2


9
양극성 기준전압 발생회로
음극성 기준전압 발생회로
8
$V_{H1'}$
$V_{H32'}$
$V_{H64'}$
$V_{L64'}$
$V_{L32'}$
$V_{L1'}$
2
소스 드라이버
3
게이트 드라이버
1
4

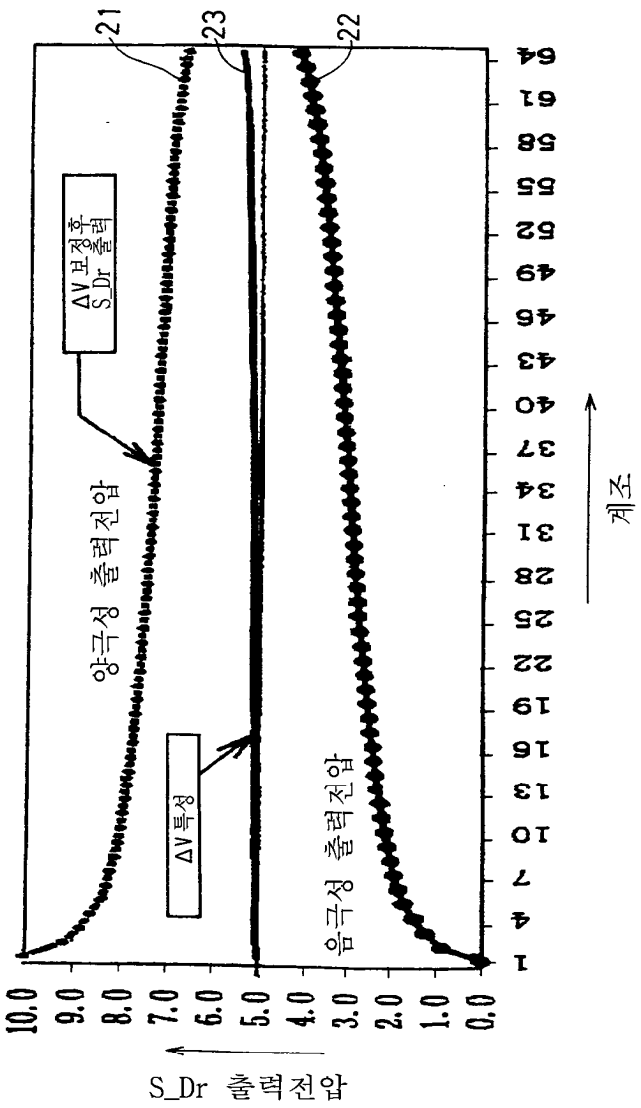
도면3


8
2
V_{H1}'
S_{H1}
R_{H1}
V_{H1}
V_{H2}
R_{H2}
V_{Hn}'
S_{Hn}
R_{Hn}
V_{Hn}
계조
기준전압
발생회로
선택
회로
V_{HN-1}
R_{HN-1}
V_{HN}'
S_{HN}
R_m
V_{HN}
V_{LN}'
S_{LN}
R_{LN-1}
V_{LN}
V_{LN-1}
R_{Ln}
V_{Ln}'
S_{Ln}
V_{Ln}
R_{L2}
V_{L2}
S_{L1}
R_{L1}
V_{L1}
출력
버퍼
S_L
V_{L1}'
9
11
12
데이터 신호
13

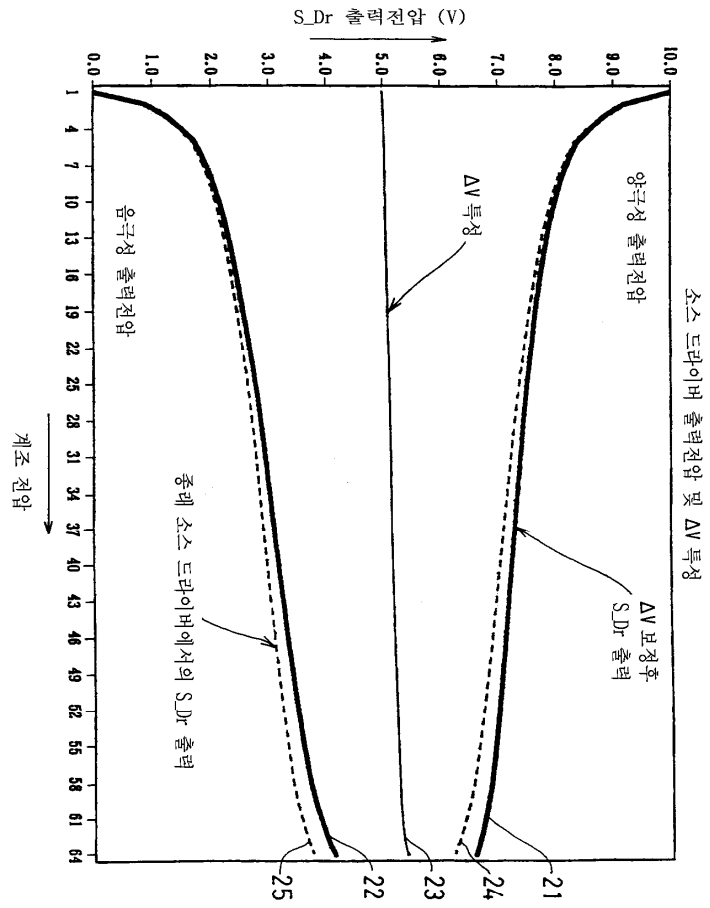
도면4



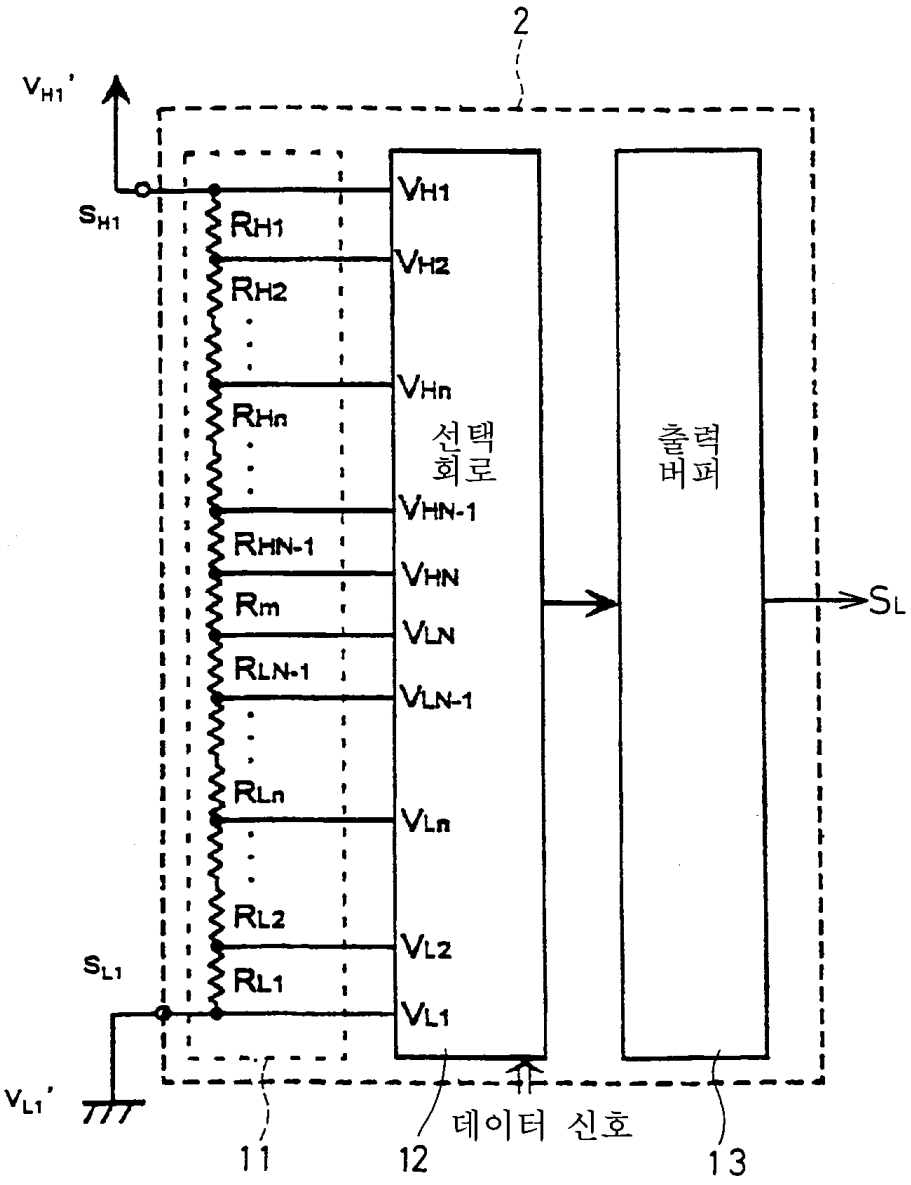
도면5


21
23
22
ΔV보정후
S_Dr 출력
양극성 출력전압
ΔV특성
음극성 출력전압
계조
1
4
7
10
13
16
19
22
25
28
31
34
37
40
43
46
49
52
55
58
61
64
10.0
9.0
8.0
7.0
6.0
5.0
4.0
3.0
2.0
1.0
0.0
S_Dr 출력전압

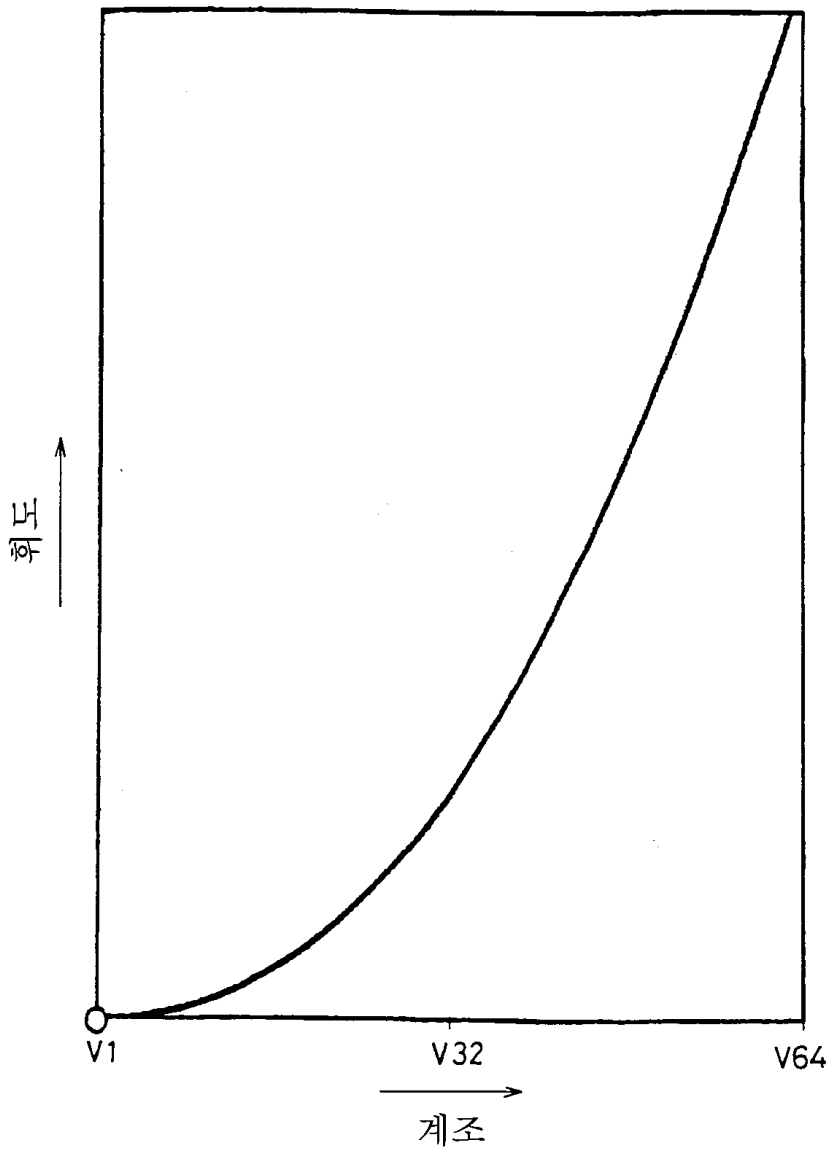
도면6


S_Dr 출력전압 (V)
소스 드라이버 출력전압 및 ΔV 특성
양극성 출력전압
ΔV 특성
ΔV 보정후
S_Dr 출력
음극성 출력전압
종래 소스 드라이버에서의 S_Dr 출력
계조 전압
21
22
23
24
25

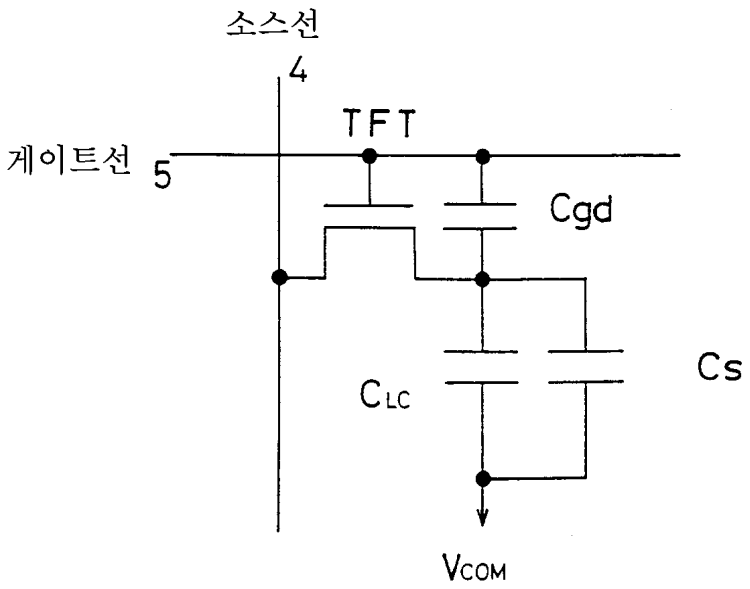
도면7


2
VH1'
SH1
RH1
RH2
RHn
RHN-1
Rm
RLN-1
RLn
RL2
RL1
SL1
VL1'
VH1
VH2
VHn
VHN-1
VHN
VLN
VLN-1
VLn
VL2
VL1
선택 회로
출력 버퍼
SL
데이터 신호
11
12
13

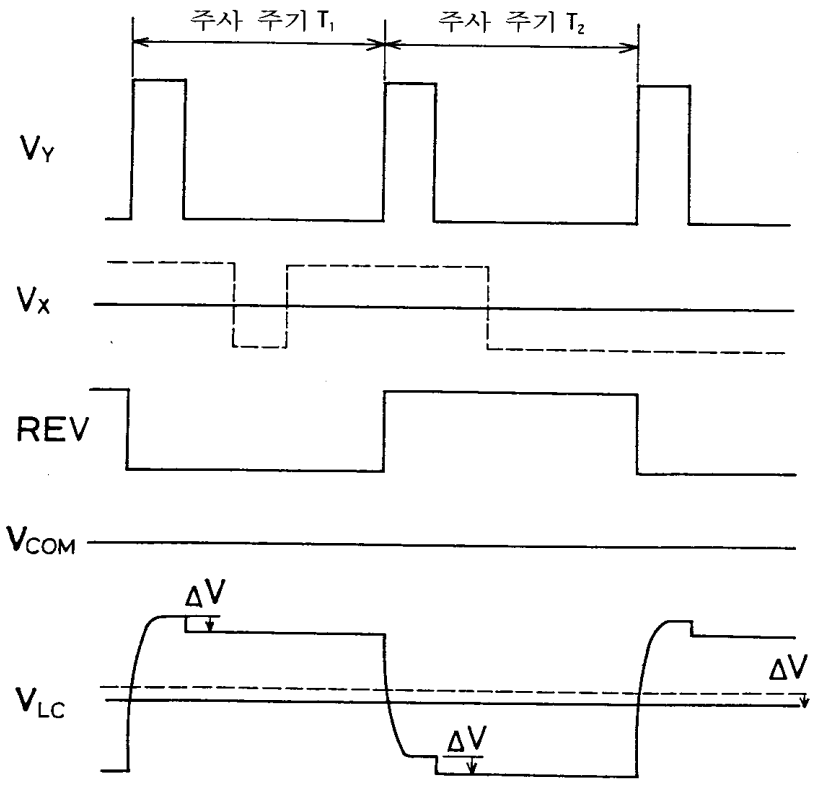
도면8



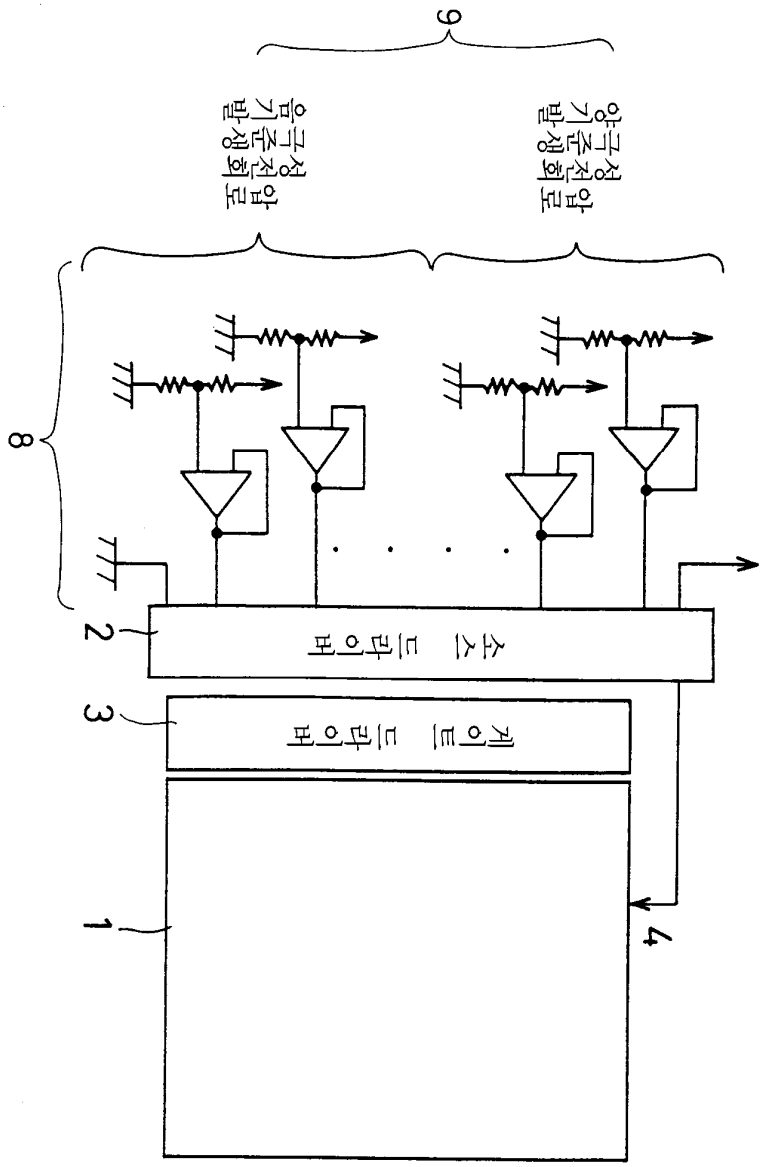
도면9


소스선
4
TFT
게이트선
5
Cgd
Cs
CLC
VCOM

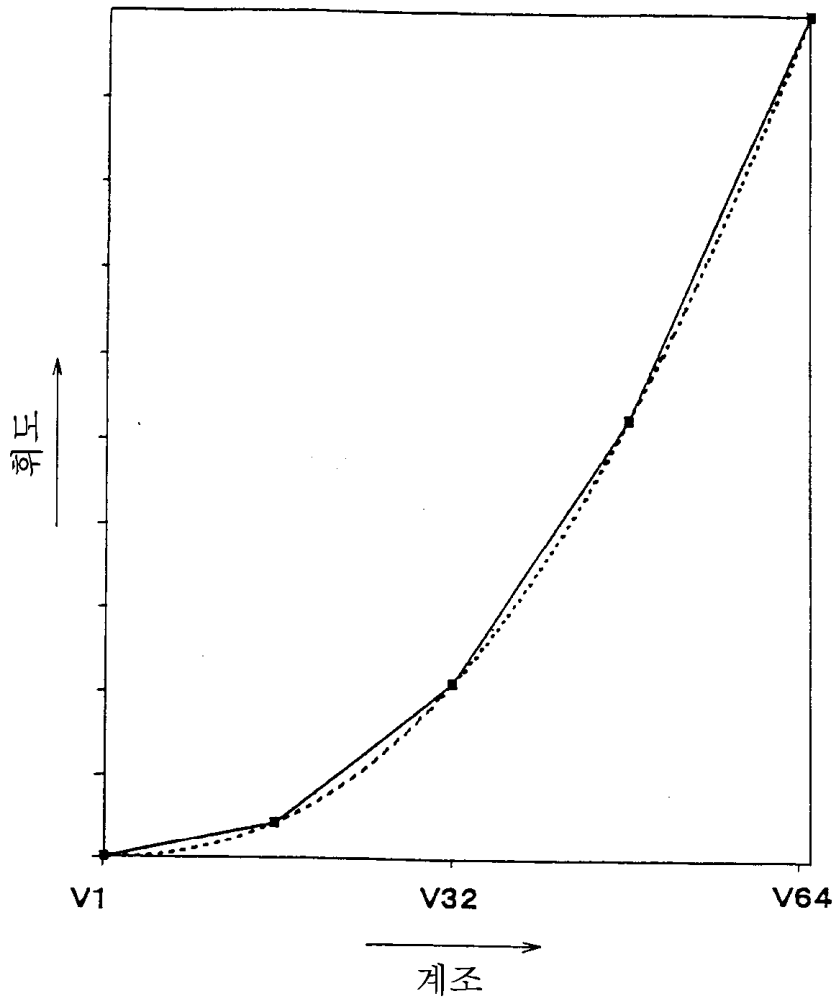
도면10


주사 주기 T1
주사 주기 T2
VY
VX
REV
VCOM
ΔV
VLC
ΔV
ΔV

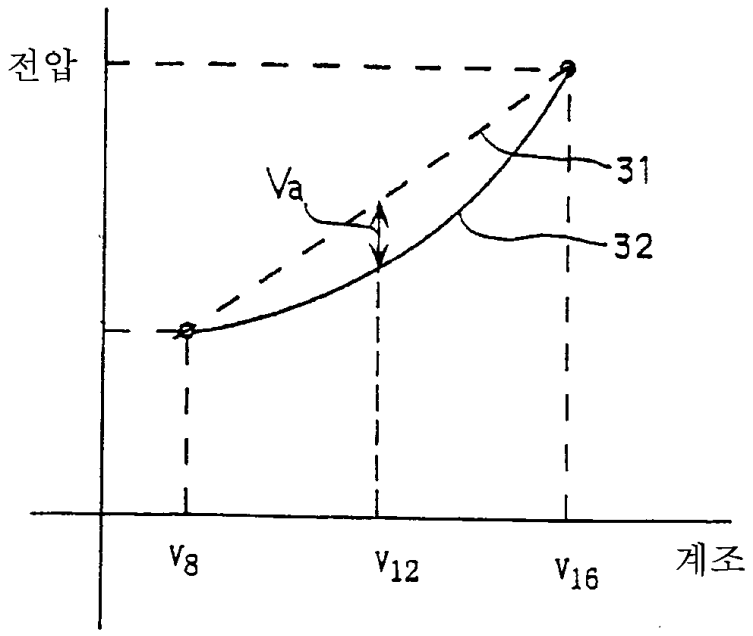
도면11



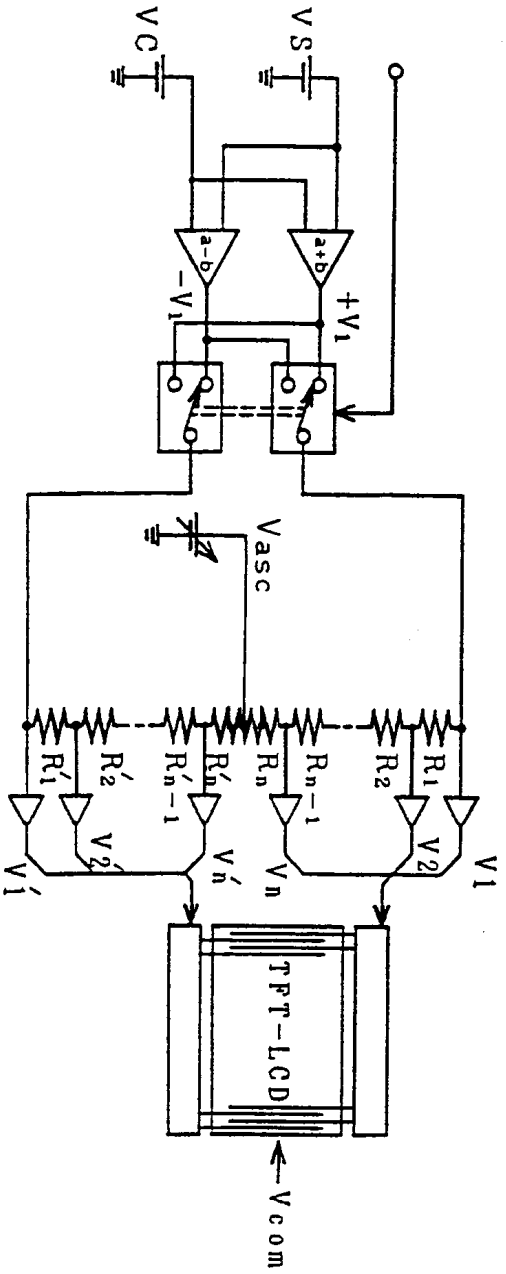
도면12



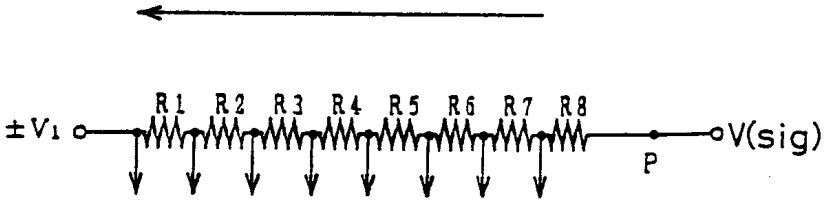
도면13



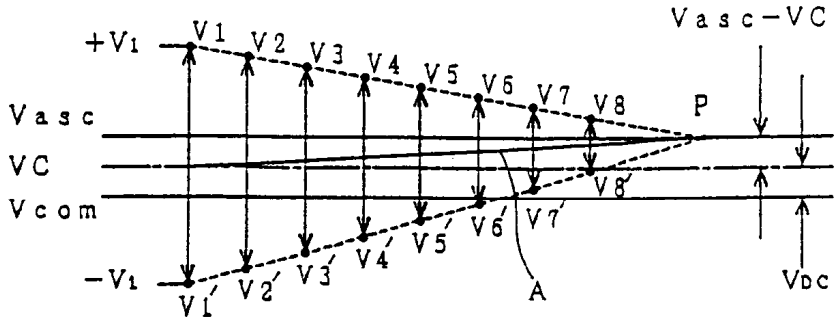
도면14


VC
VS
a-b
a+b
-V1
+V1
Vasc
R1'
R2'
Rn-1'
Rn'
Rn
Rn-1
R2
R1
V1'
V2'
Vn'
Vn
V2
V1
TFT-LCD
Vcom

도면15a


±V1
R1
R2
R3
R4
R5
R6
R7
R8
P
V(sig)

도면15b


+V1
V1
V2
V3
V4
V5
V6
V7
V8
P
Vasc−VC
Vasc
VC
Vcom
V8′
V7′
V6′
V5′
V4′
V3′
V2′
V1′
−V1
A
VDC

专利名称(译)	源极驱动器，源极线驱动器电路和使用其的液晶显示装置		
公开(公告)号	KR100385106B1	公开(公告)日	2003-05-22
申请号	KR1020000043023	申请日	2000-07-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	NISHIKUBO KEISHI 니시쿠보가이쉬 YANAGI TOSHIHIRO 야나기토시히로		
发明人	니시쿠보가이쉬 야나기토시히로		
IPC分类号	G09G3/20 H04N5/66 G02F1/133 G09G3/36		
CPC分类号	G09G2320/0247 G09G2320/0204 G09G2320/0257 G09G3/3696 G09G3/3614 G09G3/3688		
代理人(译)	LEE，金泰熙		
优先权	1999210350 1999-07-26 JP 2000207015 2000-07-07 JP		
其他公开文献	KR1020010015436A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种液晶显示装置，它能够获得平滑的灰度显示并大大提高显示质量，没有闪烁等显示问题。用于通过源极线向像素施加灰度级电压的源极线驱动电路的源极驱动器中提供的灰度级电压产生电阻器的电阻分压比根据灰度级显示特性和正侧电压电阻分压进行优化。考虑到电平移位特性，将比率和负侧电压电阻分压比设定为彼此不对称。