



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0032276
(43) 공개일자 2008년04월15일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0097766

(22) 출원일자 2006년10월09일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

유춘기

경기 화성시 태안읍 병점리 구봉마을 우남퍼스트 빌 APT 105-1205

(74) 대리인

박영우

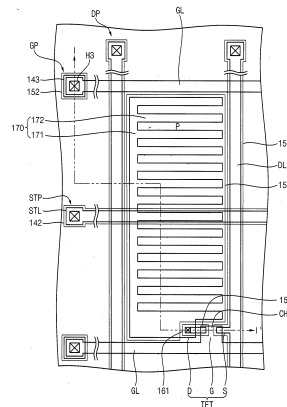
전체 청구항 수 : 총 15 항

(54) 표시 기판 및 이의 제조 방법

(57) 요약

금속 석출로 인한 불량률 감소시키기 위한 표시 기판 및 이의 제조 방법이 개시된다. 표시 기판의 제조 방법은 기판 상에 게이트 배선 및 스토리지 배선을 포함하는 제1 금속패턴을 형성하는 단계와, 제1 금속패턴이 형성된 기판 상에 게이트 절연층을 형성하는 단계와, 게이트 절연층 상에 게이트 배선과 교차하여 단위 화소를 정의하는 데이터 배선을 포함하는 제2 금속패턴을 형성하는 단계와, 제2 금속패턴이 형성된 기판 상에 단위 화소에 대응하여 패터닝된 제1 전극을 형성하는 단계와, 제1 전극이 형성된 게이트 절연층 상에 패시베이션층을 형성하는 단계 및 단위 화소에 대응하는 패시베이션층 상에 제2 전극을 형성하는 단계를 포함한다. 이에 따라, 고온의 증착 공정에 의해 형성되는 게이트 절연층을 형성한 이후에 제1 전극을 형성하므로, 공통 전극인 제1 전극을 게이트 절연층의 하부에 형성하던 종래의 횡전계 구조(FFS MODE) 표시 기판의 제조 공정에서 발생하는 금속 석출 현상을 방지할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 기관 상에 형성되며, 게이트 배선 및 스토리지 배선을 포함하는 제1 금속패턴;

상기 제1 금속패턴이 형성된 상기 제1 기관 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성되며 상기 게이트 배선과 교차하여 단위 화소를 정의하는 데이터 배선을 포함하는 제2 금속패턴;

상기 제2 금속패턴이 형성된 상기 게이트 절연층 상에서 상기 단위 화소에 대응하여 형성되며, 상기 스토리지 배선과 전기적으로 연결된 제1 전극;

상기 제1 전극이 형성된 상기 게이트 절연층 상에 형성된 패시베이션층; 및

상기 패시베이션층 상에서 상기 단위 화소에 대응하여 형성된 제2 전극을 포함하는 표시 기관.

청구항 2

제1항에 있어서, 상기 게이트 절연층에는 상기 단위 화소 내에서 상기 스토리지 배선을 노출시키는 제1 홀이 형성된 것을 특징으로 하는 표시 기관.

청구항 3

제2항에 있어서, 상기 제2 금속패턴은 상기 제1 홀을 통해 상기 스토리지 배선과 접촉하는 제1 커버 전극을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 4

제1항에 있어서, 상기 제2 금속패턴은 상기 데이터 배선으로부터 돌출된 소스 전극 및 상기 소스 전극으로부터 소정간격 이격된 드레인 전극을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 5

제4항에 있어서, 상기 제2 금속패턴과 상기 게이트 절연층 사이에서 상기 데이터 배선, 상기 소스 전극, 상기 드레인 전극에 대응하여 형성된 액티브층을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 6

제4항에 있어서, 상기 패시베이션층 내에는 상기 드레인 전극의 일단부를 노출시키는 제2 홀이 형성되며 상기 제2 전극은 상기 제2 홀을 통해 상기 드레인 전극과 전기적으로 연결된 것을 특징으로 하는 표시 기관.

청구항 7

제5항에 있어서, 상기 제1 전극과 동일층에 형성되며, 상기 제2 금속패턴과 동일하게 패터닝되어 상기 제2 금속패턴을 커버하는 제2 커버 전극을 더 포함하는 것을 특징으로 하는 표시 기관.

청구항 8

제7항에 있어서, 상기 제1 전극 및 상기 제2 커버 전극은 광을 투과시키는 투명 전극층으로 형성된 것을 특징으로 하는 표시 기관.

청구항 9

제1항에 있어서, 상기 제2 전극은 상기 데이터 배선과 동일한 방향으로 연장된 제1 라인 및 상기 제1 라인에 연결되어 상기 게이트 배선과 동일한 방향으로 연장된 복수의 제2 라인들을 포함하는 것을 특징으로 하는 표시 기관.

청구항 10

기관 상에 게이트 배선 및 스토리지 배선을 포함하는 제1 금속패턴을 형성하는 단계;

상기 제1 금속패턴이 형성된 상기 기판 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 상기 게이트 배선과 교차하여 단위화소를 정의하는 데이터 배선을 포함하는 제2 금속 패턴을 형성하는 단계;

상기 제2 금속패턴이 형성된 상기 게이트 절연층 상에 상기 단위 화소에 대응하여 패터닝된 제1 전극을 형성하는 단계;

상기 제1 전극이 형성된 상기 게이트 절연층 상에 패시베이션층을 형성하는 단계; 및

상기 단위 화소에 대응하는 상기 패시베이션층 상에 제2 전극을 형성하는 단계를 포함하는 표시 기판의 제조 방법.

청구항 11

제10항에 있어서, 상기 게이트 절연층과 상기 제2 금속패턴 사이에 액티브층을 형성하는 단계; 및

상기 게이트 절연층 및 상기 액티브층을 동시에 패터닝하여 상기 단위 화소 내에 형성된 상기 스토리지 배선을 노출시키는 제1 홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 12

제11항에 있어서, 상기 제2 금속패턴을 형성하는 단계는

상기 제1 홀이 형성된 액티브층 상에 금속층을 형성하는 단계;

상기 금속층을 패터닝하여 상기 제2 금속패턴을 형성하는 단계; 및

상기 제1 홀이 형성된 액티브층을 상기 제2 금속패턴과 동일한 형상으로 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 13

제12항에 있어서, 상기 제2 금속패턴을 형성하는 단계는 상기 제1 홀을 통해 상기 스토리지 배선과 중첩되는 제1 커버 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 14

제12항에 있어서, 상기 제1 전극을 형성하는 단계는 상기 제2 금속패턴과 동일하게 패터닝되어 상기 제2 금속패턴을 커버하는 제2 커버 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 15

제10항에 있어서, 상기 제2 전극은 상기 단위 화소 내에서 상기 데이터 배선과 동일한 방향으로 연장된 제1 라인 및 상기 제1 라인에 연결되어 상기 게이트 배선과 동일한 방향으로 연장된 복수의 제2 라인들을 포함하도록 패터닝된 것을 특징으로 하는 표시 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 표시 기판 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 횡전계 방식(Fringe Field Switching Mode)의 표시 기판 및 이의 제조 방법에 관한 것이다.

<13> 일반적으로, 횡전계 방식 액정표시패널은 표시 기판, 대향 기판 및 상기 표시 기판과 대향 기판 사이에 개재된 액정층으로 구성되며, 상기 표시 기판에는 서로 교차하는 게이트 배선들 및 데이터 배선들에 의해 복수의 단위 화소가 정의된다.

- <14> 단위 화소 내에는 박막 트랜지스터와, 공통 전극과, 화소 전극이 형성된다. 박막 트랜지스터는 게이트 전극과, 게이트 전극 상에 형성된 제1 절연막과, 제1 절연막 상에서 게이트 전극과 중첩되는 액티브층과, 액티브층 상에서 액티브층과 일부 중첩되도록 형성되는 소스 전극 및 드레인 전극을 포함한다. 박막 트랜지스터 상에는 제2 절연막이 형성되며, 화소 전극은 단위 화소에 대응하여 제2 절연막 상에 형성된다. 공통 전극은 단위 화소에 대응하여 게이트 전극과 동일층에 형성되며, 화소 전극은 공통 전극과의 사이에 횡전계를 형성하기 위하여 데이터 배선에 평행한 제1 라인 및 제1 라인에 연결되며 게이트 배선에 평행한 복수의 제2 라인들을 포함하도록 패터닝된다.
- <15> 한편, 공통 전극은 단위 화소의 개구율을 향상시키기 위해 인듐 틴 옥사이드와 같은 투명한 도전성 물질로 형성된다.
- <16> 이때, 인듐 틴 옥사이드와 같이 투명한 도전성 물질로 공통 전극을 형성할 경우, 제1 절연막 및 액티브층을 형성하기 위한 고온의 증착 공정에 의해 공통 전극으로부터 금속 성분이 석출되는 문제점이 있다. 상기 공통 전극으로부터 석출된 금속 성분은 액정표시패널의 투과율 및 디스플레이 특성을 급격히 감소시킨다.
- <17> 이를 억제하기 위하여 제1 절연막 및 액티브층을 형성하는 증착 공정을 저온으로 진행할 경우, 제1 절연막 및 액티브층의 막질 변화를 초래하여 액정표시패널의 신뢰성이 저하되고, 잔상 불량과 같은 여러가지 불량이 야기되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <18> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 불량을 감소시키기 위한 표시 기판을 제공하는 것이다.
- <19> 본 발명의 다른 목적은 상기 표시 기판의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- <20> 상기한 본 발명의 목적을 실현하기 위하여 실시예에 따른 표시 기판은, 제1 금속패턴, 게이트 절연층, 제2 금속패턴, 제1 전극, 패시베이션층, 제2 전극을 포함한다.
- <21> 상기 제1 금속패턴은 상기 제1 기판 상에 형성되며, 게이트 배선 및 스토리지 배선을 포함한다. 상기 게이트 절연층은 상기 제1 금속패턴이 형성된 상기 제1 기판 상에 형성된다. 상기 제2 금속패턴은 상기 게이트 절연층 상에 형성되며 상기 게이트 배선과 교차하여 단위 화소를 정의하는 데이터 배선을 포함한다. 상기 제1 전극은 상기 제2 금속패턴이 형성된 상기 게이트 절연층 상에서 상기 단위 화소에 대응하여 형성되며, 상기 스토리지 배선과 전기적으로 연결된다. 상기 패시베이션층은 상기 제1 전극이 형성된 상기 게이트 절연층 상에 형성된다. 상기 제2 전극은 상기 패시베이션층 상에서 상기 단위 화소에 대응하여 형성된다.
- <22> 상기한 본 발명의 다른 목적을 실현하기 위하여 실시예에 따른 표시 기판의 제조 방법은 기판 상에 게이트 배선 및 스토리지 배선을 포함하는 제1 금속패턴을 형성하는 단계와, 상기 제1 금속패턴이 형성된 상기 기판 상에 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층 상에 상기 게이트 배선과 교차하여 단위화소를 정의하는 데이터 배선을 포함하는 제2 금속패턴을 형성하는 단계와, 상기 제2 금속패턴이 형성된 상기 게이트 절연층 상에 상기 단위 화소에 대응하여 패터닝된 제1 전극을 형성하는 단계와, 상기 제1 전극이 형성된 게이트 절연층 상에 패시베이션층을 형성하는 단계 및 상기 단위 화소에 대응하는 상기 패시베이션층 상에 제2 전극을 형성하는 단계를 포함한다.
- <23> 이러한 표시 기판 및 이의 제조 방법에 의하면, 게이트 절연층의 하부에 공통 전극을 형성하던 종래의 횡전계 구조 표시 기판에서 게이트 절연층 형성 시 공통 전극에서 발생하는 금속 석출 현상을 방지할 수 있다.
- <24> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <25> 도 1은 본 발명의 실시예에 따른 액정표시패널의 평면도이고, 도 2는 도 1의 I-I'선 및 II-II'선을 따라 절단한 단면도이다.
- <26> 도 1 및 도 2를 참조하면, 액정표시패널(400)은 표시 기판(100), 대향 기판(200) 및 상기 표시 기판(100)과 상기 대향 기판(200) 사이에 개재된 액정층(300)을 포함한다.
- <27> 상기 표시 기판(100)은 베이스 기판(110)을 포함한다. 상기 베이스 기판(110)은 광이 투과할 수 있는 투명한 재질로 이루어진다. 일례로, 상기 베이스 기판(110)은 유리 기판이다. 상기 베이스 기판(110) 상에는 게이트 배선

(GL)들 및 상기 게이트 배선(GL)들과 교차하는 데이터 배선(DL)들에 의해 복수의 단위 화소(P)가 정의된다. 상기 단위 화소(P) 내에는 상기 게이트 배선(GL) 및 데이터 배선(DL)에 연결된 박막 트랜지스터(TFT), 상기 게이트 배선(GL)들과 동일한 방향으로 연장된 스토리지 배선(STL), 제1 전극(151) 및 제2 전극(170)이 형성된다.

- <28> 구체적으로, 상기 게이트 배선(GL)들 및 스토리지 배선(STL)은 동일 금속층을 패터닝하여 형성된 제1 금속패턴이다. 또한 상기 제1 금속패턴은 상기 게이트 배선(GL)으로부터 돌출된 게이트 전극(G)을 포함한다.
- <29> 상기 게이트 배선(GL)들, 게이트 전극(G) 및 스토리지 배선(STL)을 포함하는 제1 금속패턴이 형성된 상기 베이스 기판(110) 상에는 게이트 절연층(120)이 형성된다. 상기 게이트 절연층(120)은 일례로 질화 실리콘(SiNx)으로 형성되며, 상기 게이트 절연층(120)에는 상기 단위 화소(P) 내에서 상기 스토리지 배선(STL)을 노출시키는 제1 홀(H1)이 형성된다. 또한, 상기 게이트 배선(GL) 및 스토리지 배선(STL)의 일단부를 노출시키는 제2 홀(H2)도 형성된다. 게이트 배선(GL) 및 스토리지 배선(STL)의 일단부는 외부의 구동칩과 전기적으로 접촉하기 위한 게이트 패드부(GP) 및 스토리지 패드부(STP)가 형성되는 영역이다.
- <30> 상기 게이트 절연층(120) 상에는 상기 데이터 배선(DL)들, 소스 전극(S) 및 드레인 전극(D)이 형성된다. 상기 데이터 배선(DL)들, 소스 전극(S) 및 드레인 전극(D)은 동일 금속층을 패터닝하여 형성된 제2 금속패턴이다. 상기 소스 전극(S)은 상기 데이터 배선(DL)으로부터 돌출되며 상기 게이트 전극(G)과 일부 중첩된다. 상기 드레인 전극(D)은 상기 소스 전극(S)으로부터 소정 간격 이격되어 형성되며 상기 게이트 전극(G)과 일부 중첩된다.
- <31> 한편, 상기 제2 금속패턴은 상기 스토리지 배선(STL)과 중첩되며 상기 제1 홀(H1)을 통해 상기 스토리지 배선(STL)과 접촉하는 제1 커버 전극(142)을 더 포함할 수 있다. 또한, 상기 제2 금속패턴은 상기 게이트 패드부(GP) 및 스토리지 패드부(STP)에 대응하여 형성된 제2 커버 전극(143)을 더 포함할 수도 있다.
- <32> 상기 게이트 절연층(120)과 상기 제2 금속패턴 사이에는 상기 제2 금속패턴과 동일하게 패터닝된 액티브층(A)이 형성된다. 상기 액티브층(A)은 일례로 비정질 실리콘으로 이루어진 반도체층(131) 및 n⁺ 이온 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(132)이 순차적으로 적층된 구조로 형성된다.
- <33> 이때, 상기 소스 전극(S)과 상기 드레인 전극(D)의 이격부에서는 상기 오믹 콘택층(132)이 제거되어 상기 반도체층(131)이 노출된다. 상기 반도체층(131)이 노출된 영역은 박막 트랜지스터(TFT)의 전기적 채널(CH)이 형성되는 영역이다.
- <34> 상기 게이트 전극(G), 상기 소스 전극(S), 상기 드레인 전극(D) 및 상기 액티브층(A)은 단위 화소(P) 내에 상기 박막 트랜지스터(TFT)를 구성한다.
- <35> 한편, 상기 게이트 패드부(GP) 및 상기 스토리지 패드부(STP) 상에 상기 제2 커버 전극(143)이 형성될 경우, 상기 게이트 패드부(GP) 및 상기 스토리지 패드부(STP)에 대응하는 상기 액티브층(A) 내에는 상기 제2 홀(H2)이 형성된다. 따라서 상기 제2 커버전극(143)과 상기 게이트 배선(GL)의 일단부 및 상기 스토리지 배선(STL)의 일단부가 접촉된다.
- <36> 상기 제2 금속패턴이 형성된 상기 베이스 기판(110) 상에는 상기 단위 화소(P)에 대응하도록 패터닝된 상기 제1 전극(151)이 형성된다.
- <37> 상기 제1 전극(151)은 일례로 투명한 도전성 물질로 이루어진다. 상기 투명한 도전성 물질로는 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide), 비정질 인듐 틴 옥사이드(Amorphous Indium Tin Oxide) 등이 이용될 수 있다.
- <38> 또한, 본 발명의 실시예에 따른 표시 기판은 상기 제1 전극(151)과 동일 재질로 동일층에 형성되며, 상기 제2 금속패턴과 동일하게 패터닝되어 상기 제2 금속패턴을 커버하는 제3 커버 전극(152)을 더 포함할 수 있다.
- <39> 상기 제1 전극(151)은 상기 게이트 절연층(120)에 형성된 상기 제1 홀(H1)을 통해 상기 스토리지 전극(STL)과 전기적으로 접촉한다. 즉, 상기 제1 커버 전극(142)이 생략될 경우 상기 제1 전극(151)은 상기 스토리지 배선(STL)과 직접 접촉하고, 상기 제1 커버 전극(142)이 형성된 경우 상기 제1 전극(151)은 상기 제1 커버 전극(142)을 통해 상기 스토리지 배선(STL)과 전기적으로 연결된다.
- <40> 즉, 복수의 단위 화소(P)에 형성된 상기 제1 전극(151)은 상기 스토리지 배선(STL)으로부터 공통 전압을 인가받는 공통 전극이다.
- <41> 상기 제1 전극(151) 및 제3 커버 전극(152)이 형성된 상기 베이스 기판(110) 상에는 패시베이션층(160)이 형성된다. 상기 패시베이션층(160)은 일례로, 질화 실리콘, 산화 실리콘 등으로 형성할 수 있다. 상기 패시베이션층

(160) 내에는 상기 드레인 전극(D)의 일단부를 노출시키는 콘택홀(161)이 형성된다. 또한, 상기 패시베이션층(160) 내에는 상기 게이트 패드부(GP), 스토리지 패드(STP) 및 상기 데이터 배선(DL)의 일단부에 형성된 데이터 패드부(DP)에 대응하여 제3 홀(H3)이 형성된다.

- <42> 상기 단위 화소(P)에 대응하는 상기 패시베이션층(160) 상에는 상기 제2 전극(170)이 형성된다. 상기 제2 전극(170)은 상기 제1 전극(151)과 마찬가지로 투명한 도전성 물질로 이루어진다. 상기 투명한 도전성 물질로는 인듐 틴 옥사이드, 인듐 징크 옥사이드, 비정질 인듐 틴 옥사이드 등이 이용될 수 있다.
- <43> 상기 제2 전극(170)은 상기 콘택홀(161)을 통해 상기 드레인 전극(D)과 전기적으로 연결되며, 상기 데이터 배선(DL)으로부터 제공된 화소 전압을 인가 받는다.
- <44> 이때, 상기 제2 전극(170)은 상기 데이터 배선(DL)과 동일한 방향으로 연장된 제1 라인(171) 및 상기 제1 라인(171)에 연결되어 상기 게이트 배선(GL)과 동일한 방향으로 연장된 복수의 제2 라인(172)들을 포함한다.
- <45> 상기 제1 전극(151)과 상기 제2 전극(170)에는 서로 다른 전압이 인가되므로, 상기 복수의 제2 라인(172)들과 상기 제1 전극(151) 사이에는 횡전계의 전기장이 형성되며, 상기 전기장에 의해 상기 액정층(300)의 액정분자들이 재배열된다.
- <46> 이에 따라, 액정표시패널(400)의 배면으로부터 제공된 광이 투과되어 상기 대향 기관(200) 상에 영상이 표시된다.
- <47> 이하, 본 발명의 실시예에 따른 표시 기관의 제조 방법을 설명하도록 한다.
- <48> 도 3 내지 도 10은 도 2에 도시된 표시 기관의 제조 방법을 도시한 공정도들이다.
- <49> 도 1 및 도 3을 참조하면, 베이스 기관(110) 상에 제1 금속층(미도시)을 형성한다. 상기 제1 금속층은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금 등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 제1 금속층은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다.
- <50> 이어서, 상기 제1 금속층 상에 제1 포토레지스트막(미도시)을 형성한다. 상기 제1 포토레지스트막은 일례로 노광된 영역이 현상액에 의해 용해되는 포지티브 포토레지스트로 이루어진다.
- <51> 다음으로, 상기 제1 포토레지스트막이 형성된 베이스 기관(110) 상에 제1 마스크(MASK1)를 정렬한다. 상기 제1 마스크(MASK1)는 광을 투과시키는 투광부(4) 및 광을 차단하는 차광부(2)로 이루어진다. 다음으로, 상기 제1 마스크(MASK1)를 이용하여 상기 제1 포토레지스트막을 노광하고, 노광된 제1 포토레지스트막을 현상 및 경화하는 일련의 포토리소그래피(PHOTOLITHOGRAPHY) 공정을 수행한다. 이에 따라, 상기 금속층 상에는 제1 포토레지스트 패턴(PR1)이 형성된다.
- <52> 이어서, 상기 제1 포토레지스트패턴(PR1)을 이용한 식각 공정으로 상기 제1 금속층을 패터닝하여 게이트 배선들(GL), 게이트 전극(G) 및 스토리지 배선(STL)을 포함하는 제1 금속패턴을 형성한다.
- <53> 상기 게이트 배선(GL)들은 베이스 기관(110) 상에서 서로 평행하게 연장된다. 상기 게이트 전극(G)은 상기 게이트 배선(GL)로부터 돌출되어 형성된다. 상기 스토리지 배선(STL)은 상기 게이트 배선(GL)들 사이에서 상기 게이트 배선(GL)들과 평행하게 연장된다.
- <54> 상기 제1 금속패턴을 형성하는 식각 공정은 일례로, 습식 식각으로 진행된다. 상기 식각 공정이 종료된 후에는 상기 제1 금속패턴 상에 잔류하는 상기 제1 포토레지스트패턴(PR1)을 제거하는 애싱(ASHING) 공정을 수행한다.
- <55> 상기 애싱 공정은 산소 플라즈마 처리로 진행되며, 포토레지스트패턴을 이용한 식각 공정이 종료할 때마다 수행된다.
- <56> 한편, 상기 제1 포토레지스트막은 네가티브 포토레지스트로 이루어질 수도 있다. 이와 같은 경우, 상기 제1 마스크(MASK1)는 상기 차광부(4)와 투광부(2)의 배치가 반전된다.
- <57> 도 4를 참조하면, 상기 제1 금속패턴이 형성된 베이스 기관(110) 상에 화학 기상 증착 방법(CHEMICAL VAPOR DEPOSITION)을 이용하여 게이트 절연층(120)을 형성한다. 상기 게이트 절연층(120)은 일례로, 질화 실리콘, 또는 산화 실리콘으로 형성할 수 있다. 또한, 상기 게이트 절연층(120)은 재질 및 형성 공정이 서로 다른 이중층 구조로 형성할 수도 있다.
- <58> 이어서, 상기 화학 기상 증착 방법을 이용하여 상기 게이트 절연층(120) 상에 반도체층(131) 및 오믹 콘택층

(132)을 순차적으로 형성한다.

- <59> 상기 반도체층(131)은 일레로, 비정질 실리콘으로 이루어지며, 상기 오믹 콘택층은 일레로 n형 이온이 고농도로 도핑된 비정질 실리콘으로 이루어진다.
- <60> 다음으로, 제2 마스크(MASK2)를 이용한 포토리소그래피 공정으로 상기 오믹 콘택층(132) 상에 제2 포토레지스트 패턴(PR2)을 형성한다. 이어서, 상기 제2 포토레지스트패턴(PR2)을 이용한 식각 공정으로 상기 오믹 콘택층(132), 반도체층(131) 및 상기 게이트 절연층(120)을 동시에 패터닝하여 상기 단위 화소(P) 내에서 상기 스토리지 배선(STL)을 노출시키는 제1 홀(H1)을 형성한다. 또한, 상기 게이트 배(GL)선의 일단부 및 상기 스토리지 배선(STL)의 일단부를 노출시키는 제2 홀(H2)을 형성한다.
- <61> 상기 제2 포토레지스트패턴(PR2)을 이용한 식각 공정이 종료되면 상기 제2 포토레지스트 패턴(PR2)을 제거하는 애싱 공정을 수행한다.
- <62> 도 5를 참조하면, 상기 제1 및 제2 홀(H1, H2)이 형성된 오믹 콘택층(132)상에 제2 금속층(140)을 형성한다. 상기 제2 금속층(140)은 예를 들어 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금 등으로 형성될 수 있으며, 스퍼터링 공정에 의해 증착된다. 또한, 상기 제2 금속층(140)은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다.
- <63> 다음으로, 제3 마스크(MASK3)를 이용한 포토리소그래피 공정으로 상기 제2 금속층(140) 상에 제3 포토레지스트 패턴(PR3)을 형성한다.
- <64> 상기 제3 포토레지스트패턴(PR3)은 데이터 배선(DL)이 형성되는 데이터 배선 영역(미도시), 박막 트랜지스터(TFT)의 소스 전극(S)이 형성되는 소스 전극 영역(SEA), 채널(CH)이 형성되는 채널 영역(CHA) 및 드레인 전극(D)이 형성되는 드레인 전극 영역(DEA)에 형성된다. 또한, 상기 제3 포토레지스트 패턴(PR3)은 스토리지 배선(STL)이 형성된 스토리지 배선 영역(STA)에도 형성될 수 있다.
- <65> 구체적으로, 제3 포토레지스트패턴(PR3)은 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA), 데이터 배선 영역(미도시) 및 스토리지 배선 영역(STA)에 제1 두께(t1)로 형성된 제1 패턴(PR31)과, 상기 채널 영역(CHA)에 제2 두께(t2)로 형성된 제2 패턴(PR32)을 포함한다.
- <66> 상기 제1 패턴(PR31)은 제2 마스크의 차광부(2)를 통해 패터닝된 영역이고, 상기 제2 패턴(PR32)은 상기 제2 마스크(MASK2)의 회절부(6)를 통해서 패터닝된 영역이다. 상기 회절부(6)에는 광을 회절시키는 슬릿(SLIT) 패턴이 형성되어 노광부(4)에서 제공되는 광 보다 적은 양의 광이 제공된다. 이에 따라, 상기 제2 패턴(PR32)은 상기 제1 두께(t1) 보다 얇은 상기 제2 두께(t2)로 형성된다.
- <67> 도 6을 참조하면, 상기 제3 포토레지스트패턴(PR3)을 이용하여 상기 제2 금속층(140), 오믹 콘택층(132) 및 상기 반도체층(131)을 순차적으로 식각한다.
- <68> 이에 따라, 도 5를 참조하면 데이터 배선(DL), 전극 패턴(141) 및 제1 커버 전극(142)을 포함하는 제2 금속패턴이 형성된다. 이때, 상기 제2 금속패턴은 상기 게이트 배선(GL)의 일단부 및 상기 스토리지 배선(STL)의 일단부와 중첩되는 제2 커버 전극(143)을 더 포함할 수 있다.
- <69> 상기 전극 패턴(141)은 상기 데이터 배선(DL)으로부터 연장되어 각 단위 화소(P) 내에 형성되며, 소스 전극(S)과 드레인 전극(D)이 서로 연결된 형상으로 형성된다.
- <70> 이어서, 상기 제3 포토레지스트 패턴(PR3)을 이용하여 상기 반도체층(131) 및 오믹 콘택층(132)을 식각한다. 일레로, 상기 반도체층(131) 및 오믹 콘택층(132)의 식각은 건식 식각으로 진행된다. 이에 따라, 상기 제2 금속패턴의 하부에는 상기 제2 금속패턴과 동일하게 패터닝되며 상기 반도체층(131) 및 상기 오믹 콘택층(132)이 적층된 구조의 액티브층(A)이 형성된다.
- <71> 도 7을 참조하면, 산소 플라즈마를 이용한 애싱 공정으로 상기 제3 포토레지스트 패턴(PR31, PR32)을 일정두께만큼 제거한다. 상기 제거된 두께는 상기 제2 두께(t2) 이상이며 제1 두께(t1) 보다 작다.
- <72> 상기 애싱 공정에 의해 상기 채널 영역(CHA)에 형성된 제2 패턴(PR32)은 제거되고, 상기 소스 전극 영역(SEA), 드레인 전극 영역(DEA), 데이터 배선 영역(미도시) 및 스토리지 배선영역(STA)에는 제3 두께(t3)의 제3 패턴(PR33)이 남게 된다.
- <73> 이어서, 상기 제3 패턴(PR33)을 이용하여 상기 전극 패턴(141)을 식각하여 소스 전극(S) 및 상기 소스 전극(S)

으로부터 소정 간격 이격된 드레인 전극(D)을 형성한다. 다음으로, 상기 소스 전극(S)과 상기 드레인 전극(D)의 이격부에서 노출된 상기 오믹 콘택층(132)을 식각하여, 상기 반도체층(131)을 노출시키는 채널(CH)을 형성한다.

<74> 이에 따라, 베이스 기판(110) 상에는 게이트 전극(G), 소스 전극(S), 드레인 전극(D) 및 액티브층(A)을 포함하는 박막 트랜지스터(TFT)가 형성된다.

<75> 이어서, 산소 플라즈마를 이용한 애싱 공정으로 상기 박막 트랜지스터(TFT) 상에 잔류하는 상기 제3 패턴(PR3)을 제거한다.

<76> 도 1 및 도 8을 참조하면, 상기 박막 트랜지스터(TFT)가 형성된 베이스 기판(110) 상에 제1 투명 전극층(미도시)을 형성한다. 상기 제1 투명 전극층은 일례로 인듐 틴 옥사이드, 인듐 징크 옥사이드, 비정질 인듐 틴 옥사이드 등으로 이루어질 수 있으며 스퍼터링 방법으로 형성할 수 있다.

<77> 이어서, 제4 마스크(MASK4)를 이용한 포토리소그래피 공정으로 상기 제1 투명 전극층 상에 제4 포토레지스트패턴(PR4)을 형성한 후, 상기 제4 포토레지스트 패턴(PR4)을 이용한 식각 공정으로 상기 제1 투명 전극층을 패터닝하여 상기 단위 화소(P)에 대응하는 제1 전극(151)을 형성한다.

<78> 한편, 본 발명의 실시예에 따른 표시 기판의 제조 방법에서는 상기 제1 투명 전극층을 패터닝하여 상기 제1 전극(151) 뿐만 아니라, 상기 제2 금속패턴을 커버하는 제3 커버 전극(152)을 더 형성할 수도 있다.

<79> 상기 제3 커버 전극(152)은 상기 제1 전극(151)을 형성하기 위한 식각 공정 중에 상기 제2 금속패턴까지 식각되는 것을 방지하기 위하여 형성한다.

<80> 이어서, 상기 제4 포토레지스트 패턴(PR4)을 제거하는 애싱 공정을 수행한다.

<81> 도 1 및 도 9를 참조하면, 상기 제1 전극(151) 및 제3 커버 전극(152)을 포함하는 상기 제1 전극(151) 및 제3 커버 전극(152)이 형성된 베이스 기판(110) 상에 패시베이션층(160)을 형성한다. 상기 패시베이션층(160)은 일례로 화학 기상 증착 방법으로 형성할 수 있으며, 질화 실리콘 내지는 산화 실리콘으로 이루어진다.

<82> 이어서, 제5 마스크(MASK5)를 이용한 포토리소그래피 공정으로 상기 패시베이션층(160) 상에 제5 포토레지스트 패턴(PR5)을 형성한 후, 상기 제5 포토레지스트 패턴(PR5)을 이용한 식각 공정으로 상기 패시베이션층(160)을 패터닝한다. 이에 따라, 상기 패시베이션층(160) 내에는 상기 드레인 전극(D)의 일단부를 노출시키는 콘택홀(161) 및 상기 데이터 배선의 일단부, 상기 게이트 배선의 일단부 및 상기 스토리지 배선(STL)의 일단부에 대응하는 제3 홀(H3)이 형성된다. 이에 따라, 상기 데이터 배선(DL), 게이트 배선(GL) 및 상기 스토리지 배선(STL)과 별도의 구동칩을 연결시키기 위한 데이터 패드(DP), 게이트 패드(GP) 및 스토리지 패드(STP)가 형성된다. 이어서, 산소 플라즈마를 이용한 애싱 공정으로 상기 상기 제5 포토레지스트 패턴(PR5)을 제거한다.

<83> 도 1 및 도 10을 참조하면, 상기 콘택홀(161) 및 상기 제3 홀(H3)이 형성된 패시베이션층(160) 상에 제2 투명 전극층(미도시)을 형성한다. 상기 제2 투명 전극층은 일례로, 인듐 틴 옥사이드, 인듐 징크 옥사이드, 비정질 인듐 틴 옥사이드 등으로 이루어질 수 있으며 스퍼터링 방법으로 형성할 수 있다.

<84> 다음으로, 제6 마스크(MASK6)를 이용한 포토리소그래피 공정으로 상기 제2 투명 전극층 상에 제6 포토레지스트 패턴(PR6)을 형성한 후, 상기 제6 포토레지스트 패턴(PR6)을 이용한 식각 공정으로 상기 제2 투명 전극층을 패터닝하여 제1 라인(171) 및 복수의 제2 라인(172)들을 포함하는 제2 전극(170)을 형성한다.

<85> 구체적으로, 상기 제1 라인(171)은 상기 단위 화소(P) 내에서 상기 데이터 배선(DL)과 동일한 방향으로 연장되도록 패터닝되고, 상기 복수의 제2 라인(172)들은 상기 제1 라인(171)에 연결되어 상기 게이트 배선(GL)과 동일한 방향으로 연장되도록 패터닝된다.

<86> 이어서, 산소 플라즈마를 이용한 애싱 공정으로 상기 제6 포토레지스트 패턴(PR6)을 제거한다. 이에 따라, 본 발명의 실시예에 따른 표시 기판(100)이 완성된다.

<87> 이와 같이, 본 발명의 실시예에 따른 표시 기판의 제조 방법에 따르면, 고온의 증착 공정에 의해 형성되는 액티브층(A) 및 게이트 절연층(120)을 형성한 이후에 공통 전극인 제1 전극(151)을 형성한다. 이에 따라, 공통 전극인 제1 전극(151)을 액티브층(A)과 게이트 절연층(120)의 하부에 형성하던 종래의 표시 기판의 제조 공정에서 발생하는 금속 석출 현상을 방지할 수 있다. 이에 따라, 금속 석출에 의한 액정표시패널의 개구율 감소를 억제할 수 있으며 액정표시패널의 불량률을 감소시킬 수 있다.

<88> 또한, 종래의 표시 기판의 제조 방법에 따르면 제1 마스크를 이용하여 공통 전극인 제1 전극을 형성하고, 제2

마스크를 이용하여 게이트 배선을 형성하고, 제3 마스크를 이용하여 액티브층을 형성하고, 제4 마스크를 이용하여 데이터 배선을 형성하고, 제5 마스크를 이용하여 패시베이션층을 패터닝하고, 제6 마스크를 이용하여 화소 전극을 패터닝하였으나, 본 발명의 실시예에 따른 표시 기관의 제조 방법에서도 총 6매의 마스크를 이용한다. 따라서, 종래에 비해 마스크 수를 증가시키지 않으면서도 신규한 구조의 표시 기관을 제조 할 수 있다.

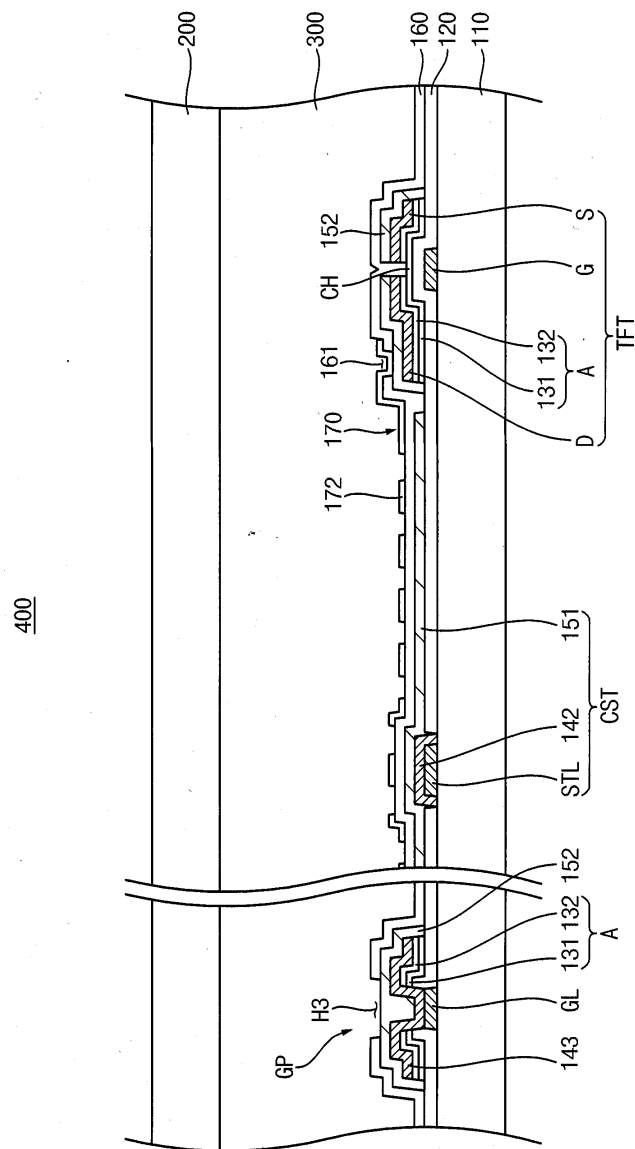
발명의 효과

- <89> 이상에서 설명한 바와 같이, 본 발명에 따르면 고온의 증착 공정에 의해 형성되는 액티브층 및 게이트 절연층을 형성한 이후에 공통 전극인 제1 전극을 형성하므로, 제1 전극을 액티브층과 게이트 절연층의 하부에 형성하던 종래의 표시 기관의 제조 공정에서 발생하는 금속 석출 현상을 방지할 수 있다. 이에 따라, 금속 석출로 인한 표시 기관의 불량 및 개구율 감소를 억제할 수 있다.
- <90> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

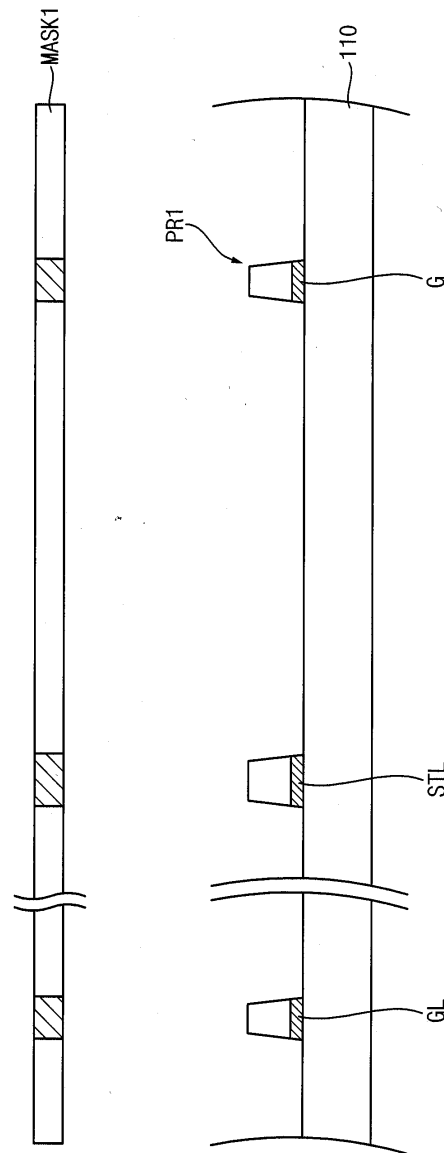
도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예에 따른 액정표시패널의 평면도이다.
- <2> 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.
- <3> 도 3 내지 도 10은 본 발명의 실시예에 따른 표시 기관의 제조 방법을 도시한 공정도들이다.
- <4> <도면의 주요부분에 대한 부호의 설명>
- | | |
|--------------------|---------------|
| <5> 100 : 표시 기관 | 200 : 대향 기관 |
| <6> 300 : 액정층 | 110 : 베이스 기관 |
| <7> 120 : 게이트 절연층 | 142 : 제1 커버전극 |
| <8> 142 : 제2 커버 전극 | 151 : 제1 전극 |
| <9> 152 : 제3 커버전극 | 160 : 패시베이션층 |
| <10> 170 : 제2 전극 | 171 : 제1 라인 |
| <11> 172 : 제2 라인 | 400 : 액정표시패널 |

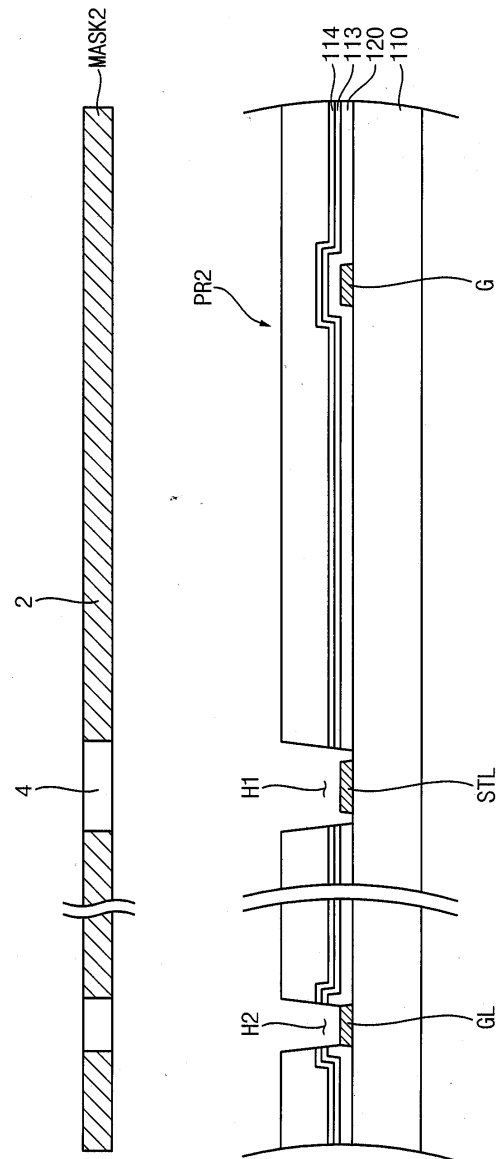
도면2



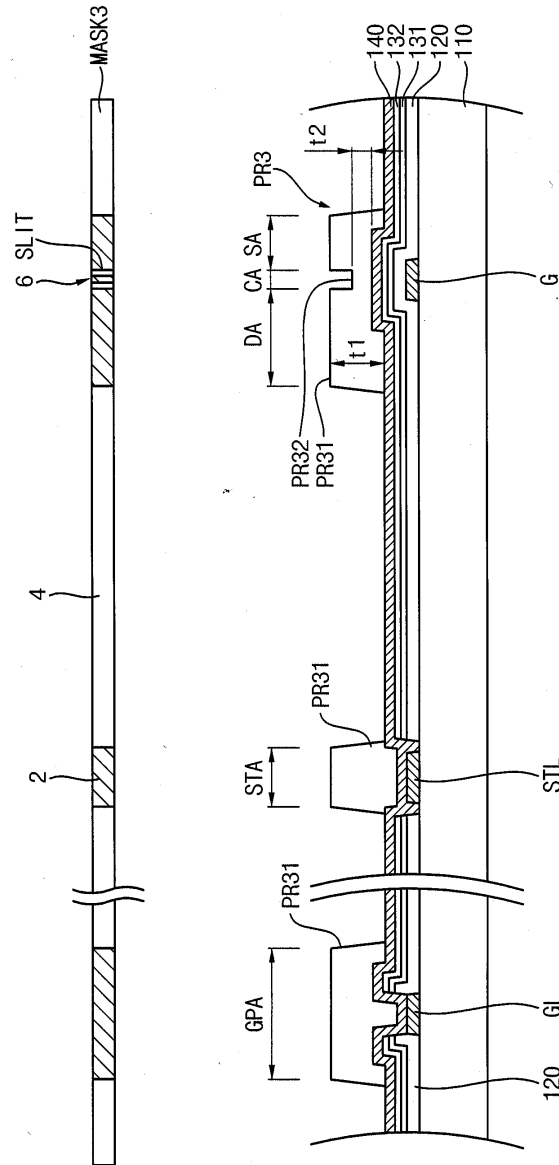
도면3



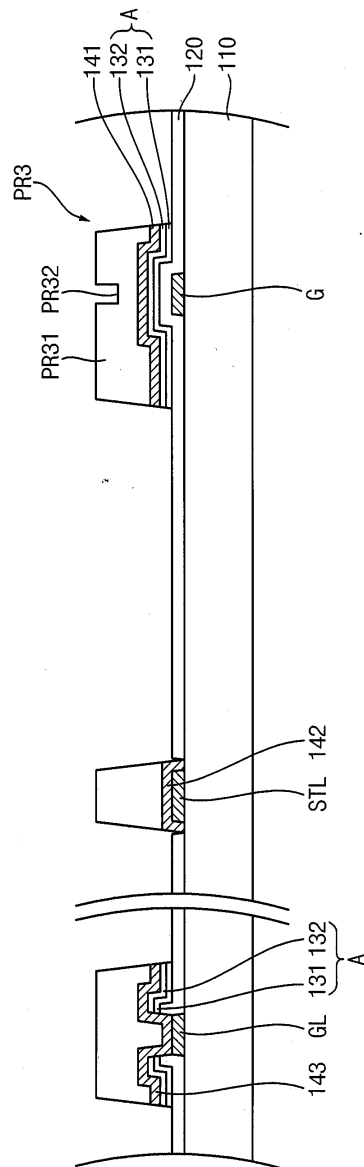
도면4



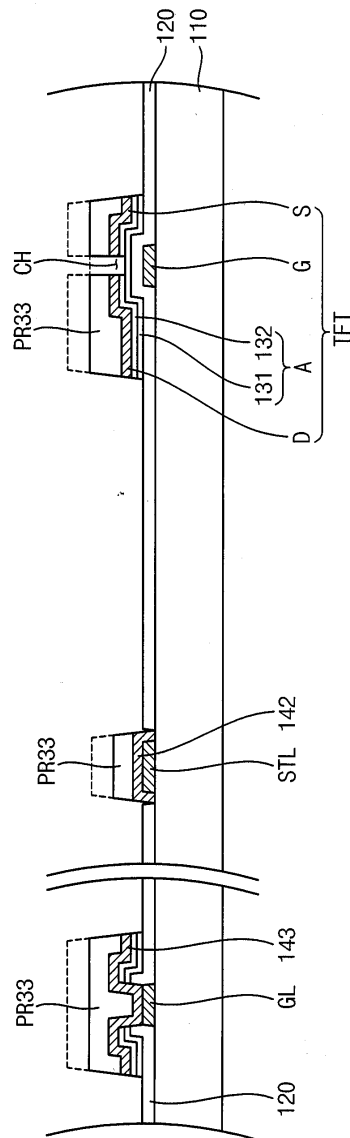
도면5



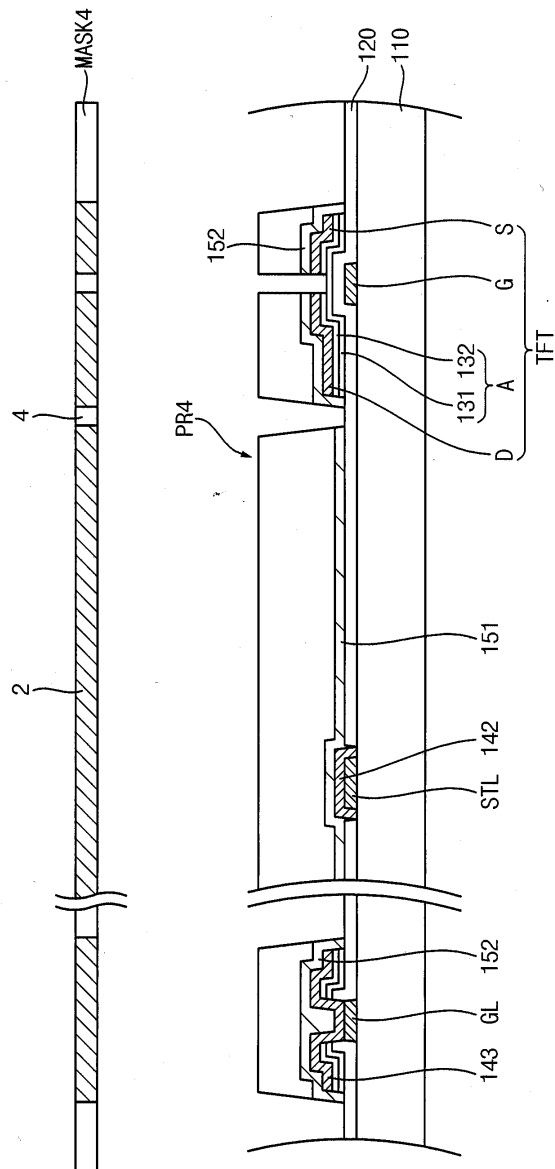
도면6



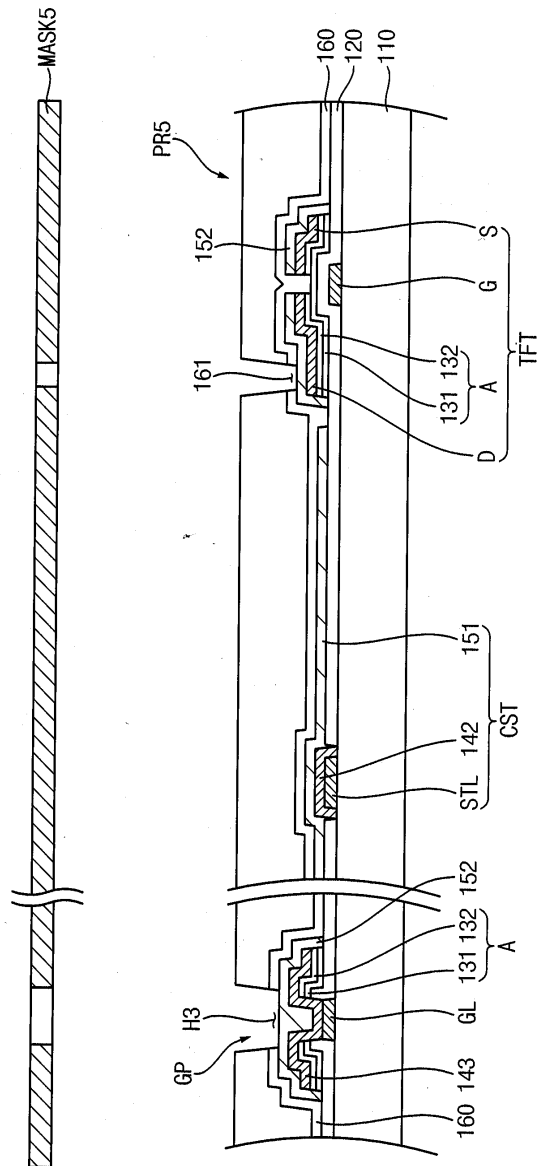
도면7



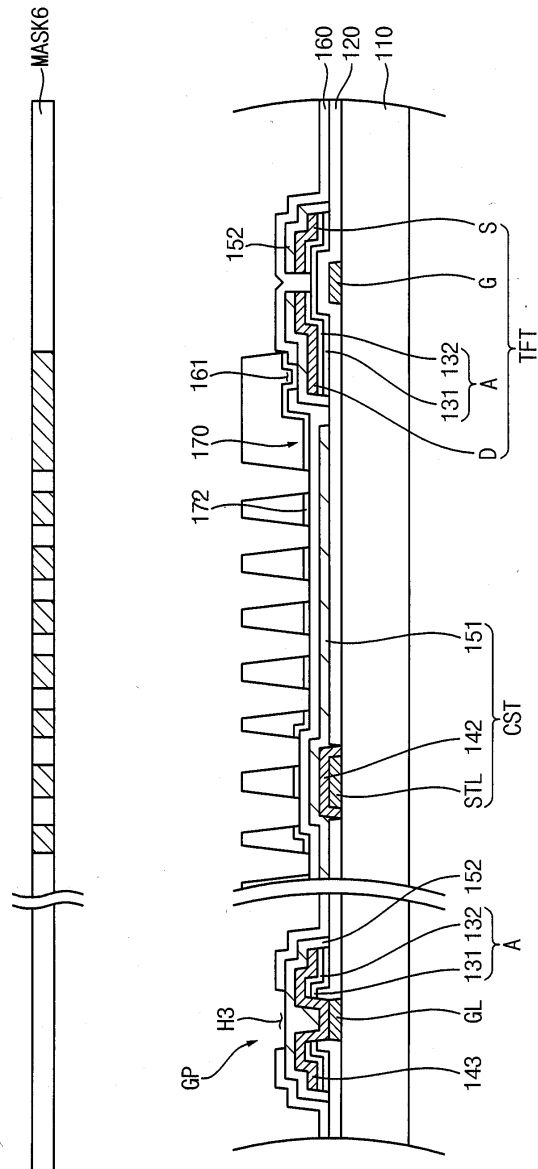
도면8



도면9



도면10



专利名称(译)	显示基板及其制造方法		
公开(公告)号	KR1020080032276A	公开(公告)日	2008-04-15
申请号	KR1020060097766	申请日	2006-10-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOU CHUN GI		
发明人	YOU CHUN GI		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1362 G02F2001/134372		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR101284030B1		
外部链接	Espacenet		

摘要(译)

公开了一种用于减少由金属提取引起的故障的显示基板及其制造方法。制造显示基板的方法包括形成栅极布线的步骤和包括数据线的第二金属图案的步骤，并且在形成栅极绝缘层的步骤中限定单位像素，并且栅极绝缘层是第一金属包括基板上的栅极布线和存储布线的图案，在基板上形成与单元像素相对应的第一电极的步骤，其中第二金属图案被模制并被图案化，第二电极在形成步骤在其中形成第一电极的栅极绝缘层上的钝化层和与单位像素对应的钝化层。因此，第一电极称为公共电极，形成有高温沉积工艺的栅极绝缘层，形成在传统的平面开关结构（FFS MODE）显示基板的制造工艺中产生的金属提取现象。可以防止栅极绝缘层的一部分。显示基板，平面切换，FFS，边缘场，LCD面板。

