



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000850
(43) 공개일자 2008년01월03일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0058675

(22) 출원일자 2006년06월28일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김민정

부산 동래구 칠산동 286

장병훈

경북 구미시 구평동 475번지 부영아파트 701동 1305호

(74) 대리인

김용인, 심창섭

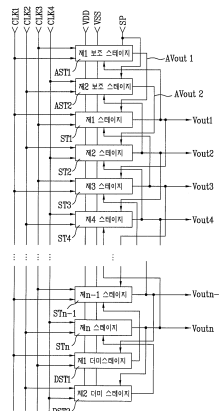
전체 청구항 수 : 총 10 항

(54) 액정 표시장치의 구동장치와 그의 구동방법

(57) 요약

본 발명은 내장 게이트 패널(GIP; Gate In Panel) 구동시 발생하는 화질의 불량 현상을 방지할 수 있는 액정 표시장치의 구동장치와 그의 구동방법에 관한 것으로, 영상을 표시하는 액정패널과, 상기 액정패널의 게이트 라인을 구동하는 게이트 드라이버와, 위상이 서로 다른 적어도 하나의 클럭펄스와 스타트 신호를 발생하여 게이트 드라이버를 제어하는 타이밍 컨트롤러와, 그리고 상기 적어도 하나의 클럭펄스와 상기 스타트 신호에 따라 보조 스텝펄스를 생성하여 게이트 드라이버에 공급하는 적어도 하나의 보조 스테이지를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

영상을 표시하는 액정패널과;

상기 액정패널의 게이트 라인을 구동하는 게이트 드라이버와;

위상이 서로 다른 적어도 하나의 클럭펄스와 스타트 신호를 발생하여 게이트 드라이버를 제어하는 타이밍 컨트롤러와; 그리고

상기 적어도 하나의 클럭펄스와 상기 스타트 신호에 따라 보조 스캔펄스를 생성하여 게이트 드라이버에 공급하는 적어도 하나의 보조 스테이지를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 보조 스테이지는

상기 스타트 신호가 공급되는 기간 동안 프리충전되어 상기 적어도 하나의 클럭펄스와 동기된 보조 스캔펄스를 출력하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 3

제 2 항에 있어서,

상기 적어도 하나의 클럭펄스는

2 수평구간의 펄스폭을 갖고 일정 구간동안 서로 중첩되도록 발생된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 4

제 2 항에 있어서,

상기 스타트 신호는 1 수평구간의 펄스폭으로 발생된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 5

제 1 항에 있어서,

상기 게이트 드라이버는

서로 종속적으로 연결된 적어도 하나의 스테이지로 구성된 쉬프트 레지스터를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 6

제 5 항에 있어서,

상기 적어도 하나의 보조 스테이지는

상기 쉬프트 레지스터에 내장된 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 7

서로 위상이 다른 적어도 하나의 클럭펄스와 스타트 신호를 발생하는 단계;

상기 적어도 하나의 클럭펄스와 스타트 신호에 따라 보조 스캔펄스를 발생하는 단계;

상기 보조 스캔펄스와 상기 적어도 하나의 클럭펄스에 따라 스캔펄스를 발생하는 단계; 및

상기 스캔펄스를 게이트 라인에 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 보조 스캔펄스를 발생하는 단계는

상기 스타트 신호가 공급되는 기간 동안 프리충전되는 단계;

상기 적어도 하나의 클럭펄스를 공급받는 단계; 및

상기 적어도 하나의 클럭펄스와 동기된 보조 스캔펄스를 발생하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 적어도 하나의 클럭펄스는

2 수평구간의 펄스폭을 갖고 일정 구간동안 서로 중첩되도록 발생된 것을 특징으로 하는 액정 표시장치의 구동 방법.

청구항 10

제 9 항에 있어서,

상기 스타트 신호는 1 수평구간의 펄스폭으로 발생된 것을 특징으로 하는 액정 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 내장 게이트 패널(GIP; Gate In Panel) 구동시 발생하는 화질의 불량 현상을 방지할 수 있는 액정 표시장치의 구동장치와 그의 구동방법에 관한 것이다.
- <14> 통상의 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다.
- <15> 액정패널에는 다수개의 게이트 라인과 다수개의 데이터 라인이 교차하게 배열되고, 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 형성된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(TFT; Thin Film Transistor)와 접속된다. TFT는 게이트 라인의 스캔펄스에 의해 턴-온되어, 데이터 라인의 데이터 신호가 화소전극에 충전되도록 한다.
- <16> 구동회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 컨트롤러를 포함한다.
- <17> 게이트 드라이버는 스캔펄스들을 순차적으로 출력하기 위해 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 서로 종속적으로 연결된 다수의 스테이지들로 구성된다. 다수의 스테이지들은 스캔펄스를 순차적으로 출력하여 액정패널의 게이트 라인들을 순차적으로 스캐닝한다.
- <18> 구체적으로, 다수의 스테이지 중 첫번째 스테이지는 타이밍 컨트롤러로부터의 스타트 신호를 트리거 신호로 입력받고 첫번째 스테이지를 제외한 나머지 스테이지들은 이전단의 스테이지로부터의 출력신호를 트리거 신호로 입력받는다. 아울러 다수의 스테이지 각각은 서로 순차적인 위상차를 갖는 다수의 클럭펄스 중 적어도 한 개의 클럭펄스를 인가받는다. 이에 따라, 첫번째 스테이지부터 마지막 스테이지까지 스캔펄스를 순차적으로 출력하게 된다.

<19> 하지만, 쉬프트 레지스터가 액정 패널을 형성하는 TFT 어레이 기판에 내장되어 집적화된 GIP를 사용하는 경우 제조 단가를 줄이기 위해 기존의 타이밍 컨트롤러가 형성된 구동회로에 GIP를 연결시켜서 사용해야 한다. 이때, 타이밍 컨트롤러로부터의 게이트 구동신호가 GIP에 맞춰져 있지 않기 때문에 GIP의 신호 특성에 맞지 않아서 표시되는 화질에 불량이 발생한다.

<20> 구체적으로, 게이트 드라이버의 쉬프트 레지스터의 구동시 사용되는 다수의 클럭펄스와 스타트 신호는 타이밍 컨트롤러로부터의 데이터 인에이블 신호를 이용하여 생성된다. 타이밍 컨트롤러로부터의 다수의 클럭펄스는 1수평구간을 갖는 데이터 인에이블 신호의 펄스폭을 변환시켜서 각각 2수평구간의 펄스폭으로 서로 순차적인 위상차를 갖고 공급된다. 또한, 다수의 클럭펄스는 서로 인접한 클럭펄스 간에 펄스폭이 일정 구간동안 서로 중첩되도록 공급된다. 하지만, 첫번째 스테이지에 트리거 신호로 공급되는 스타트 신호는 데이터 인에이블 신호를 바로 변환하여 공급할 수 없으므로 데이터 인에이블 신호와 같이 1수평구간의 펄스폭으로 공급된다. 이에 따라, 첫번째 스테이지는 스캔펄스를 출력하기 위한 프리충전 구간이 1수평구간 동안만 이루어지기 때문에 출력되는 스캔펄스는 비록 첫번째 클럭펄스의 펄스폭에 따라 2수평구간 동안 발생되긴 하지만 그 진폭, 즉 전압크기가 저하되어 화소영역에서 영상 데이터의 충전률이 저하된다.

<21> 첫번째 스테이지로부터 스캔펄스를 공급받는 첫번째 게이트 라인의 영상 데이터 충전률은 이후에 2수평구간 동안 저하되지 않은 진폭의 스캔펄스를 공급받는 게이트 라인들에 비해 저하된다. 이는, 노멀리 화이트 모드(Normally White Mode)로 구동되는 TN모드(Twisted Nematic Mode)의 경우, 첫번째 게이트 라인의 화소영역에는 영상 데이터의 계조가 낮아짐에 따라 밝은 띠가 나타나게 되는데 특히 저온 구동시 더더욱 눈에 띄게 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<22> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로 적어도 하나의 보조 스테이지를 구비하여 GIP 구동시 발생하는 화질의 불량 현상을 방지할 수 있는 액정 표시장치의 구동장치와 그의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<23> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 구동장치는 영상을 표시하는 액정패널과, 상기 액정패널의 게이트 라인을 구동하는 게이트 드라이버와, 위상이 서로 다른 적어도 하나의 클럭펄스와 스타트 신호를 발생하여 게이트 드라이버를 제어하는 타이밍 컨트롤러와, 그리고 상기 적어도 하나의 클럭펄스와 상기 스타트 신호에 따라 보조 스캔펄스를 생성하여 게이트 드라이버에 공급하는 적어도 하나의 보조 스테이지를 포함하는 것을 특징으로 한다.

<24> 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 구동방법은 서로 위상이 다른 적어도 하나의 클럭펄스와 스타트 신호를 발생하는 단계, 상기 적어도 하나의 클럭펄스와 스타트 신호에 따라 보조 스캔펄스를 발생하는 단계, 상기 보조 스캔펄스와 상기 적어도 하나의 클럭펄스에 따라 스캔펄스를 발생하는 단계, 및 상기 스캔펄스를 게이트 라인에 공급하는 단계를 포함하는 것을 특징으로 한다.

<25> 이하, 상기와 같은 특징을 갖는 본 발명의 실시예에 따른 액정 표시장치의 구동장치 및 그의 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<26> 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도이다.

<27> 도 1에 도시된 액정 표시장치는 TFT 어레이 기판(10)상에 다수의 게이트 라인과 데이터 라인을 구비하여 형성된 액정패널(20)과, 다수의 데이터 라인을 구동하기 위한 데이터 드라이버(30)가 실장된 다수의 회로필름(50)과, 다수의 게이트 라인을 구동하는 게이트 드라이버(40)를 포함한다.

<28> 액정패널(20)은 다수의 게이트 라인과 다수의 데이터 라인에 의해 정의되는 각 화소영역에 형성된 TFT와 액정분자를 구동하는 화소전극을 구비한다. TFT는 게이트 라인으로부터의 스캔펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 화소전극에 공급한다.

<29> 데이터 드라이버(30)는 다수의 데이터 회로필름(50)에 실장되어 액정패널(20)과 데이터 PCB 사이에 접속된다. 이러한 데이터 드라이버(30)는 외부로부터의 디지털 영상 데이터를 아날로그 영상 데이터로 변환하고 게이트 라인들에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 영상 데이터를 데이터 라인들로 공급한다. 즉, 데이터 드라이버(30)는 아날로그 영상 데이터의 계조값에 따라 소정 레벨을 가지는 감마전압을

선택하고 선택된 감마전압을 데이터 라인들로 공급한다.

- <30> 게이트 드라이버(40)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터를 포함하며 이 스캔펄스에 응답하여 TFT가 턴-온 되게 한다. 쉬프트 레지스터는 액정패널(20)을 형성하는 TFT 어레이 기관(10)에 내장되어 집적화된다.
- <31> 이와 같이, 게이트 드라이버(40)를 TFT 어레이 기관(10)에 집적화시키는 GIP시용시에는 앞에서 언급한 바와 같이, 제조 단가를 줄이기 위해 기존의 타이밍 컨트롤러가 형성된 구동회로에 GIP를 연결시켜서 사용한다. 따라서, GIP 설계시 신호 특성이 저하되는 게이트 라인의 화소영역(PXL)들에 화질불량이 나타나지 않도록 설계해야 한다.
- <32> 도 2는 도 1에 도시된 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도이다.
- <33> 도 2에 도시된 쉬프트 레지스터는 제 1 및 제 2 보조 스테이지(AST1,AST2)와, 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)가 서로 종속적으로 연결되어 서로 교번적으로 위치하는 n개의 스테이지(ST1 내지 STn)와, 그리고 제 1 및 제 2 더미 스테이지(DST1,DST2)로 구성된다.
- <34> 제 1 및 제 2 보조 스테이지(AST1,AST2)는 제 1 및 제 2 보조 스캔펄스(AVout1,AVout2)를 출력하여 제 1 스테이지(ST1)와 제 2 스테이지(ST2)에 각각 공급한다.
- <35> n개의 스테이지(ST1 내지 STn)와 두개의 더미 스테이지(DST1,DST2)는 n개의 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다. 여기서, n개의 스테이지(ST1 내지 STn)로부터 출력된 n개의 스캔펄스(Vout1 내지 Voutn)는 액정패널(20)의 게이트 라인들에 순차적으로 공급되어 게이트 라인들을 순차적으로 스캐닝하게 된다. 그리고, 제 1 및 제 2 더미 스테이지(DST1,DST2)에서 출력되는 더미 스캔펄스는 홀수 및 짝수번째의 이전단 스테이지(STn-1,STn)를 디세이블 즉, 리셋시키기 위한 신호로 사용된다.
- <36> 제 1 및 제 2 보조 스테이지(AST1,AST2)를 비롯하여 n개의 스테이지(ST1 내지 STn)와 제 1 및 제 2 더미 스테이지(DST1,DST2)는 게이트 온 전압(VDD)과 게이트 오프 전압(VSS)을 공통으로 공급받는다. 그리고 일정 구간동안 서로 중첩된 다수의 클럭펄스 즉, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 적어도 하나의 클럭펄스를 인가받는다.
- <37> 제 1 보조 스테이지(AST1)와 제 2 보조 스테이지(AST2)는 도시되지 않은 타이밍 컨트롤러로부터의 스타트 신호(SP)를, 제 1 내지 제 n 스테이지(ST1 내지 STn)와 제 1 및 제 2 더미 스테이지(DST1,DST2)는 홀수 및 짝수번째의 각 이전단 스테이지의 스캔펄스를 트리거 신호로 공급받는다. 그리고, 제 1 내지 n 스테이지(ST1 내지 STn)는 홀수 및 짝수번째의 각 다음단 스테이지의 스캔펄스를 리셋 신호로 공급받는다.
- <38> 구체적으로, 제 1 및 제 2 보조 스테이지(AST1,AST2)를 비롯하여 n개의 스테이지(ST1 내지 STn)와 제 1 및 제 2 더미 스테이지(DST1,DST2)는 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째의 스테이지(ST2 내지 STn)로 나뉘어 서로 종속적으로 연결되어 있다. 따라서, 제 1 보조 스테이지(AST1)를 제외한 홀수번째 스테이지(ST1 내지 STn-1)는 홀수번째의 전단 스테이지로부터의 스캔펄스를 트리거 신호로 공급받는다. 그리고 홀수번째의 다음단 스테이지의 스캔펄스를 리셋신호로 공급받는다.
- <39> 아울러, 제 2 보조 스테이지(AST2)를 제외한 짝수번째 스테이지(ST2 내지 STn)는 짝수번째의 이전단 스테이지로부터의 스캔펄스를 트리거 신호로 공급받는다. 그리고 짝수번째의 다음단 스테이지의 스캔펄스를 리셋신호로 공급받는다.
- <40> 상기와 같이 구성된 본 발명의 쉬프트 레지스터의 구성 및 동작을 구체적으로 설명하면 다음과 같다. 여기서, 제 1 보조 스테이지(AST1)를 비롯한 나머지 스테이지(AST2 내지 DST2)의 구성 및 동작은 모두 같기 때문에 제 1 보조 스테이지(AST1)만을 대표적으로 설명하기로 한다.
- <41> 도 3은 도 2에 도시된 제 1 보조 스테이지를 나타낸 등가 회로도이고, 도 4는 도 2에 도시된 쉬프트 레지스터의 입/출력 파형을 설명하기 위한 파형도이다.
- <42> 도 3에 도시된 제 1 보조 스테이지(AST1)는 Q-노드(Q)를 제어하기 위한 Q-노드 제어부와, QB-노드(QB)를 제어하기 위한 QB-노드 제어부와, 그리고 스캔펄스를 출력하기 위한 스캔펄스 출력부로 구성된다.
- <43> Q-노드 제어부는 타이밍 컨트롤러로부터의 스타트 신호(SP)에 따라 Q-노드(Q)를 게이트 온 전압(VDD)으로 프리차징 시키기 위한 제 1 스위칭소자(Tr1)와, 홀수의 다음단 스테이지 즉, 제 1 스테이지(ST1)로부터의 제 1 스캔펄스(Vout1)에 따라 게이트 오프 전압(VSS)으로 Q-노드(Q)를 디세이블 시키기 위한 제 2 스위칭 소자(Tr2)와,

그리고 QB-노드(QB)의 인에이블 상태에 따라 게이트 오프 전압(VSS)으로 Q-노드(Q)를 디세이블 시키기 위한 제 3 스위칭 소자(Tr3)로 구성된다.

- <44> QB-노드 제어부는 게이트 온 전압(VDD)으로 QB-노드(QB)를 인에이블 시키기 위한 제 4 스위칭 소자(Tr4)와, 타이밍 컨트롤러로부터의 스타트 신호(SP)와 게이트 온 전압(VDD)에 따라 QB-노드(QB)를 게이트 오프 전압(VSS)으로 디세이블 시키기 위한 제 5 스위칭소자(Tr5)와, 타이밍 컨트롤러로부터의 스타트 신호(SP)에 따라 QB-노드(QB)를 게이트 오프 전압(VSS)으로 디세이블 시키기 위한 제 6 스위칭소자(Tr6)로 구성된다. 여기서, 제 4 스위칭 소자(Tr4)는 게이트 온 전압(VDD) 또는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 하나의 클럭펄스를 이용하여 QB-노드(QB)를 인에이블 시킬 수 있다.
- <45> 스캔펄스 출력부는 Q-노드(Q)의 인에이블 상태에 따라 제 1 클럭펄스(CLK1)를 제 1 스캔펄스(Vout1)로 출력하는 제 7 스위칭 소자(Tr7)와, 그리고 QB-노드(QB)의 인에이블 상태에 따라 각 단계에 연결된 게이트 라인을 게이트 오프 전압(VSS)으로 디세이블 시키기 위한 제 8 스위칭 소자(Tr8)로 구성된다. 하지만 제 1 보조 스테이지(AST1)를 비롯한 제 2 보조 스테이지(AST2)는 게이트 라인과 연결되어 있지 않다. 이에 따라, 각각의 출력신호인 제 1 보조 스캔펄스(AVout1)와 제 2 보조 스캔펄스(AVout2)를 제 1 및 제 2 스테이지(ST1, ST2)의 트리거 신호로 사용하기 위해 제 1 및 제 2 스테이지(ST1, ST2)에 구비된 제 1 스위칭 소자(Tr1)의 게이트 단자로 공급한다.
- <46> 상기와 같이 구성된 본 발명의 제 1 및 제 2 보조 스테이지(AST1, AST2)를 비롯한 다수의 스테이지(ST1 내지 DST2)는 일정 구간동안 서로 중첩된 다수의 클럭펄스 즉, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 중 적어도 하나의 클럭펄스를 인가받는다. 구체적으로, 제 1 보조 스테이지(AST1)는 제 1 및 제 3 클럭펄스(CLK1 내지 CLK3)를 공급받고, 제 2 스테이지(AST2)의 경우에는 제 2 및 제 4 클럭펄스(CLK2 내지 CLK4)를 공급받는다.
- <47> 상기와 같이 구성된 다수의 스테이지(AST1 내지 DST2)에는 도 4에 도시된 바와 같이, 타이밍 컨트롤러로부터의 스타트 신호(SP)가 1 수평구간(1H)의 펄스폭을 갖는 데이터 인에이블 신호와 동일하게 1 수평구간(1H)의 펄스폭으로 공급된다. 그리고, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 데이터 인에이블 신호가 변조되어 2 수평구간(2H)의 펄스폭으로 공급된다.
- <48> 본 발명의 제 1 및 제 2 보조 스테이지(AST1, AST2)를 비롯한 다수의 스테이지(ST1 내지 DST2)에 형성된 제 1 내지 제 8 스위칭 소자(Tr1 내지 Tr8)는 PMOS 또는 NMOS 트랜지스터 등의 스위칭 소자가 사용될 수 있다. 이하에 서는 NMOS 트랜지스터만을 예를 들어 설명하기로 한다.
- <49> 도 3과 도 4를 참조하여 본 발명의 따른 제 1 보조 스테이지의 동작을 설명하면 다음과 같다.
- <50> 먼저, Q-노드(Q)의 인에이블 단계는 제 1 스위칭 소자(Tr1)의 게이트 단자에 스타트 신호(SP)가 공급되고 제 1 스위칭 소자(Tr1)가 턴-온됨으로써 게이트 온 전압(VDD)이 Q-노드(Q)로 공급된다. 즉, Q-노드(Q)가 프리차징 된다. 이때, 제 5 스위칭 소자(Tr5)와 제 6 스위칭 소자(Tr6) 또한 게이트 온 전압(VDD)에 의해 턴-온 되어 QB-노드(QB)를 그라운드 전압(VSS)으로 디세이블 시킨다. 그리고 프리차징 된 Q-노드(Q)에 연결된 제 7 스위칭 소자(Tr7)가 턴-온된다.
- <51> 제 1 보조 스캔펄스(AVout1)가 출력되는 단계는 턴-온된 제 7 스위칭 소자(Tr7)의 드레인 단자에 제 3 클럭펄스(CLK3)가 공급되어 제 3 클럭펄스(CLK3)가 제 1 보조 스캔펄스(AVout1)로써 출력된다. 하지만, 제 1 보조 스캔펄스(AVout1)는 게이트 라인과 연결되지 않았기 때문에 제 1 스테이지(ST1)에 바로 공급된다.
- <52> 이 후, 제 1 스테이지(ST1)가 상술한 제 1 보조 스테이지(AST1)와 같이 동작하여 제 1 스캔펄스(Vout1)를 출력하면 제 1 스캔펄스(Vout1)는 게이트 라인으로 공급됨과 동시에 제 1 보조 스테이지(AST1)에 공급되어 제 2 스위칭 소자(Tr)를 턴-온 시킨다.
- <53> 이로 인해, 제 2 스위칭 소자(Tr2)는 Q-노드(Q)를 그라운드 전압(VSS)으로 디세이블 시킨다. 한편, 제 5 및 제 6 스위칭 소자(Tr5, Tr6)가 턴-오프되어 제 4 스위칭 소자(Tr4)로부터의 게이트 온 전압(ADD)이 QB-노드(QB)를 프리차징 시킨다.
- <54> Q-노드(Q)가 디세이블 되어 제 7 스위칭 소자(Tr7) 또한 턴-오프되기 때문에 제 7 스위칭 소자(Tr7)는 더 이상의 제 3 클럭펄스(CLK3)가 공급되어도 제 1 보조 스캔펄스(AVout1)를 출력하지 않는다.
- <55> 여기서, QB-노드 제어부에 형성된 제 5 스위칭소자(Tr5)와 제 6 스위칭소자(Tr6)는 제 4 스위칭 소자(Tr4) 보다 더 큰 용량 즉, 더 큰 채널폭을 갖는 것이 바람직하다. 이는, 게이트 온 전압(VDD)이 계속 인가되고 있기 때문에 QB-노드(QB)의 디세이블 시에는 더 빠르게 디세이블 시켜서 Q-노드(Q)의 인에이블시 QB-노드(QB)가 인에이블

되는 것을 방지하기 위해서이다.

- <56> 제 1 및 제 2 보조 스테이지(AST1, AST2)와 달리 게이트 라인에 출력단이 연결된 제 1 내지 제 n 스테이지(ST1 내지 STn)는 QB-노드(QB)가 프리차징 되면 제 8 스위칭 소자(Tr8)가 턴-온됨에 따라 각각의 게이트 라인을 그라운드 전압(VSS)으로 디세이블 시키게 된다.
- <57> 상술한 바와 같이 홀수번째의 스테이지(ST1 내지 STn-1)는 순차적으로 홀수번째의 게이트 라인에 스캔펄스(Vout1 내지 Voutn-1)를 공급한다.
- <58> 한편, 짝수번째의 스테이지(ST2 내지 STn) 또한 홀수번째의 스테이지(ST1 내지 STn-1)와 같은 동작과정으로 짝수번째의 게이트 라인에 스캔펄스(Vout2 내지 Voutn)를 공급한다.
- <59> 다만, 짝수번째의 스테이지(ST2 내지 STn) 중 첫번째 스테이지인 제 2 보조 스테이지(AST2)는 제 1 보조 스테이지(AST1)와 동시에 스타트 신호(SP)를 공급받지만 제 4 클럭펄스(CLK4)를 제 2 보조 스캔펄스(AVout2)로 출력하기 때문에 제 1 보조 스캔펄스(AVout1)보다 1 수평기간(1H) 늦게 제 2 보조 스캔펄스(AVout2)를 출력한다.
- <60> 이에 따라, 홀수번째의 스테이지(ST1 내지 STn-1)와 짝수번째 스테이지(ST2 내지 STn)가 서로 교번적으로 배치된 쉬프트 레지스터는 서로 동일한 펄스폭으로 인접한 스캔펄스들이 일정 구간동안 중첩되도록 스캔펄스(Vout1 내지 Voutn)를 순차적으로 출력한다.
- <61> 도 4에 도시된 바와 같이, 타이밍 컨트롤러로부터의 스타트 신호(SP)는 1 수평구간의 펄스폭을 갖는 데이터 인에이블 신호와 동일하게 1 수평구간(1H)의 펄스폭을 갖고 공급된다. 그리고, 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 타이밍 컨트롤러의 데이터 인에이블 신호가 변조된 2 수평구간(2H)의 펄스폭을 갖고 공급된다.
- <62> 이에 따라, 1 수평구간(1H)의 스타트 신호(SP)를 공급받는 제 1 보조 스테이지(AST1)와 제 2 보조 스테이지(AST2)의 Q-노드(Q)는 1 수평구간(1H) 동안 게이트 온 전압(VDD)으로 프리차징 된다. 그리고 제 1 보조 스테이지(AST1)는 제 3 클럭펄스(CLK3)가 공급되면 제 3 클럭펄스(CLK3)를 제 1 보조 스캔펄스(AVout1)로 출력하게 된다. 하지만, 제 1 보조 스테이지(AST1)에 구비된 Q-노드(Q)가 게이트 온 전압(VDD)으로 인에이블 되는 구간이 1 수평구간(1H)이기 때문에 Q-노드(Q)의 충전율이 낮아서 제 1 보조 스캔펄스(AVout1)의 출력특성이 도 4에 도시된 바와 같이 저하된다.
- <63> 한편, 제 2 보조 스테이지(AST2)의 Q-노드 또한 1 수평구간(1H)의 스타트 신호(SP)를 공급받아서 게이트 온 전압(VDD)으로 인에이블 된다. 그리고 제 2 보조 스테이지(AST2)는 제 4 클럭펄스(CLK4)가 공급되면 제 4 클럭펄스(CLK4)를 제 2 보조 스캔펄스(Vout2)로 출력하게 된다. 이때, 제 2 보조 스테이지(AST2)에 구비된 Q-노드(Q) 또한 게이트 온 전압(VDD)으로 인에이블 되는 구간이 1 수평구간(1H)이기 때문에 Q-노드(Q)의 충전율이 낮아서 제 2 보조 스캔펄스(AVout2)의 출력특성 또한 도 4에 도시된 바와 같이 저하된다.
- <64> 이 후, 제 1 보조 스테이지(AST1)로부터의 제 1 보조 스캔펄스(AVout1)를 트리거 신호로 공급받는 제 1 스테이지(ST1)는 제 1 클럭펄스(CLK1)를 제 1 스캔펄스(Vout1)로 출력한다. 이때, 제 1 스테이지(ST1)의 Q-노드(Q)는 2 수평구간(2H) 동안 게이트 온 전압(VDD)으로 인에이블 되기 때문에 제 1 스캔펄스(Vout1)의 출력 특성은 왜곡되지 않고 정상적이다.
- <65> 또한, 제 2 보조 스테이지(AST2)로부터의 제 2 보조 스캔펄스(AVout2)를 트리거 신호로 공급받는 제 2 스테이지(ST2)는 제 2 클럭펄스(CLK2)를 제 2 스캔펄스(Vout2)로 출력한다. 이때, 제 2 스테이지(ST2)의 Q-노드(Q)는 2 수평구간(2H) 동안 게이트 온 전압(VDD)으로 인에이블 되기 때문에 제 2 스캔펄스(Vout2)의 출력 특성 또한 도 4에 도시된 바와 같이 정상적으로 출력된다.
- <66> 물론, 제 3 스테이지(ST3)를 포함한 나머지 스테이지(ST3 내지 DSTn)의 스캔펄스(Vout3 내지 Voutn) 출력 특성 또한 도면으로 도시되지는 않았지만, 제 1 및 제 2 스캔펄스(Vout1, Vout2)와 같이 정상적인 출력 특성을 갖는다.
- <67> 이상에서 상술한 바와 같이, 본 발명에 따른 GIP는 제 1 및 제 2 보조 스테이지(AST1, AST2)가 구비되어, 타이밍 컨트롤러를 포함하는 기존의 구동회로에 연결하여 사용하여도 화질의 불량현상을 방지할 수 있다. 즉, 1 수평구간(1H)의 스타트 신호(SP)를 공급받아서 출력특성이 저하되는 출력신호를 발생하는 스테이지들을 보조 스테이지로 두어 출력특성이 정상적인 스테이지로부터의 출력신호만을 스캔펄스로 사용하게 된다.
- <68> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통

상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

<69> 이상에서 상술한 바와 같은 본 발명에 따른 액정 표시장치의 구동장치와 그의 구동방법에 있어서는 다음과 같은 효과가 있다.

<70> 본 발명은 적어도 하나의 보조 스테이지를 구비하여 기존의 타이밍 컨트롤러를 포함하는 구동회로에 GIP를 연결하여 사용하는 경우에도 출력신호의 특성이 정상적으로 출력되도록 할 수 있다. 이에 따라, 각 화소영역의 영상 데이터 충전률이 저하되지 않게 되어 표시되는 화질의 불량을 방지할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 실시예에 따른 액정 표시장치를 나타낸 구성도.

<2> 도 2는 도 1에 도시된 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 구성도.

〈3〉 도 3은 도 2에 도시된 제 1 보조 스테이지를 나타낸 등가 회로도.

<4> 도 4는 도 2에 도시된 쉬프트 레지스터의 입/출력 파형을 설명하기 위한 파형도.

<5> * 도면의 주요 부분에 대한 부호의 설명 *

<6> 10 : TFT 어레이 기판 20 : 액정패널

<7> 30 : 데이터 IC 40 : 게이트 드라이버

<8> AST1 : 제 1 보조 스테이지 AST2 : 제 2 보조 스테이지

<9> AVout1 : 제 1 보조 스캔 펄스 AVoutn2 : 제 2 보조 스캔 펄스

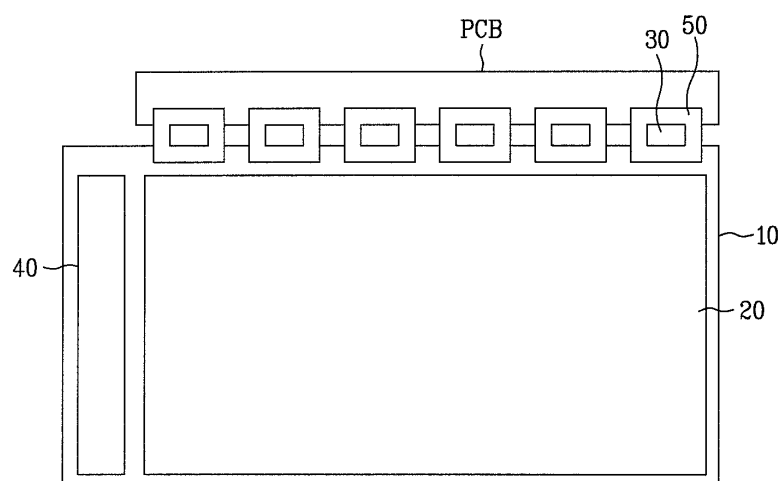
<10> ST1 내지 STn : 제 1 내지 제 n 스테이지

<11> CLK1 내지 CLK4 : 제 1 내지 제 4 클럭펄스

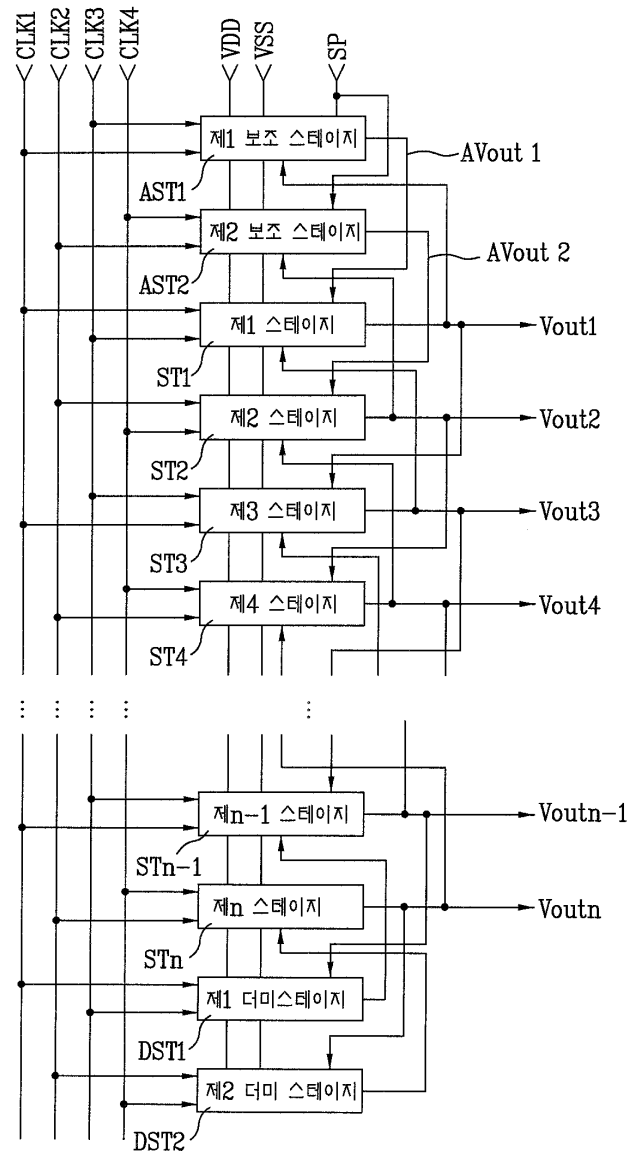
<12> Vout1 내지 Voutn : 제 1 내지 제 n 스캔펄스

도면

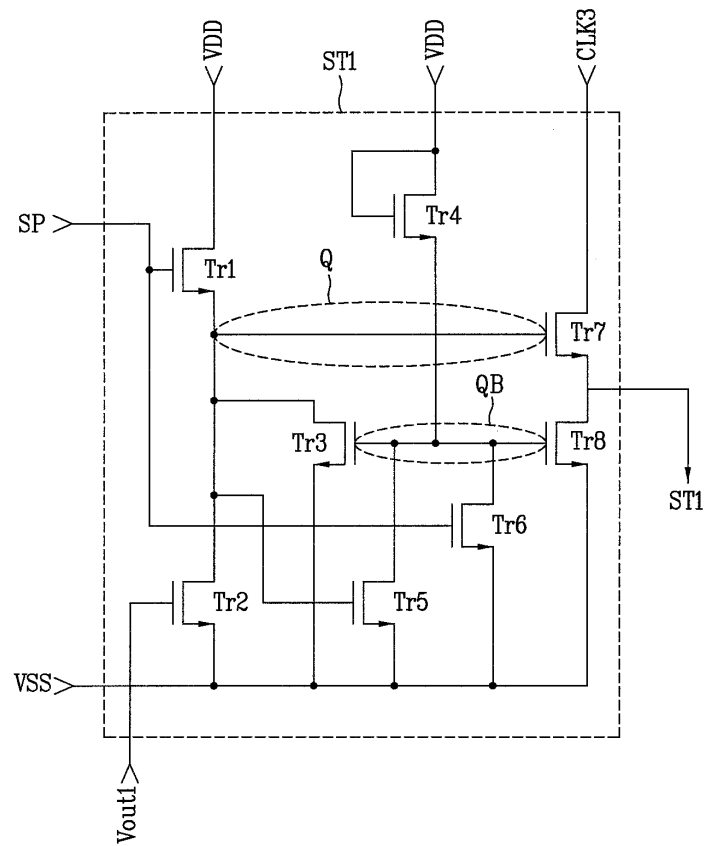
도면1



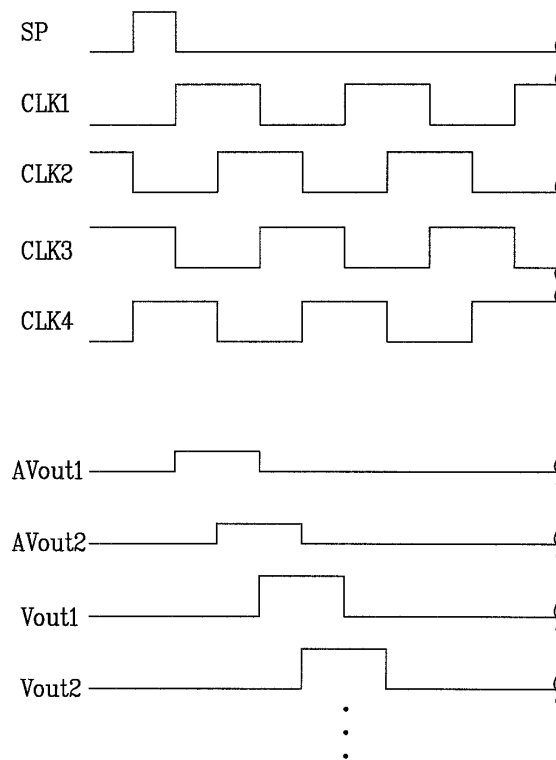
도면2



도면3



도면4



专利名称(译)	液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	KR1020080000850A	公开(公告)日	2008-01-03
申请号	KR1020060058675	申请日	2006-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN JUNG 김민정 JANG BYUNG HOON 장병훈		
发明人	김민정 장병훈		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3674 G09G3/3659 G09G2310/0286 G02F2001/1635 G09G2310/0248		
代理人(译)	Gimyongin Simchangseop		
其他公开文献	KR101192795B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于驱动LCD装置的装置和方法，以通过使用至少一个辅助级保持输出信号的正常特性来防止各个像素中的图像日期的充电率降低。组织：用于驱动装置的装置LCD（液晶显示器）装置包括液晶面板，栅极驱动器，定时控制器和至少一个辅助级（AST1，AST2）。液晶面板显示图像。栅极驱动器驱动液晶面板的栅极线。时序控制器产生时钟脉冲并启动具有不同相位的信号，并控制栅极驱动器。辅助级根据时钟脉冲和启动信号产生辅助扫描脉冲，并将产生的辅助扫描脉冲提供给栅极驱动器。©KIPO 2008

