

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

G09G 3/36

H03M 1/66

G09G 3/20

(11) 공개번호

10-2005-0097542

(43) 공개일자

2005년10월07일

(21) 출원번호 10-2005-7014561

(22) 출원일자 2005년08월08일

번역문 제출일자 2005년08월08일

(86) 국제출원번호 PCT/US2004/003805

(87) 국제공개번호

WO 2004/072936

국제출원일자 2004년02월10일

국제공개일자

2004년08월26일

(30) 우선권주장

60/446,651

2003년02월11일

미국(US)

(71) 출원인

코핀 코포레이션

미국 매사추세츠주 톤턴 마일즈 스탠디쉬 인더스트리얼 파크 마일즈 스탠디쉬 블러바드 695(우:02780)

(72) 발명자

헤르만, 프레드릭, 피.

미국 02067 매사추세츠 샤론 루 스틱스 레인 9

(74) 대리인

남상선

심사청구 : 없음

(54) 디지털-아날로그 변환기가 통합된 액정 디스플레이

요약

본 발명의 장치 및 방법은 LCD의 쌍의 컬럼 라인상에서 컬럼 로드 캐패시턴스를 사용하여 디지털 데이터를 아날로그 데이터로 변환시킬 수 있다. 상기 장치는 디지털 데이터를 포함하는 데이터 버스를 포함한다. 로우 버퍼는 디지털 데이터를 수신하고 분산시키는 데이터 버스와 결합된다. 스위치 네트워크가 로우 버퍼에 결합되어 LCD의 쌍의 컬럼 라인 상에서 컬럼 로드 캐패시턴스를 사용하여 로우 버퍼로부터 수신된 디지털 데이터를 아날로그 데이터로 변환시킬 수 있다.

대표도

도 4

명세서

기술분야

본 출원은 본 명세서에서 참조되는 2003년 2월 11일자로 출원된 미국 가출원 No. 60/446,651호의 장점을 청구한다.

배경기술

액정 디스플레이(LCD) 디바이스는 통상적으로 박막 회로 소자(픽셀)의 2차원 어레이로 구성된다. 각각의 픽셀은 액정 재료의 컬럼을 통해 광 진행을 전송하거나 또는 방해하기 위해 액정 재료와 협력한다. 픽셀 어레이의 물리적 크기는 적용 분야에 따라 결정된다.

예를 들어, 2차원(2-D) 어레이는 수직 방향으로 연장되는 2 세트의 도전 라인을 포함할 수 있다. 제 1 방향으로 연장되는 각각의 라인은 어레이의 컬럼(column)에 신호를 제공할 수 있다; 제 2 방향으로 연장되는 각각의 라인은 어레이의 로우(row)에 신호를 제공할 수 있다.

통상적으로, 2D 어레이에서 각각의 로우-컬럼 위치에는 픽셀의 로우와 컬럼 조합을 위해 라인상의 신호에 응답하는 픽셀이 포함된다. "데이터 라인"이라 불리는 제 1 세트의 평행 라인을 통해, 각각의 픽셀은 그의 상태를 결정하는 신호를 수신한다. "스캔 라인"이라 불리는 제 2 세트의 평행 라인을 통해, 스캔 라인을 따르는 각각의 픽셀은 픽셀이 데이터 라인으로부터 신호를 수신할 수 있게 하는 신호를 수신한다.

종래의 어레이에서, 각각의 스캔 라인은 각각의 픽셀내 부품이 각각의 사이클의 짧은 시간 간격 동안 데이터 라인으로부터 신호를 수신할 수 있도록 스캔 라인에 결합되게 할 수 있는 주기적인 스캔 신호를 제공한다. 따라서, 데이터 라인상에 신호를 갖는 스캔 신호의 타이트한(tight) 동기화는 성공적인 어레이 동작에 있어 중요하다. 결국 타이트한 동기화는 구동(driving) 신호가 데이터 라인에 정확한 시기에 제공되는 것을 요구한다.

데이터 라인을 구동시키는 회로는 "데이터 스캐너"라 정의된다. 스캔 라인을 구동시키는 회로는 "선택 스캐너"라 정의된다.

통상적으로 어레이는 유리 또는 석영의 기판 상에 형성된다. 픽셀 어레이는 구동 및 인터페이스 회로를 요구하며, 대부분의 경우 이러한 회로는 입력 범위의 신호를 전달 또는 감지할 수 있는 회로를 구성하며, 디지털식 보다는 아날로그식이다. 그러나, 많은 분야에 있어, 비디오 신호는 디지털 형태로 발생되며 디스플레이를 구동시키기 위해 아날로그 형태로 변환되어야 한다. 적절한 디지털-대-아날로그(DAC) 변환 회로는 통상적인 실리콘 집적회로(IC)에서 공지된 기술을 사용하여 형성될 수 있다. 이들 IC는 픽셀 어레이를 함유하는 기판상에 또는 상기 기판에 인접하게 장착되며 다수의 전기적 접속부가 상기 둘 사이에 형성된다. 주변 구동기, 인터페이스 칩, 장착 및 디스플레이와의 전기적 접속 비용은 디스플레이를 함유하는 시스템의 전체 비용의 상당한 부분을 이룬다.

발명의 상세한 설명

IC 및 접속부가 기판 상에 적절한 회로를 통합함으로써 소거 또는 상당히 감소되는 경우, 시스템 비용은 감소되며 신뢰성은 개선될 수 있다.

본 발명의 장치 및 방법을 통해 LCD의 쌍의 컬럼 라인상에서 컬럼 로드(load) 캐패시턴스를 사용하여 디지털 데이터를 아날로그 데이터로 변환할 수 있다. 상기 장치는 디지털 데이터를 포함하는 데이터 버스를 포함한다. 로우 버퍼는 디지털 데이터를 수신하고 분산시키기 위해 데이터 버스와 결합된다. LCD의 쌍의 컬럼 라인 상에서 컬럼 로드 캐패시턴스를 사용하여 로우 버퍼로부터 수신된 디지털 데이터를 아날로그 데이터로 변환시키기 위해 로우 버퍼에 스위치 네트워크가 결합된다.

스위치 네트워크는 다수의 스위칭 디바이스를 포함하며, 각각의 스위칭 디바이스는 LCD의 컬럼 라인의 각각의 쌍에 결합된다. 각각의 스위칭 디바이스는 로우 버퍼로부터의 디지털 신호를 수신하는 로직 회로 및 로직 회로로부터 수신된 디지털 데이터를 아날로그 데이터로 변환시키고 각각의 컬럼 라인을 통해 아날로그 데이터를 전송할 수 있는 적어도 3개의 MOSFET을 포함한다. MOSFET은 n-채널 MOSFET, p-채널 MOSFET, 또는 n-채널 및 p-채널 MOSFET의 조합일 수 있다.

쌍의 컬럼 라인의 제 1 컬럼 라인은 픽셀의 제 1 컬럼에 있는 교번하는(alternating) 픽셀과 결합될 수 있고 쌍의 컬럼 라인a 제 2 컬럼 라인은 픽셀의 제 2 컬럼에 있는 교번하는 픽셀과 결합될 수 있다. 제 1 컬럼 라인의 픽셀은 제 2 컬럼 라인에 있는 픽셀에 대해 교번하는 로우에 있을 수 있다. 픽셀은 직사각형 레이아웃으로 배열되거나 또는 델타 레이아웃으로 배열될 수 있다.

본 발명의 목적, 특징 및 장점은, 동일한 부호가 상이한 관점에서 본 동일한 부품으로 간주되는 첨부 도면에 도시된 것처럼, 본 발명의 특정 실시예를 통해 보다 명확해 질 것이다. 도면은 본 발명의 원리를 나타내는 것으로 축소, 확대할 필요는 없다.

도면의 간단한 설명

도 1은 종래 기술의 데이터 스캐너의 개략도;

도 2a는 도 1의 데이터 스캐너에 대한 블랙 및 화이트(B/W)에 대한 전형적인 픽셀 레이아웃의 개략도;

도 2b는 도 1의 데이터 스캐너에 대한 컬러 디스플레이에 대한 전형적인 픽셀 레이아웃의 개략도;

도 2c는 도 2a 및 도 2b의 전형적인 픽셀의 회로도;

도 3a-3i는 디지털 신호를 아날로그 신호로 변환시키는 도 1의 DAC의 회로도;

도 4는 본 발명의 실시예에 따른 데이터 스캐너의 개략도;

도 5a는 도 4의 데이터 스캐너에 대한 전형적인 픽셀 레이아웃의 개략도;

도 5b는 도 4의 데이터 스캐너에 대한 전형적인 픽셀 레이아웃의 개략도;

도 6은 도 4의 스위치 디바이스의 개략도이다.

실시예

도 1은 LCD(100)의 데이터 스캐너(50) 및 컬럼 로드 캐패시터(160)를 나타낸다. 데이터 스캐너(50)는 디스플레이(100)의 컬럼 로드 캐패시터(160)를 구동시키기 위해 통합된 DAC(140) 및 증폭기(150)를 포함한다. 상기 장치는 블랙 및 화이트(B/W) 또는 컬러 디스플레이의 컬럼 로드 캐패시터(160)를 구동시키는데 사용될 수 있다. 일반적으로, 로우 버퍼(110)는 클록(120)으로부터 수신된 펄스에 따라 데이터 버스(130)로부터 도달하는 디지털 데이터를 DAC(140)에 분산시킨다. DAC(140)는 독립적으로(in parallel) 동작하며 디지털 데이터를 수신하여 디지털 데이터를 아날로그 신호로 변환시킨다. 전형적으로 DAC(140)는 높은 임피던스 출력을 제공하기 때문에, 디스플레이 분야에서는 컬럼 로드 캐패시터(160)를 구동시키기 위해 증폭기(150)가 요구된다. 특히, 캐패시터와 샌드위치된 DAC(140)는, 컬럼 로드 캐패시터(160)가 통상적으로 실용적으로 구현가능한 DAC 캐패시터(330, 340)(도 3a-3i)의 로드 캐패시터보다 크기 때문에, 증폭기(150)를 필요로 한다. 따라서, 증폭기(150)는 디스플레이(100)의 컬럼 라인(135)의 컬럼 로드 캐패시터(160)에 큰 출력을 제공한다.

도 2a는 전형적인 픽셀 레이아웃 및 "직사각형" 배열의 픽셀(200)을 갖는 디스플레이(100)의 컬럼 라인(135) 레이아웃을 나타내는 반면, 도 2b는 전형적인 픽셀 레이아웃 및 "델타(delta)" 배열의 픽셀을 갖는 디스플레이(100)에 대한 컬럼 라인(135) 레이아웃을 나타낸다. "직사각형" 배열은 공통적으로 B/W 디스플레이에 사용되는 반면, "델타" 배열은 공통적으로 컬러 디스플레이에 사용된다. 당업자는 "직사각형" 및 "델타" 배열이 B/W 또는 컬러 디스플레이중 하나에 사용될 수 있다는 것을 알 것이다. 문자 RGB는 레드, 그린 및 블루를 나타내며 컬러 디스플레이 분야에 공지되어 있다. 직사각형 픽셀(200)은 블랙-화이트 및 컬러 디스플레이 모두에 사용되며, 통상적으로는 모노크롬(monochrome)에 대해 사각형 픽셀을 가지며 컬러에 대해 직사각형 스트라이프(stripes)(높이:폭 비 = 3:1)를 갖는다.

도 2c는 도 2a 및 도 2b에 도시된 것처럼 전형적인 픽셀(200)의 회로도이다. 전형적인 픽셀(200)은 MOSFET 트랜지스터(220) 및 캐패시터(160)를 포함한다. 각각의 픽셀(200)은 로우 라인(210)과 컬럼 라인(135)에 접속된다. 로우 라인(210)은 픽셀을 온 및 오프시키는 MOSFET(220)의 게이트를 제어한다. MOSFET(220)이 턴온되는 경우, 픽셀(200)은 컬럼 라인(135) 상의 컬럼 로드 캐패시터(160)(도 1)에 의해 구동된다.

도 3a-3i는 디지털 신호를 아날로그 신호로 변환시키는 스위치된-캐패시터 DAC(140)를 나타낸다. 간단한 비트-직렬(bit-serial) DAC(140)는 2개의 캐패시터(330, 340) 및 2개의 스위치(310, 320)를 포함한다. 스위치(310)는 하이(high)에 연결되고, 로(low)에 연결되거나 또는 개방된다. 스위치(320)는 캐패시터(330, 340)의 상부 플레이트에 연결되거나 또

는 개방된다. 또한 보다 많은 캐패시터 및 적절한 스위치 구성을 사용하는 비트-병렬(bit-parallel) DAC가 사용될 수도 있다. 도 3a-3i에 순차적으로 도시된 것처럼, 본 실시예에서, 16 비트 디지털 입력 코드, 1101 또는 16 진수가 $13/16 V_{FS}$ 인 아날로그 신호로 변환될 수 있고, 여기서 V_{FS} 는 풀-스케일(full-scale) 출력 전압이다.

스위치-캐패시터(DAC)(140) 및 관련 증폭기(150)(도1)를 사용하는 경우 다양한 문제가 발생한다. 먼저, DAC(140)의 캐패시터(330, 340)는 예상되는 전하 공유(charge sharing)에 대해 잘 매칭되어야 한다. 도 3a-3i의 예는 등가의 캐패시터(330, 340)를 따르며, 전하는 스위치(320)가 폐쇄되는 경우 등가적으로 공유된다. 둘째, 잘 매칭된 DAC 캐패시터(330, 340)를 위해서는 보다 많은 면적이 요구되기 때문에, 미세한 피치 컬럼 라인(135)상에 DAC(140)를 통합시키기가 어렵다. DAC 캐패시터(330, 340)가 너무 작으면, 원치 않는 기생 캐패시턴스는 보다 심각해진다. 셋째, 낮은 전력이 요구되는 증폭기(150)는 양호한 매칭을(즉, 이미지에 수직 라인을 방지하도록) 가지며, 미세한 피치 컬럼 라인으로 집적 때문에 디스플레이(100) 상에 다수의 증폭기(150)(도 1)를 집적시키기가 어렵다. 마지막으로, 디스플레이(100)에 대한 크기 제한, 복잡성 부가로 인해 멀티플렉서가 DAC(140) 및 증폭기(150)를 공유하는데 사용될 필요가 있다.

본 발명의 실시예는 특정 스위치-캐패시터 DAC(140)와 이들과 관련된 증폭기(150)에 대한 필요성을 제거한다. 도 4에 도시된 것처럼, DAC(140)와 데이터 스캐너(50)의 증폭기(150)(도 1-3i)는 디지털 신호를 아날로그 신호로 변환시키기 위해 컬럼 라인 캐패시턴스(160)를 이용하는 스위치 네트워크로 교체된다. 즉, 새로운 스위치 캐패시터 DAC는 스위치 네트워크 및 DAC 캐패시터로서 컬럼 로드 캐패시턴스(160)를 사용하여 구성된다. 스위치(410)는 한쌍의 컬럼 라인(135)의 컬럼 로드 캐패시턴스(160)를 사용하여 디지털 데이터를 아날로그 신호로 변환시킨다.

도 5a는 직사각형 레이아웃을 사용하는 디스플레이에 대해 스위치(410)와 컬럼 로드 캐패시턴스(160)를 이용하여 디지털 신호를 아날로그 신호로 변환시키는데 요구되는 픽셀 어레이 레이아웃 접속을 나타내는 반면, 도 5b는 델타 레이아웃을 이용하는 디스플레이에 대한 픽셀 어레이 레이아웃 접속을 나타낸다. 도시된 것처럼, 직사각형 레이아웃은 B/W 디스플레이에 공통적으로 사용되며 "델타" 레이아웃은 컬러 디스플레이에 공통적으로 사용된다. 각각의 컬럼 라인 쌍(500)은 로우 당 하나의 픽셀(200)에 접속된다. 컬럼 쌍(500)은 픽셀(200)과 좌우 동일한 수로 접속되는 경우 매칭된 컬럼 캐패시턴스를 갖는다. 컬럼 라인 쌍(550)의 사용은 보다 많은 디스플레이 면적을 제공하며, 액티브 픽셀 개구를 감소시킨다. 그러나, 예상되는 기술에서, 픽셀 개구는 광학, LC 및 다른 문제점으로 제한되며 상호접속 피치에 의해 제한되는 것은 아니다.

도 6은 도 4의 스위치(410)의 회로도이다. 스위치(410)는 5개의 MOSFET(610, 620, 630, 640, 650)을 포함한다. 각각의 MOSFET의 게이트는 로직 회로(660)에 접속된다. 로직 회로(660)는 로우 버퍼(110)(도 4)로부터 수신된 디지털 데이터를 포함하며 MOSFET에 디지털 신호를 분산시킨다. MOSFET(610, 630)은 도 3의 스위치(310)와 유사한 동작을 수행한다. MOSFET(610)은 컬럼을 하이에서 V_{FS} 로 구동시키며, MOSFET(630)은 이를 로(low)로 구동시키며, 또는 MOSFET 모두는 개방 접속을 위해 턴오프될 수 있다. 유사하게, MOSFET(650)은 전하를 균등화시키기 위해 2개의 컬럼에 접속되며, 도 3의 스위치(320)와 유사한 동작을 수행한다. 선택적 MOSFET(620, 640)은 MOSFET(610, 630)과 대칭으로 제공된다. 회로는 왼쪽 컬럼 라인을 구동시키는 MOSFET(610, 630)과 동작하는 반면, 전하는 오른쪽 컬럼 라인상에 축적되거나, 또는 MOSFET(620, 640)은 오른쪽 컬럼 라인을 구동시키는 반면, 전하는 왼쪽 컬럼 라인상에 축적된다.

도 6은 스위칭을 위해 n-채널 MOSFET을 사용한다. 그러나, p-채널 MOSFET 또는 상보형의 쌍의 n-채널 및 p-채널 MOSFET이 사용될 수도 있다. 부가적인 MOSFET은 전하 주입 취소를 위해 사용되며, 이는 상보형 MOSFET의 소스 및 드레인 모두가 스위치의 고-임피던스 측면에 접속되고, 상보형 MOSFET의 게이트가 스위치 MOSFET의 게이트의 로직 반전으로 구동되고, 상보형 MOSFET이 스위치 MOSFET 크기의 절반인, 공지 기술을 이용한다.

본 발명은 특정 실시예를 참조로 도시되고 개시되었지만, 당업자는 첨부된 청구범위에 의해 규정된 본 발명의 범주내에서 다양한 변형을 달성할 수 있다.

(57) 청구의 범위

청구항 1.

액정 디스플레이(LCD)를 구동시키는 데이터 스캐너로서,

디지털 데이터를 포함하는 데이터 버스;

상기 데이터 버스로부터 수신된 디지털 데이터를 수신하고 분산시키기 위해 상기 데이터 버스에 접속되는 로우 버퍼(row buffer); 및

상기 로우 버퍼에 접속되며 상기 LCD의 쌍의 컬럼 라인들상에서 컬럼 로드 캐패시턴스를 사용하여 상기 로우 버퍼로부터 수신된 디지털 데이터를 아날로그 데이터로 변환시키는 스위치 네트워크를 포함하는, 데이터 스캐너.

청구항 2.

제 1 항에 있어서, 상기 스위치 네트워크는 다수의 스위칭 디바이스를 포함하며, 각각의 스위칭 디바이스는 상기 LCD의 컬럼 라인 각각의 쌍에 접속되는 것을 특징으로 하는 데이터 스캐너.

청구항 3.

제 2 항에 있어서, 상기 스위칭 디바이스 각각은,

상기 로우 버퍼로부터 디지털 데이터를 수신하는 로직 회로;

상기 로직 회로로부터 수신된 디지털 데이터를 아날로그 데이터로 변환시키고 각각의 컬럼 라인을 통해 상기 아날로그 데이터를 전송하는 적어도 3개의 MOSFET을 포함하는 것을 특징으로 하는 데이터 스캐너.

청구항 4.

제 3 항에 있어서, 상기 MOSFET은 n-채널 MOSFET인 것을 특징으로 하는 데이터 스캐너.

청구항 5.

제 3 항에 있어서, 상기 MOSFET은 p-채널 MOSFET인 것을 특징으로 하는 데이터 스캐너.

청구항 6.

제 3 항에 있어서, 상기 MOSFET은 n-채널 MOSFET과 p-채널 MOSFET의 조합인 것을 특징으로 하는 데이터 스캐너.

청구항 7.

제 1 항에 있어서, 상기 쌍의 컬럼 라인의 제 1 컬럼 라인은 픽셀의 제 1 컬럼에서 교번하는 픽셀에 접속되고 상기 쌍의 컬럼 라인의 제 2 컬럼 라인은 픽셀의 제 2 컬럼의 교번하는 픽셀에 접속되며, 상기 제 1 컬럼 라인의 픽셀은 상기 제 2 컬럼 라인의 픽셀에 대해 교번하는 로우에 있는 것을 특징으로 하는 데이터 스캐너.

청구항 8.

제 7 항에 있어서, 상기 픽셀은 직사각형 레이아웃으로 배열되는 것을 특징으로 하는 데이터 스캐너.

청구항 9.

제 7 항에 있어서, 상기 픽셀은 델타 레이아웃으로 배열되는 것을 특징으로 하는 데이터 스캐너.

청구항 10.

액정 디스플레이(LCD)를 구동시키는 방법으로서,

로우 버퍼에서 디지털 데이터를 수신하는 단계;

상기 디지털 데이터를 스위치 네트워크에 분산시키는 단계;

상기 LCD의 쌍의 컬럼 라인상에서 컬럼 로드 캐패시터를 이용하여 상기 디지털 데이터를 아날로그 데이터로 변환시키는 단계를 포함하는, 액정 디스플레이 구동 방법.

청구항 11.

제 10 항에 있어서, 상기 스위치 네트워크는 다수의 스위칭 디바이스를 포함하며, 각각의 스위칭 디바이스는 상기 LCD 컬럼 라인의 각각의 쌍에 접속되는 것을 특징으로 하는 액정 디스플레이 구동 방법.

청구항 12.

제 11 항에 있어서, 상기 스위칭 디바이스 각각은,

상기 로우 버퍼로부터 디지털 데이터를 수신하는 로직 회로; 및

상기 로직 회로로부터 수신된 디지털 데이터를 아날로그 신호로 변환시키고 각각의 컬럼 라인을 통해 상기 아날로그 데이터를 전송하는 적어도 3개의 MOSFET을 포함하는 것을 특징으로 하는 액정 디스플레이 구동 방법.

청구항 13.

제 12 항에 있어서, 상기 MOSFET은 n-채널 MOSFET인 것을 특징으로 하는 액정 디스플레이 구동 방법.

청구항 14.

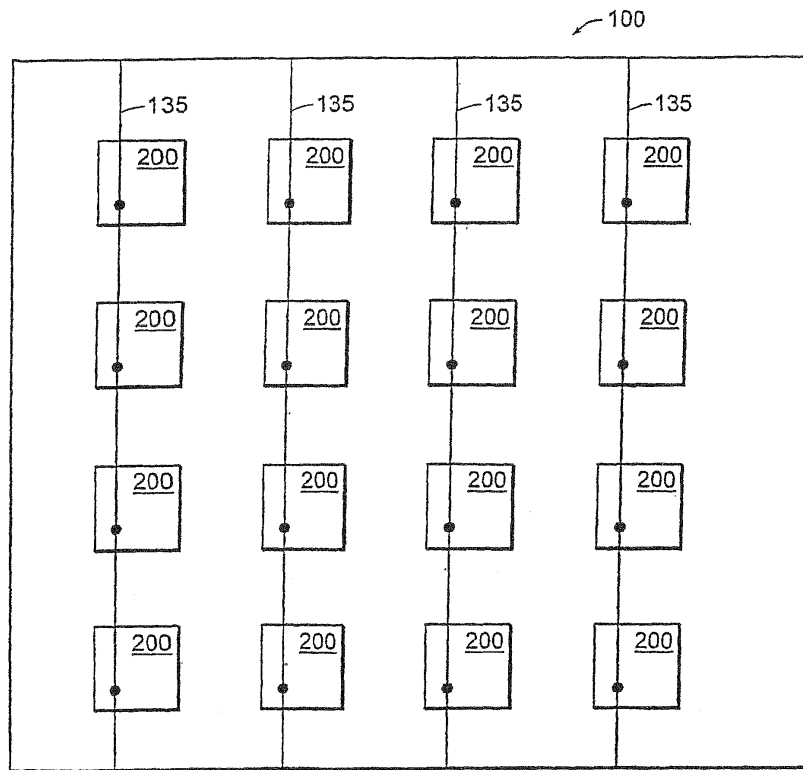
제 12 항에 있어서, 상기 MOSFET은 p-채널 MOSFET인 것을 특징으로 하는 액정 디스플레이 구동 방법.

청구항 15.

제 12 항에 있어서, 상기 MOSFET은 n-채널 MOSFET과 p-채널 MOSFET의 조합인 것을 특징으로 하는 액정 디스플레이 구동 방법.

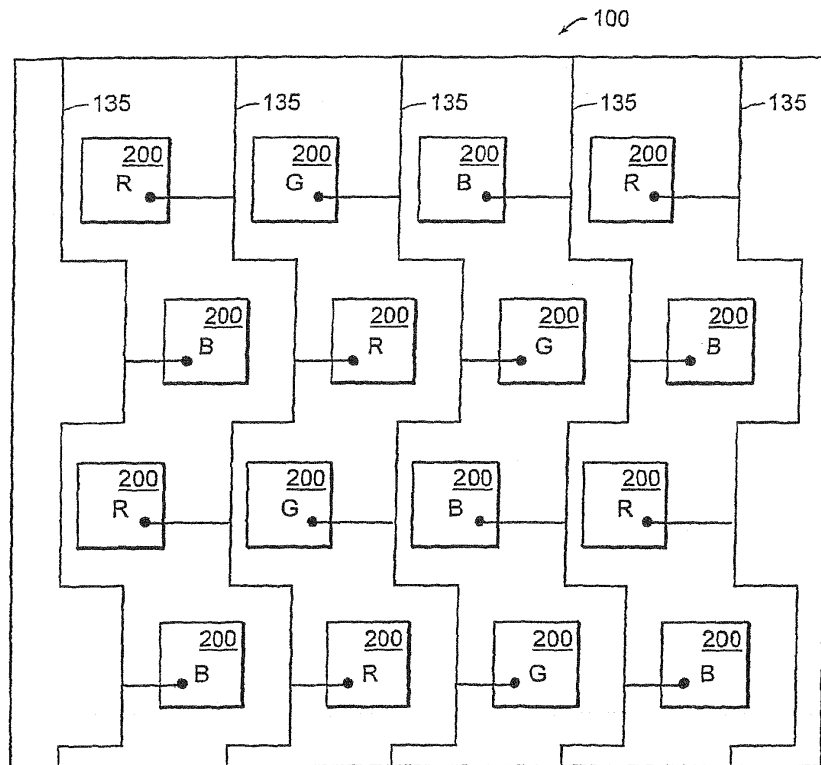
청구항 16.

도면2a



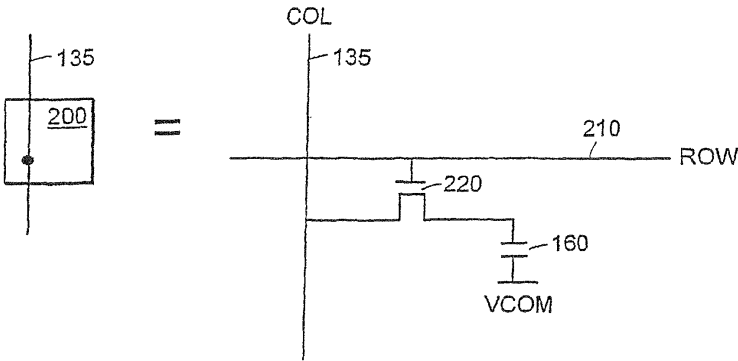
종래 기술

도면2b



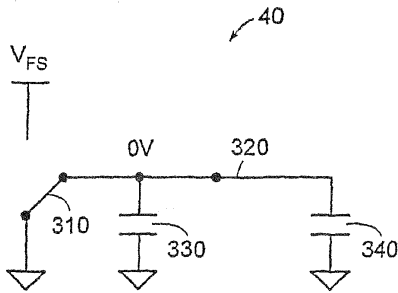
종래 기술

도면2c



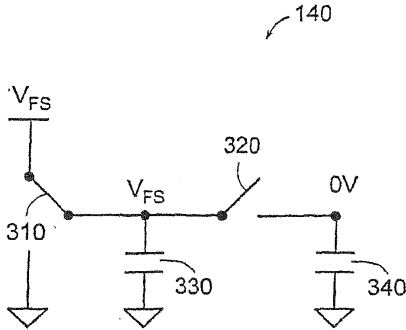
종래 기술

도면3a



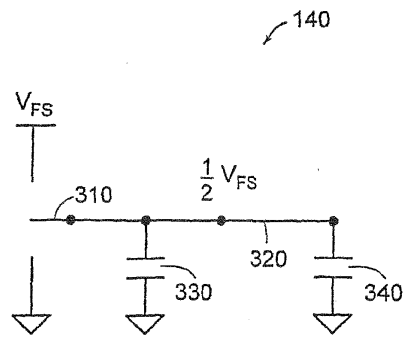
시 작
종래 기술

도면3b



LSB = 1
종래 기술

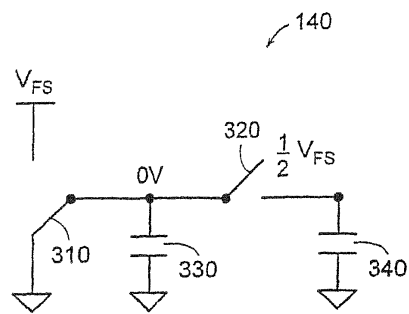
도면3c



등 가

종래 기술

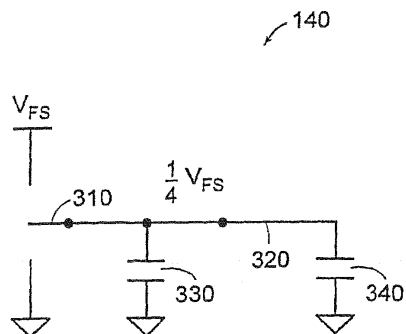
도면3d



Bit₁ = 0

종래 기술

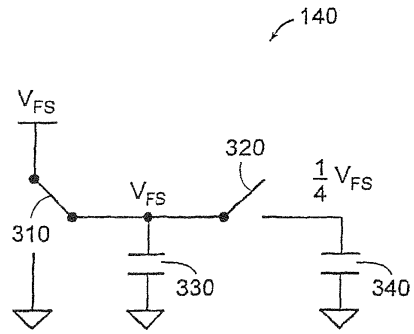
도면3e



등 가

종래 기술

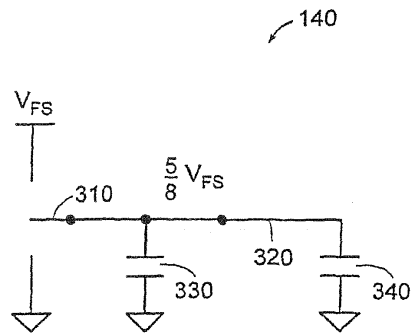
도면3f



Bit₂ = 1

종래 기술

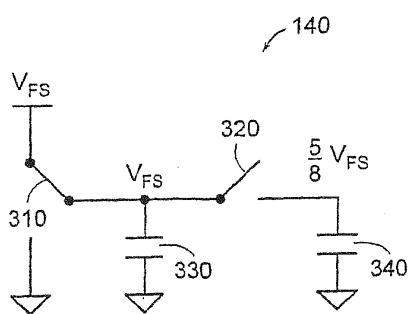
도면3g



등가

종래 기술

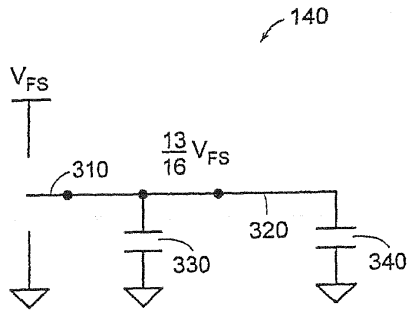
도면3h



MSB = 1

종래 기술

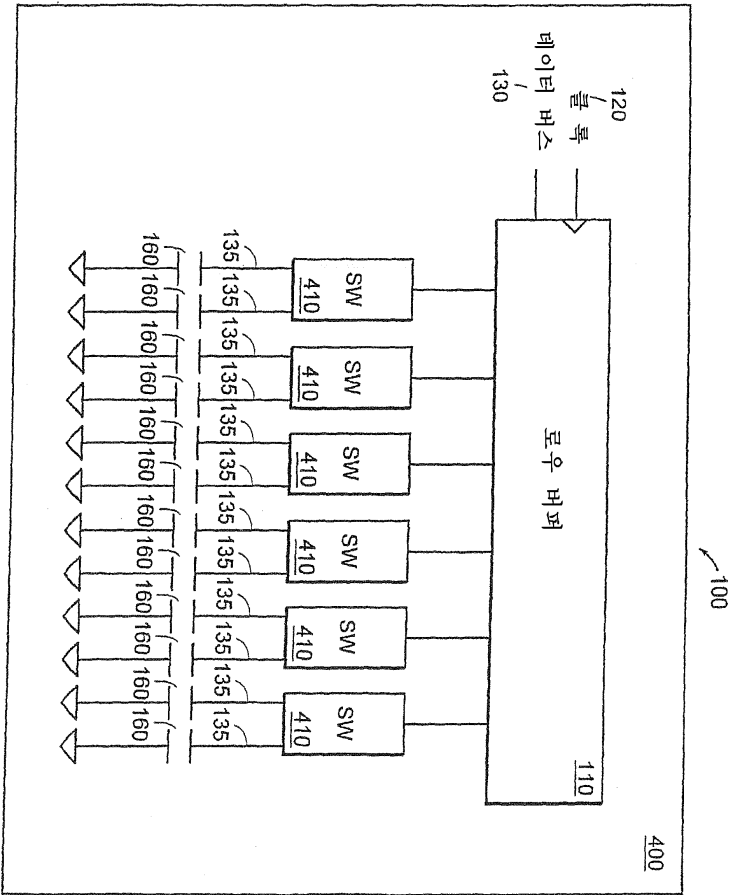
도면3i



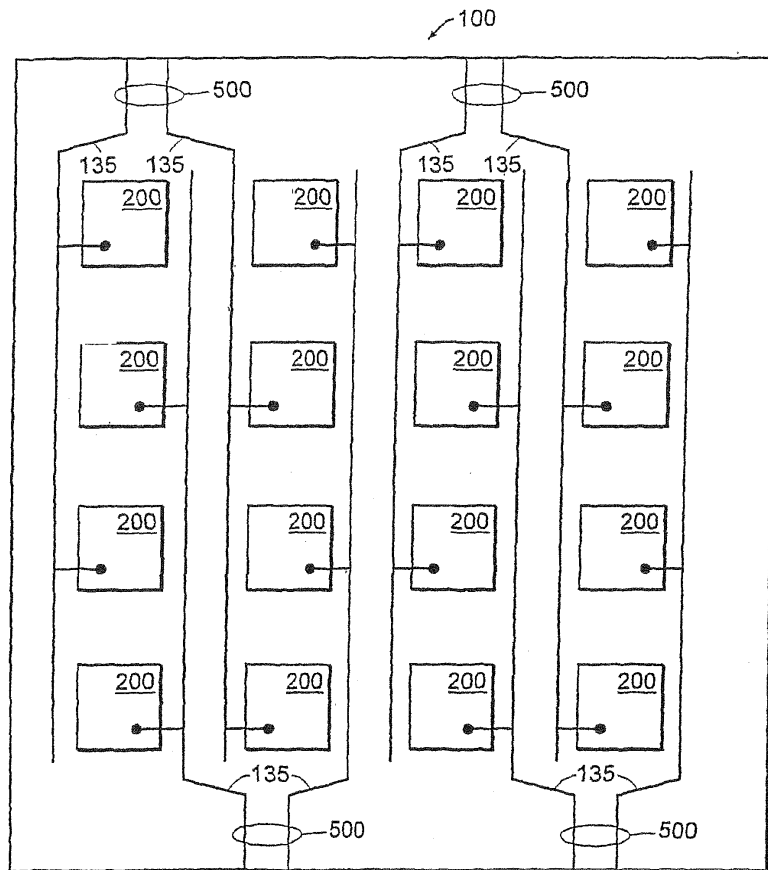
완 료

종래 기술

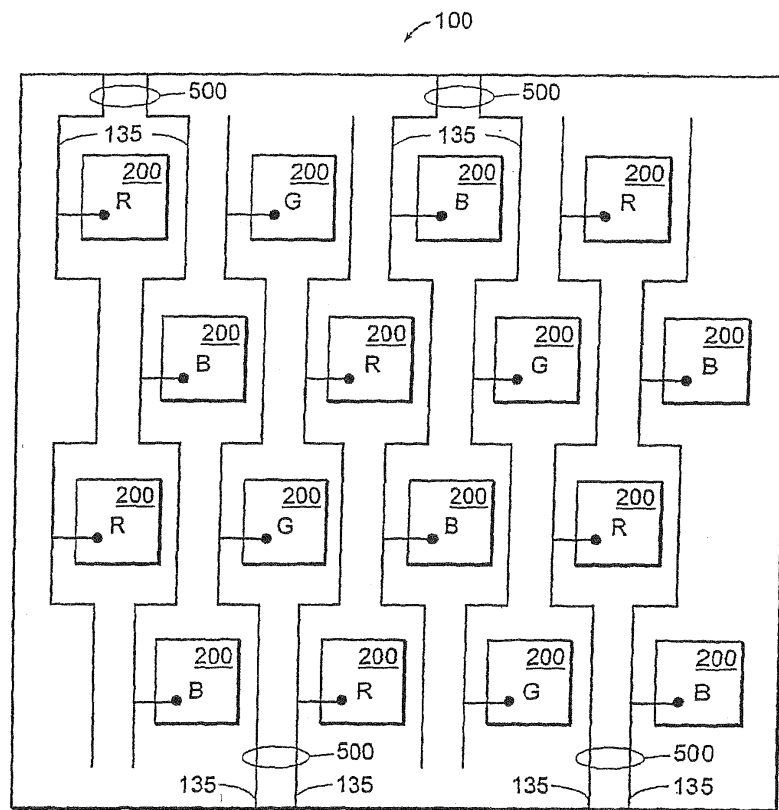
도면4



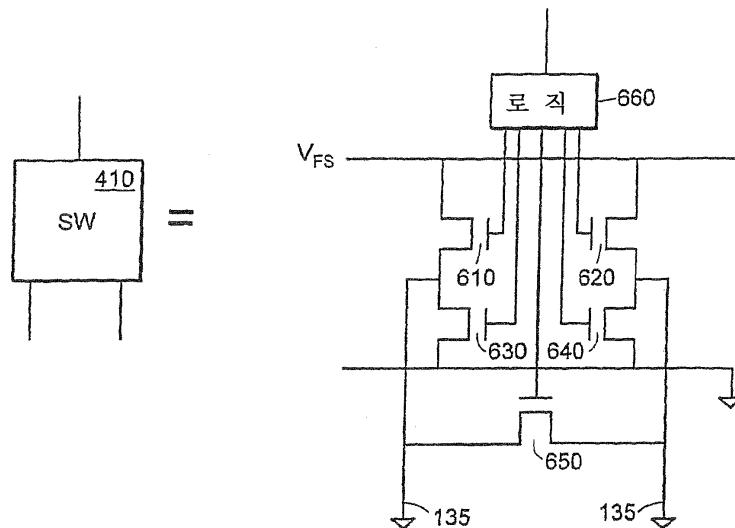
도면5a



도면5b



도면6



专利名称(译)	带集成数模转换器的液晶显示器		
公开(公告)号	KR1020050097542A	公开(公告)日	2005-10-07
申请号	KR1020057014561	申请日	2004-02-10
[标]申请(专利权)人(译)	寇平公司		
申请(专利权)人(译)	棺材公司		
当前申请(专利权)人(译)	棺材公司		
[标]发明人	HERRMANN FREDERICK P		
发明人	HERRMANN, FREDERICK, P.		
IPC分类号	G09G3/36 G02F1/1335 H03M1/66 G09G3/20		
CPC分类号	G09G2300/0439 G09G2300/0452 G09G2310/027 G09G2300/0408 G09G3/3607 G09G3/3688 G09G3/3648		
优先权	60/446651 2003-02-11 US		
外部链接	Espacenet		

摘要(译)

本发明的装置和方法可以使用LCD的一对列线上的列负载电容将数字数据转换为模拟数据。该装置包括包括数字数据的数据总线。低缓冲器耦合到数据总线以接收和分配数字数据。开关网络耦合到行缓冲器，以使用该对LCD的列线上的列负载电容将从行缓冲器接收的数字数据转换为模拟数据。 4

