

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G09G 3/36

(11) 공개번호 10-2005-0096801  
(43) 공개일자 2005년10월06일

(21) 출원번호 10-2004-0056811  
(22) 출원일자 2004년07월21일

(30) 우선권주장 093108464 2004년03월29일 대만(TW)

(71) 출원인 노바텍 마이크로일렉트로닉스 코퍼레이션  
대만 흐신츄 싸이언스 베이스트 인더스트리얼 파크 이노베이션 로드 I 13호 2층

(72) 발명자 린체-리  
대만 타이페이 씨티 115 난강 디스트릭트 종포 엔. 로드 넘버 92 8층-6

(74) 대리인 리엔목특허법인

심사청구 : 있음

(54) 액정 표시 장치의 구동 회로

요약

액정 표시 장치의 구동 회로가 제공되어 있다. 상기 액정 표시 장치의 구동 회로는, 상기 액정 표시 장치를 구성하는 복수개의 박막 트랜지스터들을 선택적으로 구동하기 위한 복수개의 게이트 드라이버들; 이미지 신호를 수신하기 위한 복수개의 소스 드라이버들로서, 상기 액정 표시 장치 상에 이미지를 표시하기 위해 상기 복수개의 게이트 드라이버들과 협동하고, 복수개의 소스 드라이버들 각각이 조정가능한 공통 전압 생성 회로를 더 포함하며, 각각의 조정가능한 공통 전압 생성 회로가, 공통 전압 조정가능 데이터 및 클럭 신호를 기초로 하여, 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 각각의 공통 전압을 동일하게 하거나 또는 액정 표시 장치 패널의 ITO 층에 출력된 각각의 공통 전압을 동일하게 하도록 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 공통 전압을 보상하는 복수개의 소스 드라이버들; 및 제어 신호 및 데이터 흐름을 상기 복수개의 게이트 드라이버들 및 상기 복수개의 소스 드라이버들에 제공하고 상기 공통 전압 조정가능 데이터를 각각의 조정가능한 공통 전압 생성 회로에 제공하기 위한 타이밍 시퀀스 제어기를 포함한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 전형적인 공통 전압 회로 레이아웃 및 전압 조정 회로를 보여주는 도면.

도 2는 본 발명의 제1 실시예에 따른 공통 전압 회로 레이아웃 및 LCD의 구동 회로를 보여주는 도면.

도 3은 본 발명의 제2 실시예에 따른 공통 전압 회로 레이아웃 및 LCD의 구동 회로를 보여주는 도면.

도 4는 도 3의 타이밍 제어기에 대한 블록 선도.

도 5는 도 4의 조정가능한 공통 전압 데이터 생성기에 대한 블록 선도.

도 6은 본 발명의 한 실시예에 따라 상기 공통 전압 데이터 생성기를 지니는 소스 드라이버에 대한 다이어그램.

도 7은 본 발명의 한 실시예에 따라 상기 공통 전압 데이터 생성기를 지니는 게이트 드라이버에 대한 다이어그램.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일반적으로 기술하면, 액정 표시 장치(liquid crystal display; LCD)의 구동 회로에 관한 것이며, 보다 구체적으로 기술하면, 균일한 공통 전압 분포의 제공이 가능한 구동 회로에 관한 것이다.

최근에, 이미지 표시 기법이 향상됨에 따라, 상당 수의 전형적인 CRT 모니터들이 평면 표시 장치(flat panel display)들로 대체되었다. 상기 평면 표시 장치들 중에서, 박막 트랜지스터 액정 표시 장치(thin-film transistor liquid crystal display; TFT-LCD)가 가장 일반적인 것이다. 그 외에도, 발광 다이오드들 또는 플라즈마를 사용하는 평면 표시 장치는 또한 지금까지보다 점점 더 일반화되어 왔다.

상기 평면 표시 장치의 표시부는 픽셀 어레이를 포함한다. 상기 픽셀 어레이는 일반적으로 행렬 매트릭스(row-column matrix)이다. 그러한 픽셀들은 드라이버들에 의해 제어된다. 드라이버들은 래스터화(rasterization)된 이미지 데이터에 따라 대응하는 픽셀들을 구동하고, 상기 픽셀들은 규정 시간에 지정된 컬러들을 표시한다.

LCD 패널은 ITO 층을 포함한다. 상기 ITO 층은 공통 전압에 접속되어 있다. 상기 TFT-LCD 패널의 크기가 증가함에 따라, 상기 공통 전압의 레이아웃의 길이가 보다 길어진다. 그 결과, 상기 ITO 층 상의 공통 전압 분포의 균일성이 보다 나빠진다. 이러한 공통 전압 분포의 불균일성은 상기 ITO 층의 저항을 감소시킴으로써 해결될 수 있다. 그 외에도, 상기 공통 전압 공급 및 응답의 개선으로 플리커(flicker)가 더 개선될 수 있고, 패널 및 구동기 레이아웃의 개선으로 상기 공통 전압 분포의 균일성이 개선될 수 있다. 그러나, 공통 전압 강하는 그의 본래 구조에 기인하여 효율적으로 보상될 수 없다.

도 1은 전형적인 공통 전압 배선 레이아웃 및 전압 조정 회로를 보여주는 도면이다. 도 1을 참조하면, 공통 전압(Vcom)은 조정가능한 저항기(18a)로 전압 공급 VDD를 분할함으로써 획득되고 OP 버퍼(18b)에 의해 증폭되어 전체 패널(12) 상의 부하를 구동시킨다. 전압 분할기의 미세 조정은 상기 저항기의 기계식 트리머에 의해 구현될 수 있다. 각각의 패널에 대한 가장 양호한 공통 전압이 약간 상이하기 때문에, 상기 패널이 공장으로부터 출하되기 전에, 상기 공통 전압의 조정이 필요하다. 상기 트리머(18c)는 일반적으로 도 1에 도시된 바와 같이, 구동 회로 보드(14)의 한 단에 배치된다. OP 버퍼(18b) 및 저항기 트리머(18a/18c)는 상기 패널(12) 및 구동 회로 보드(14)의 타 단 상에 배치된다. 상기 TFT-LCD의 유리 기판 상의 공통 전압 배선(16)은 소스 드라이버 측으로부터 상기 구동 회로 보드(14)를 통해 상기 버퍼(18b)에 연결된다.

이러한 구조 하에서는, 상기 버퍼(18b)의 출력 전압은 상기 공통 전압 a 선(16)을 통해 상기 패널(12) 상의 모든 점들(예컨대, 점(A,B,C)들)에 전송된다. 고정된 공통 전압(Vcom)은 상기 공통 전압 배선(16)에 기인하여 예컨대 점(A)에서 점(C)으로 강하하기 때문에 상기 패널(12) 상의 공통 전압 분포가 불균일하다.

그러므로, 어떠한 방식으로 표시 품질을 향상시키고 상기 공통 전압 분포의 불균일성을 개선해야 하는지는 매우 중요하다. 전형적인 회로 특징들에 기인하여, 상기 공통 전압(Vcom)의 전압 강하는 효율적으로 개선될 수 없다. 어떠한 방식으로 상기 공통 전압 배선 및 회로를 수정해야 하는지는 중요한 문제가 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 ITO 층 상의 공통 전압 분포가 보다 균일해짐으로써 표시 품질을 향상시키기 위한 LCD의 구동 회로를 제공하는 것이다.

본 발명의 제2 목적은 ITO 층 상의 공통 전압 분포가 보다 균일해지도록 공통 전압을 자동 조정하기 위한 LCD의 구동 회로를 제공하는 것이다.

본 발명의 제3 목적은 게이트 드라이버 및 소스 드라이버가 공통 전압에 대하여 서로 다른 보상 전압을 생성함으로써 각각의 공통 전압을 트리밍(trimming)하여 보다 균일한 공통 전압 분포를 획득할 수 있게 하기 위한 LCD의 구동 회로를 제공하는 것이다.

### 발명의 구성 및 작용

본 발명은 ITO 층 상의 공통 전압 분포가 보다 균일해짐으로써 표시 품질을 향상시키기 위한 LCD의 구동 회로에 관한 것이다.

본 발명은 ITO 층 상의 공통 전압 분포가 보다 균일해지도록 공통 전압을 자동 조정하기 위한 LCD의 구동 회로에 관한 것이다.

본 발명은 게이트 드라이버 및 소스 드라이버가 공통 전압에 대하여 서로 다른 보상 전압을 생성함으로써 각각의 공통 전압을 미세조정(trimming)하여 보다 균일한 공통 전압 분포를 획득할 수 있게 하기 위한 LCD의 구동 회로에 관한 것이다.

본 발명의 제1 실시예에 의하면, 상기 구동 회로는 복수개의 게이트 드라이버들, 복수개의 소스 드라이버들 및 타이밍 시퀀스 제어기를 포함한다. 상기 게이트 드라이버들은 액정 표시 장치를 구성하는 복수개의 박막 트랜지스터들을 선택적으로 구동하기에 적합하다. 상기 소스 드라이버들은 이미지 신호를 수신하기에 적합하고, 상기 복수개의 소스 드라이버들은 액정 표시 장치 상에 이미지를 표시하도록 상기 복수개의 게이트 드라이버들과 협동한다. 상기 복수개의 소스 드라이버들 각각은 조정가능한 공통 전압 생성 회로를 포함하며, 각각의 조정가능한 공통 전압 생성 회로는, 공통 전압 조정가능 데이터 및 클럭 신호를 기초로 하여, 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 각각의 공통 전압을 실질적으로 동일하게 하거나 또는 액정 표시 장치 패널의 ITO 층에 출력된 각각의 공통 전압을 실질적으로 동일하게 하도록 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 공통 전압을 보상한다. 상기 타이밍 시퀀스 제어기는 제어 신호 및 데이터 흐름을 상기 복수개의 게이트 드라이버들 및 상기 복수개의 소스 드라이버들에 제공하고 상기 공통 전압 조정가능 데이터를 각각의 조정가능한 공통 전압 생성 회로에 제공하기에 적합하다.

본 발명의 한 실시예에 있어서, 상기 조정가능한 공통 전압 생성 회로는 디지털 인터페이스, 디지털-아날로그 변환기 및 출력 버퍼를 포함한다. 상기 디지털 인터페이스는 상기 공통 전압 조정가능 데이터 및 상기 클럭 신호를 수신하기에 적합하다. 상기 디지털-아날로그 변환기는 상기 디지털 인터페이스에 연결되고 상기 공통 전압 조정가능 데이터를 기초로 하여 아날로그 신호를 생성하기에 적합하다. 상기 출력 버퍼는 상기 디지털-아날로그 변환기에 연결되고 상기 공통 전압의 부하를 구동하도록 상기 아날로그 신호를 기초로 하여 상기 공통 전압을 생성하기에 적합하다.

상기 구조를 사용함으로써, 각각의 소스 드라이버 또는/및 각각의 게이트 드라이버의 공통 전압 생성기는 공통 전압 분포의 불균일성을 해결하기 위해 동일한 공통 전압을 출력하는 것이 가능하다.

본 발명의 한 실시예에 있어서, 상기 디지털 인터페이스는 직렬 데이터 인터페이스, 병렬 디지털 인터페이스, 단일 단자 디지털 인터페이스 및 차동(differ-ential) 디지털 인터페이스 중 적어도 하나를 포함한다. 상기 디지털 인터페이스는 시프트 레지스터 및/또는 래치를 포함하며, 출력 버퍼는 연산 증폭기를 포함한다.

본 발명의 한 실시예에 있어서, 상기 타이밍 시퀀스 제어기는 타이밍 시퀀스 제어 유닛 및 공통 전압 조정가능한 데이터 생성 유닛을 포함한다. 상기 타이밍 시퀀스 제어 유닛은 상기 제어 신호 및 상기 데이터 흐름을 제공하기에 적합하며, 상기 공통 전압 조정가능 데이터 생성 유닛은 상기 타이밍 시퀀스 제어 유닛에 연결되고 상기 공통 전압 조정가능 데이터를 생성하기에 적합하다. 상기 공통 전압 조정가능한 데이터 생성 유닛의 동작 타이밍 시퀀스는 상기 타이밍 시퀀스 제어 유닛에 의해 제어된다.

본 발명의 한 실시예에 있어서, 상기 공통 전압 조정가능한 데이터 생성 유닛은 프로세싱 유닛, 저장 유닛 및 인터페이스 유닛을 포함한다. 상기 프로세싱 유닛은 공통 전압 조정가능 데이터를 생성하도록 입력 데이터를 기초로 하여 최적의 공통 전압 데이터를 획득하기에 적합하다. 상기 저장 유닛은 상기 프로세싱 유닛에 연결되며 상기 최적의 공통 전압 데이터를 저장하기에 적합하다. 상기 인터페이스 유닛은 상기 프로세싱 회로에 연결되어 있으며 상기 공통 전압 조정가능 데이터를 상기 조정가능한 공통 전압 생성 회로에 출력하기에 적합하다.

위에서 언급된 설명은 선행 기술에 있어서의 몇가지 결함들 및 본 발명의 이점들에 대한 간단한 설명이다. 본 발명의 다른 특징들, 이점들 및 실시예들은 당업자라면 이하의 설명, 첨부 도면 및 청구범위로부터 자명해질 것이다.

도 2는 본 발명의 제1 실시예에 따른 공통 전압 배선 레이아웃 및 LCD의 구동 회로를 보여주는 도면이다. 도 2의 구조는 도 1의 개선된 구조이다. 도 2에 도시된 바와 같이, 본래 회로 보드(130) 상에 배치된 버퍼가 각각의 소스 드라이버(110) 및 각각의 게이트 드라이버(112) 내측에(예컨대, 도 2의 위치(112a,110a))에 배치된다. 공통 전압 배선(120)의 레이아웃은 상기 회로 보드(130)로부터 상기 패널(100) 내측의 각각의 소스 드라이버(110) 및 (도시되지 않은) ITO 층으로 연장된다. 그 외에도, 상기 공통 전압 배선(120)은 또한 각각의 게이트 드라이버(112)가 상기 공통 전압(Vcom)을 출력할 수 있도록 각각의 게이트 드라이버(112)에 연장된다.

이러한 구조 하에서, 상기 공통 전압(Vcom)은 각각의 소스 드라이버로부터 상기 패널(100) 내측의 ITO 층으로 출력되고 조정가능한 저항기/트림머(122)는 상기 회로 보드(130) 상에 여전히 존재한다. 즉, 상기 공통 전압의 미세 조정은 수동으로 수행된다. 그러나, 버퍼(135)는 상기 소스 드라이버(110) 및 상기 게이트 드라이버(112) 내에 합체되고 상기 버퍼(135)의 입력 단자는 고 저항 노드이기 때문에, 상기 조정가능한 저항기/트림머(122) 및 상기 버퍼(135) 간에는 어떠한 전류도 흐르지 않는다. 그 결과, 각각의 소스 드라이버(110)에 의해 출력된 공통 전압(Vcom)은 보다 균일해짐으로써 선행 기술에서의 공통 전압 강하의 결점을 극복하고 플리커 문제를 해결한다.

비록 위에서 언급된 구조가 부분적으로 공통 전압 강하 문제를 해결할 수 있지만, 공통 전압의 미세 조정은 수동으로 수행된다. 보다 더 효율적으로 공통 전압 강하를 방지하기 위해 그리고 자동적으로나 또는 동적으로 상기 공통 전압을 조정하기 위해, 다음과 같은 실시예가 제안된다.

도 3은 본 발명의 제2 실시예에 따른 공통 전압 배선 레이아웃 및 LCD의 구동 회로를 보여주는 도면이다. 상기 LCD 구동 회로는 적어도 액정 표시 장치를 구성하는 복수개의 박막 트랜지스터들을 선택적으로 구동하기 위한 복수개의 게이트 드라이버(112)들 및 이미지 신호를 수신하기 위한 복수개의 소스 드라이버(110)들을 포함하며, 상기 복수개의 소스 드라이버들은 액정 표시 장치 상에 이미지를 표시하기 위해 상기 복수개의 게이트 드라이버들과 협동한다. 각각의 소스 드라이버(110)는 조정가능한 공통 전압 생성 회로(116)를 더 포함하며 각각의 조정가능한 공통 전압 생성 회로(116)는 공통 전압 조정가능 데이터(도 4 및 도 5에 도시된 바와 같은 Vcom\_data) 및 클럭 신호를 기초로 하여 각각의 조정가능한 공통 전압 생성 회로(116)로부터 출력된 공통 전압(Vcom)을 보상하여 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 각각의 공통 전압을 실질적으로 동일하게 한다. 또한, 상기 조정가능한 공통 전압 생성 회로(114)는 또한 각각의 게이트 드라이버(112) 내에 합체될 수 있음으로써 상기 공통 전압 분포가 보다 균일하게 될 수 있다. 상기 구동 회로는 제어 신호 및 데이터 흐름을 상기 복수개의 게이트 드라이버(112)들 및 상기 복수개의 소스 드라이버(110)들에 제공하기 위해 그리고 상기 공통 전압 조정가능 데이터를 조정가능한 공통 전압 생성 회로(114,116)에 제공하기 위해 타이밍 시퀀스 제어기(140)를 더 포함한다.

도 3에 도시된 바와 같이, 위에서 언급된 조정가능한 공통 전압 생성 회로(114,116)는 디지털 인터페이스(114a/116a), 및 디지털-아날로그 변환기(DAC; 114b/116b)를 더 포함한다. 상기 디지털 인터페이스(114a/116a)는 상기 공통 전압 조정가능 데이터(Vcom\_data) 및 상기 클럭 신호를 수신하기에 적합하다. 상기 디지털-아날로그 변환기(DAC; 114b/116b)는 상기 디지털 인터페이스(114a/116a)에 연결되어 있으며 상기 공통 전압 조정가능 데이터(Vcom\_data)를 기초로 하여 아날로그 신호를 생성하기에 적합하다. 출력 버퍼(114c/116c)는 상기 디지털-아날로그 변환기에 연결되어 있으며 상기 공통 전압(Vcom)의 부하를 구동하도록 상기 아날로그 신호를 기초로 하여 상기 공통 전압을 생성하기에 적합하다. 상기 디지털 인터페이스(114a/116a)는 직렬 디지털 인터페이스, 병렬 디지털 인터페이스, 단일 단자 디지털 인터페이스 및 차동 디지털 인터페이스 중 적어도 하나일 수 있다. 상기 디지털 인터페이스(114a/116a)는 예를 들면 시프트 레지스터 및/또는 래치를 포함한다. 상기 출력 버퍼(114c/116c)는 예를 들면 연산 증폭기에 의해 구성될 수 있다.

도 4는 도 3의 타이밍 제어기의 블록 선도이다. 도 4에 도시된 바와 같이, 상기 타이밍 시퀀스 제어기(140)는 타이밍 시퀀스 제어 유닛(142)을 포함하며, 그리고 공통 전압 조정가능한 데이터 생성 유닛(144)은 상기 타이밍 시퀀스 제어 유닛(142)에 연결되어 있으며 상기 공통 전압 조정가능 데이터(Vcom\_data)를 생성하기에 적합하고 또한 상기 공통 전압 조정가능 데이터(Vcom\_data)를 각각의 게이트 드라이버(112)의 공통 전압 생성기(114)에 그리고 각각의 소스 드라이버(110)의 공통 전압 생성기(116)에 출력하기에 적합하다. 상기 타이밍 시퀀스 제어 유닛(142)은 예를 들면, 전형적인 타이밍 시퀀스 제어기일 수 있으며 상기 제어 신호 및 상기 데이터 흐름을 각각의 소스 드라이버(110) 및 게이트 드라이버(112)에 제공하기에 적합할 수 있다. 상기 공통 전압 조정가능한 데이터 생성 유닛(144)은 상기 공통 전압(Vcom)을 조정하기 위한 데이터를 생성하여 상기 패널(100)의 ITO 층 상에서 상기 공통 전압(Vcom)을 동적으로 조정할 수 있음으로써, 각각의 공

통 전압은 동일하거나 실질적으로 동일할 수도 있고 상기 ITO 층 상에서의 각각의 공통 전압은 균일한 공통 전압 분포의 목적을 달성하기 위해 동일하거나 또는 실질적으로 동일할 수도 있다. 상기 공통 전압 조정가능한 데이터 생성 유닛(144)에 대한 동작 타이밍 시퀀스는 상기 타이밍 시퀀스 제어 유닛(142)에 의해 제어된다.

도 5는 도 4의 공통 전압 조정가능한 데이터 생성 유닛의 블록 선도이다. 상기 공통 전압 조정가능한 데이터 생성 유닛(144)은 프로세싱 유닛(144a), 저장 유닛(144b) 및 인터페이스 유닛(144c)을 포함한다. 상기 프로세싱 유닛(144a)은 상기 타이밍 시퀀스 제어 유닛(142)으로부터 입력 데이터를 수신한다. 상기 프로세싱 유닛(144a)은 마이크로 프로세싱 유닛일 수 있다. 상기 저장 유닛(144b)은 상기 공통 전압의 조정 또는 미세 조정에 관한 데이터를 저장하기 위해 상기 프로세싱 유닛에 연결되어 있다. 상기 프로세싱 유닛(144a)은 수신된 입력 데이터를 기초로 하여 저장 유닛(144b)으로부터 상기 공통 전압의 조정 또는 미세 조정량에 관한 데이터를 획득한다. 그 후, 상기 프로세싱 유닛(144a)은 상기 인터페이스(144c)를 통해 상기 타이밍 시퀀스 제어기(140)로부터 상기 공통 전압의 조정 또는 미세 조정량에 관한 데이터를 출력시킨다.

도 3을 참조하면, 상기 공통 전압 조정가능 데이터(Vcom\_data)는, 상기 인터페이스(144c)를 통해 상기 타이밍 시퀀스 제어기(140)로부터 출력된 후, 각각의 소스 드라이버(110)의 공통 전압 생성기(116) 및 각각의 게이트 드라이버(112)의 공통 전압 생성기(114)에 전송된다. 이후, 상기 공통 전압 생성기(114,116)들은 상기 공통 전압(Vcom)을 상기 패널(100)의 ITO 층에 출력시킨다. 이러한 구조 하에서, 각각의 소스 드라이버(110) 및 게이트 드라이버(112)의 공통 전압 생성기(114,116)들이 서로 다른 공통 전압 보상량을 생성하기 때문에, 상기 공통 전압 생성기(114,116)들로부터 출력된 최종의 공통 전압들은 동일하거나 실질적으로 동일하고 또한 상기 ITO 층 상의 공통 전압들은 동일하거나 실질적으로 동일하다. 그 결과, 상기 ITO 층 상의 공통 전압(Vcom)은 플리커를 제거하기 위해 보다 균일해진다.

도 6은 본 발명의 공통 전압 데이터 생성기를 지닌 소스 드라이버에 대한 다이어그램이다. 도 6에 도시된 바와 같이, 상기 소스 드라이버(110)는 통상적인 소스 드라이버(110b)(즉, 도 6에서의 RSDS 수신기, 데이터 레지스터, 시프트 레지스터, 라인 래치, 레벨 시프터, DAC 및 출력 버퍼) 외에도, 상기 공통 전압 생성기(116)를 더 포함한다. 상기 소스 드라이버(110b)의 기능 및 구조는 선행 기술과 유사함으로써 이를 설명하지 않기로 한다. 상기 공통 전압 생성기(116)는 디지털 인터페이스(116a), DAC(116b) 및 출력 버퍼(116c)를 포함한다.

상기 디지털 인터페이스(116a)는 공통 전압 조정가능한 데이터 생성 유닛(144)으로부터 공통 전압 조정가능 데이터(Vcom\_data)를 수신한다. 그 후, 상기 DAC(116b)는 상기 디지털 인터페이스(116a)로부터의 공통 전압 조정가능 데이터(Vcom\_data)를 기초로 하여 아날로그 신호를 생성한다. 그 후, 상기 출력 버퍼(116c)는 상기 아날로그 신호를 증폭하여 상기 공통 전압(Vcom)을 생성한다. 상기 DAC(116b)는 임의 종류의 DAC일 수 있으며 미세 조정될 수 있다.

그 결과, 위에서 언급된 구조를 사용함으로써, 본 발명은 단일 모듈 내에 통상적인 소스 드라이버 및 상기 공통 전압 생성기를 조합한다. 본 발명의 소스 드라이버를 통해, 모든 소스 드라이버들은 상기 공통 전압(Vcom)을 상기 패널의 ITO 층에 출력시킨다. 그 외에도, 모든 소스 드라이버들 내의 공통 전압 생성기들이 특정 조건들을 기초로 하여 서로 다른 공통 전압 보상량을 생성하기 때문에, 상기 ITO 층 상의 공통 전압들은 동일하거나 또는 실질적으로 동일하다. 그 결과, 상기 ITO 층 상의 공통 전압들은 플리커를 제거하기 위해 보다 균일해진다.

도 7은 본 발명의 공통 전압 데이터 생성기를 지닌 게이트 드라이버에 대한 다이어그램이다. 도 7에 도시된 바와 같이, 상기 게이트 드라이버(112)는, 통상적인 게이트 드라이버(112b)(즉, 도 7에서의 RSDS 수신기, 데이터 레지스터, 시프트 레지스터, 라인 래치, 레벨 시프터, DAC 및 출력 버퍼) 외에도, 상기 공통 전압 생성기(114)를 더 포함한다. 상기 게이트 드라이버(112b)의 기능 및 구조는 선행 기술과 유사함으로써 본 명세서에서 그의 설명은 생략한다. 상기 공통 전압 생성기(114)는 디지털 인터페이스(114a), DAC(114b) 및 출력 버퍼(114c)를 포함한다.

상기 디지털 인터페이스(114a)는 공통 전압 조정가능한 데이터 생성 유닛(144)으로부터 공통 전압 조정가능 데이터(Vcom\_data)를 수신한다. 그 후, 상기 DAC(114b)는 상기 디지털 인터페이스(114a)로부터의 공통 전압 조정가능 데이터(Vcom\_data)를 기초로 하여 아날로그 신호를 생성한다. 그 후, 상기 출력 버퍼(114c)는 상기 아날로그 신호를 증폭하여 상기 공통 전압(Vcom)을 생성한다. 상기 DAC(114b)는 임의 종류의 DAC일 수 있으며 미세 조정될 수 있다.

그 결과, 위에서 언급된 구조를 사용함으로써, 본 발명은 단일 모듈 내에 상기 통상적인 게이트 드라이버 및 상기 공통 전압 생성기를 조합한다. 본 발명의 게이트 드라이버를 통해, 모든 게이트 드라이버들이 상기 패널의 ITO 층에 상기 공통 전압(Vcom)을 출력시킨다. 그 외에도, 모든 소스 드라이버들 내의 공통 전압 생성기들이 특정 조건들을 기초로 하여 서로 다른 공통 전압 보상량을 생성하기 때문에, 상기 ITO 층 상의 공통 전압들은 동일하거나 또는 실질적으로 동일하다. 그 결과, 상기 ITO 층 상의 공통 전압들은 플리커를 제거하도록 보다 균일해진다.

본 발명의 한 실시예에 있어서, 위에서 언급된 공통 전압 생성기는 상기 소스 드라이버 및 상기 게이트 드라이버 내에 배치될 수 있다. 그 결과, 각각의 소스 드라이버 또는/및 각각의 게이트 드라이버 내의 공통 전압 생성기는 공통 전압 분포의 불균일성을 해결하기 위해 동일한 공통 전압을 출력시킨다.

지금까지 본 발명이 한 바람직한 실시예로 설명되었지만, 이러한 설명은 본 발명을 제한하려고 의도된 것이 아니다. 상기 실시예의 여러 변형예들이 당업자라면 자명해질 것이다. 그러므로, 첨부된 청구항들이 본 발명의 진정한 범위에 속하는 그러한 변형예들 또는 실시예들을 포함하는 것이라고 생각된다.

### 발명의 효과

본 발명은 복수개의 게이트 드라이버들, 복수개의 소스 드라이버들 및 타이밍 시퀀스 제어기를 포함함으로써, ITO 층 상의 공통 전압 분포가 보다 균일해짐으로써 표시 품질을 향상시키고, ITO 층 상의 공통 전압 분포가 보다 균일해지도록 공통 전압을 자동 조정하고, 게이트 드라이버 및 소스 드라이버가 공통 전압에 대하여 서로 다른 보상 전압을 생성함으로써 각각의 공통 전압을 미세조정(trimming)하여 보다 균일한 공통 전압 분포를 획득할 수 있게 한다.

### (57) 청구의 범위

#### 청구항 1.

액정 표시 장치의 구동 회로에 있어서,

상기 액정 표시 장치를 구성하는 복수개의 박막 트랜지스터들을 선택적으로 구동하기 위한 복수개의 게이트 드라이버들;

이미지 신호를 수신하기 위한 복수개의 소스 드라이버들로서, 상기 액정 표시 장치 상에 이미지를 표시하기 위해 상기 복수개의 게이트 드라이버들과 협동하고, 복수개의 소스 드라이버들 각각이 조정가능한 공통 전압 생성 회로를 더 포함하며, 각각의 조정가능한 공통 전압 생성 회로가, 공통 전압 조정가능 데이터 및 클럭 신호를 기초로 하여, 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 각각의 공통 전압을 동일하게 하거나 또는 액정 표시 장치 패널의 ITO 층에 출력된 각각의 공통 전압을 동일하게 하도록 각각의 조정가능한 공통 전압 생성 회로로부터 출력된 공통 전압을 보상하는 복수개의 소스 드라이버들; 및

제어 신호 및 데이터 흐름을 상기 복수개의 게이트 드라이버들 및 상기 복수개의 소스 드라이버들에 제공하고 상기 공통 전압 조정가능 데이터를 각각의 조정가능한 공통 전압 생성 회로에 제공하는 타이밍 시퀀스 제어기를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

#### 청구항 2.

제1항에 있어서, 상기 조정가능한 공통 전압 생성 회로는,

상기 공통 전압 조정가능 데이터 및 클럭 신호를 수신하는 디지털 인터페이스;

상기 디지털 인터페이스에 연결되어 상기 공통 전압 조정가능 데이터를 기초로 하여 아날로그 신호를 생성하는 디지털-아날로그 변환기; 및

상기 디지털-아날로그 변환기에 연결되어 상기 공통 전압의 부하를 구동하도록 상기 아날로그 신호를 기초로 하여 상기 공통 전압을 생성하는 출력 버퍼를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

#### 청구항 3.

제2항에 있어서, 상기 디지털 인터페이스는 직렬 디지털 인터페이스, 병렬 디지털 인터페이스, 단일 단자 디지털 인터페이스 및 차동 디지털 인터페이스 중 적어도 하나를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 4.**

제2항에 있어서, 상기 디지털 인터페이스는 시프트 레지스터를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 5.**

제2항에 있어서, 상기 디지털 인터페이스는 래치를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 6.**

제2항에 있어서, 상기 출력 버퍼는 연산 증폭기를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 7.**

제2항에 있어서, 상기 타이밍 시퀀스 제어기는,

상기 제어 신호 및 상기 데이터 흐름을 제공하는 타이밍 시퀀스 제어 유닛; 및

상기 타이밍 시퀀스 제어 유닛에 연결되어 공통 전압 조정가능 데이터를 생성하는 공통 전압 조정가능한 데이터 생성 유닛을 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 8.**

제7항에 있어서, 상기 공통 전압 조정가능한 데이터 생성 유닛용 동작 타이밍 시퀀스는 상기 타이밍 시퀀스 제어 유닛에 의해 제어되는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 9.**

제7항에 있어서, 상기 공통 전압 조정가능한 데이터 생성 유닛은,

상기 공통 전압 조정가능 데이터를 생성하도록 입력 데이터를 기초로 하여 최적의 공통 전압 데이터를 획득하는 프로세싱 유닛;

상기 프로세싱 유닛에 연결되어 상기 최적의 공통 전압 데이터를 저장하는 저장 유닛; 및

상기 프로세싱 유닛에 연결되어 상기 공통 전압 조정가능 데이터를 상기 조정가능한 공통 전압 생성 회로에 출력하는 인터페이스 유닛을 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

**청구항 10.**

액정 표시 장치의 구동 회로에 있어서,

상기 표시 장치를 구성하는 복수개의 박막 트랜지스터들을 선택적으로 구동하기 위한 복수개의 게이트 드라이버들로서, 복수개의 게이트 드라이버들 각각이 제1의 조정가능한 공통 전압 생성 회로를 포함하고, 각각의 제1의 조정가능한 공통 전압 생성 회로가 공통 전압 조정가능 데이터 및 클록 신호를 기초로 하여, 각각의 제1의 조정가능한 공통 전압 생성 회로로부터 출력된 각각의 공통 전압을 동일하게 하거나 또는 액정 표시 장치 패널의 ITO 층에 출력된 각각의 공통 전압을 동일하게 하도록 각각의 제1의 조정가능한 공통 전압 생성 회로로부터 출력된 공통 전압을 보상하는 복수개의 게이트 드라이버들;

이미지 신호를 수신하기 위한 복수개의 소스 드라이버들로서, 상기 액정 표시 장치 상에 이미지를 표시하도록 상기 복수개의 게이트 드라이버들과 협동하며, 복수개의 소스 드라이버들 각각이 제2의 조정가능한 공통 전압 생성 회로를 더 포함하고, 각각의 제2의 조정가능한 공통 전압 생성 회로가, 공통 전압 조정가능 데이터 및 클록 신호를 기초로 하여, 각각의 제2의 조정가능한 공통 전압 생성 회로로부터 출력된 각각의 공통 전압을 동일하게 하거나 또는 상기 액정 표시 장치 패널의 ITO 층에 출력된 각각의 공통 전압을 동일하게 하도록 각각의 제2의 조정가능한 공통 전압 생성 회로로부터 출력된 공통 전압을 보상하는 복수개의 소스 드라이버들; 및

제어 신호 및 데이터 흐름을 상기 복수개의 게이트 드라이버들 및 상기 복수개의 소스 드라이버들에 제공하며 상기 공통 전압 조정가능한 데이터를 상기 제1 및 제2의 조정가능한 공통 전압 생성 회로들 각각에 제공하는 타이밍 시퀀스 제어기를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 11.

제10항에 있어서, 상기 제1 및 제2의 조정가능한 공통 전압 생성 회로들 각각은,

상기 공통 전압 조정가능 데이터 및 상기 클록 신호를 수신하는 디지털 인터페이스;

상기 디지털 인터페이스에 연결되어 상기 공통 전압 조정가능 데이터를 기초로 하여 아날로그 신호를 생성하는 디지털-아날로그 변환기; 및

상기 디지털-아날로그 변환기에 연결되어 상기 공통 전압의 부하를 구동하도록 상기 아날로그 신호를 기초로 하여 상기 공통 전압을 생성하는 출력 버퍼를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 12.

제11항에 있어서, 상기 디지털 인터페이스는 직렬 디지털 인터페이스, 병렬 디지털 인터페이스, 단일 단자 디지털 인터페이스 및 차동 디지털 인터페이스 중 적어도 하나를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 13.

제11항에 있어서, 상기 디지털 인터페이스는 시프트 레지스터를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 14.

제11항에 있어서, 상기 디지털 인터페이스는 래치를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 15.

제11항에 있어서, 상기 출력 버퍼는 연산 증폭기를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 16.

제11항에 있어서, 상기 타이밍 시퀀스 제어기는,

상기 제어 신호 및 상기 데이터 흐름을 제공하는 타이밍 시퀀스 제어 유닛; 및

상기 타이밍 시퀀스 제어 유닛에 연결되어 상기 공통 전압 조정가능 데이터를 생성하는 공통 전압 조정가능한 데이터 생성 회로를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 17.

제16항에 있어서, 상기 공통 전압 조정가능한 데이터 생성 유닛용 동작 타이밍 시퀀스는 상기 타이밍 시퀀스 제어 유닛에 의해 제어되는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 청구항 18.

제16항에 있어서, 상기 공통 전압 조정가능한 데이터 생성 회로는,

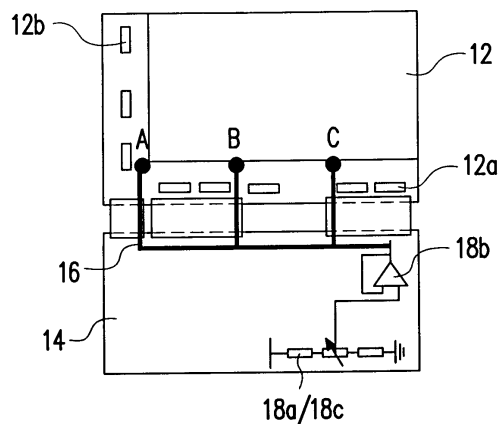
상기 공통 전압 조정가능 데이터를 생성하도록 입력 데이터를 기초로 하여 최적의 공통 전압 데이터를 획득하는 프로세싱 유닛;

상기 프로세싱 유닛에 연결되어 상기 최적의 공통 전압 데이터를 저장하는 저장 유닛; 및

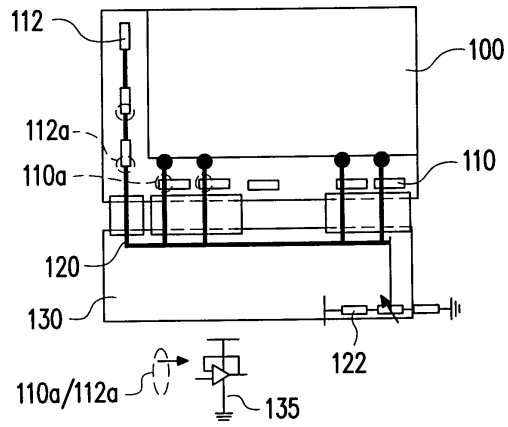
상기 프로세싱 유닛에 연결되어, 상기 제1 및 제2의 조정가능한 공통 전압 생성 회로들에 상기 공통 전압 조정가능 데이터를 출력하는 인터페이스 유닛을 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 회로.

### 도면

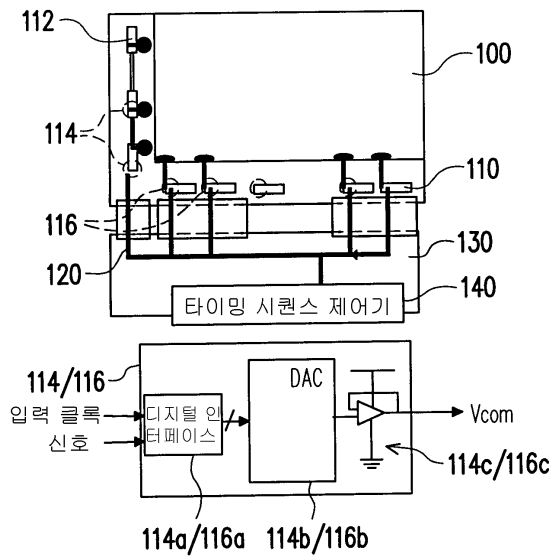
도면1



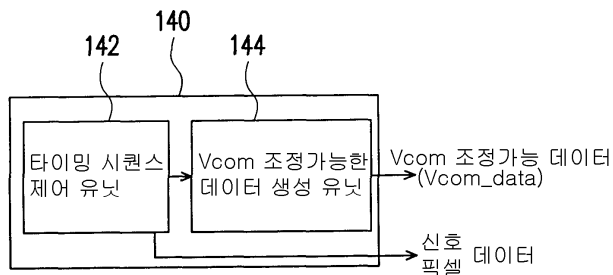
도면2



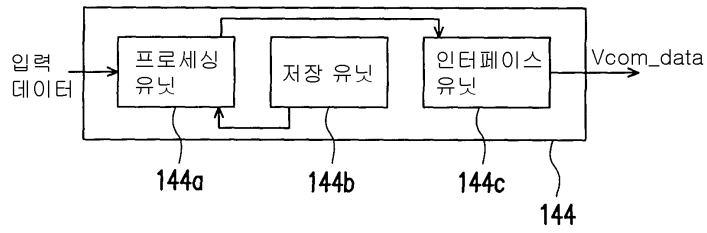
도면3



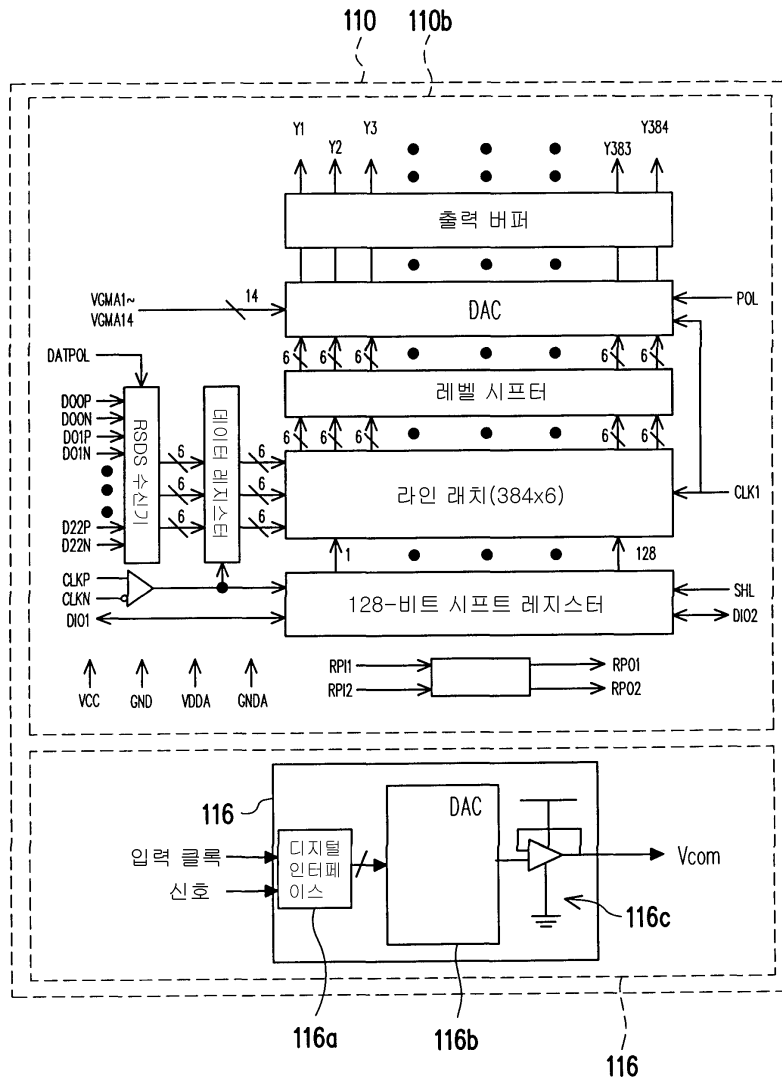
도면4



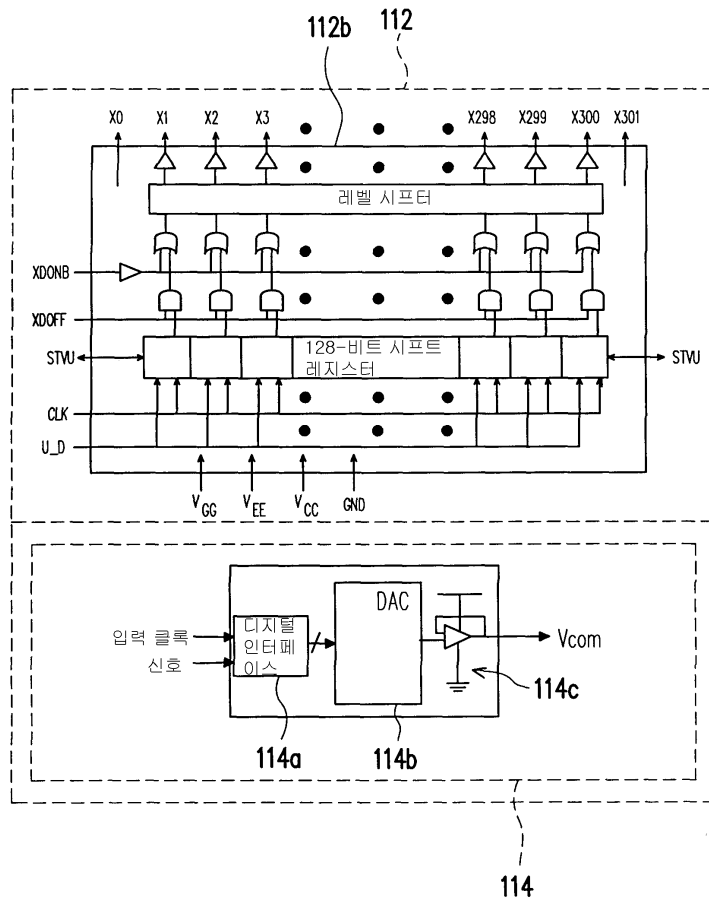
도면5



도면6



도면7



专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	<a href="#">KR1020050096801A</a>	公开(公告)日	2005-10-06
申请号	KR1020040056811	申请日	2004-07-21
[标]申请(专利权)人(译)	联咏科技股份有限公司		
申请(专利权)人(译)	老巴泰克微电子学鼻子炮升级		
当前申请(专利权)人(译)	老巴泰克微电子学鼻子炮升级		
[标]发明人	LIN CHE LI		
发明人	LIN,CHE LI		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G2310/0267 G09G2370/04 G09G3/3688 G09G2310/027 G09G3/3611 G09G3/3677 G09G3/3655 G09G2300/0426		
优先权	093108464 2004-03-29 TW		
其他公开文献	KR100606877B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种用于液晶显示装置的驱动电路。液晶显示装置的驱动电路包括多个栅极驱动器，用于选择性地驱动构成液晶显示装置的多个薄膜晶体管；作为用于接收图像信号，以显示在液晶显示装置上的图像，以及与所述多个栅极驱动器合作，还包括多个源极驱动器中的公共电压生成电路，每个调节的多个源极驱动器的每个可调节的公共电压发生器可以被配置为基于公共电压可调数据和时钟信号来均衡从各个可调节的公共电压发生器输出的相应公共电压，多个源极驱动器，用于补偿从每个可调节的公共电压产生电路输出的公共电压，以便均衡输出到该层的每个公共电压；以及时序控制器，用于向多个栅极驱动器和多个源极驱动器提供控制信号和数据流，并向每个可调节的公共电压发生器电路提供公共电压可调数据。 2

