

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0024639
(43) 공개일자 2005년03월11일

(21) 출원번호 10-2003-0060704
(22) 출원일자 2003년09월01일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 채종철
서울특별시마포구신공덕동삼성아파트102동2001호
이기흥
경기도수원시팔달구신동영통풍림3차아파트105동2106호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치의 제조 방법

요약

본 발명에 따른 액정 표시 장치의 제조 방법은 액티브 영역을 서로 인접한 제1숫과 제2숫을 포함하는 다수의 숫으로 분할 노광하여 복수의 패턴층을 형성하는 표시 장치의 제조 방법에 있어서, 상기 제1숫과 상기 제2숫의 경계 부분에 상기 제1숫 및 상기 제2숫이 중첩되는 스티치 영역을 마련하고, 상기 스티치 영역내에서 상기 제1숫에서 상기 제2숫으로 향하는 방향을 따라 상기 제1숫의 영역은 점차적으로 감소하고 상기 제2숫의 영역은 점차적으로 증가하도록 하며, 상기 제1 숫의 영역과 상기 제2 숫의 영역은 상기 각 패턴층 별로 달라지게 한다.

대표도

도 4

색인어

액정표시장치, 스티치, 난수, 분할노광, 패턴층

명세서

도면의 간단한 설명

도 1은 종래의 LCD 패널의 숫간의 경계면을 나타낸 평면도이고,

도 2는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 서로 인접한 두 숫을 나타낸 평면도이고,

도 3a 및 도 3b는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 숫간의 경계 부분인 스티치 영역을 단위 스티치 영역으로 나타낸 평면도이고,

도 4는 본 발명이 실시예에 따른 액정 표시 장치의 단위 스티치 영역을 나타내는 평면도이고,

도 5는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 단위 스티치 영역 중에서 노광 영역과 차광 영역의 위치를 결정하는 과정을 그 순서에 따라 도시한 난수(random number) 프로그램의 순서도이고,

도 6은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 7은 도 6의 박막 트랜지스터 표시판을 VII-VII' 선을 따라 잘라 도시한 단면도이고,

도 8, 도 10, 도 12 및 도 14는 각각 도 6 및 도 7에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도로서, 공정 순서대로 나열한 도면이고,

도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX' 선을 따라 잘라 도시한 단면도이고,

도 11은 도 10의 박막 트랜지스터 표시판을 XI-XI' 선을 따라 잘라 도시한 단면도이고,

도 13은 도 12의 박막 트랜지스터 표시판을 XIII-XIII' 선을 따라 잘라 도시한 단면도이고,

도 15는 도 14의 박막 트랜지스터 표시판을 XV-XV' 선을 따라 잘라 도시한 단면도이고,

도 16a 및 도 16b는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 게이트선 형성 공정 시에 슛간의 경계 부분인 스티치 영역을 단위 스티치 영역으로 나타낸 평면도이고,

도 17a 및 도 17b는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 데이터선 형성 공정 시에 슛간의 경계 부분인 스티치 영역을 단위 스티치 영역으로 나타낸 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치의 제조 방법에 관한 것으로서, 더욱 상세하게는 기판을 분할 노광하여 제조하는데 있어서 스티치 오차의 중첩에 의해 발생하는 밝기 차이를 줄이기 위한 표시 장치의 제조 방법에 관한 것이다.

일반적으로 마스크 크기보다 액정 표시 장치(liquid crystal display : 이하 LCD라 한다) 패널의 액티브 영역(active area)이 큰 경우에 이 액티브 영역에 패턴을 형성하기 위해서는 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 공정을 수행하는 분할 노광이 필요하다. 즉 하나의 액티브 영역을 둘 이상의 슛으로 노광하는 것이 필요하다. 이 경우 실제의 슛은 전이(shift), 회전(rotation), 비틀림(distortion) 등의 왜곡이 발생하기 때문에 슛 사이가 정확히 정렬되지 않아(이하에서는 이를 스티치 오차라 한다) 슛 사이의 각 배선과 화소 전극 사이에 기생 용량의 차이가 생기거나 패턴 위치의 차이가 생기게 된다.

이러한 기생 용량의 차이와 패턴 위치의 차이는 각각 LCD 패널의 각 영역의 전기적인 특성의 차이와 개구율의 차이를 초래하기 때문에, 결국 슛간에 화면 밝기의 차이를 초래하게 된다. 이러한 밝기 차이는 슛간 경계가 선으로 인식 되도록 하는 문제점을 낳는다.

도 1은 종래의 LCD 패널의 슛간의 경계면을 나타낸 평면도이다.

도 1에 도시한 바와 같이, 서로 인접한 A스ūt과 B스ūt 간의 스티치 오차에 의해 A스ūt과 B스ūt의 경계 부분에서, A스ūt과 B스ūt 간의 밝기 차이가 급변하기 때문에 사람의 눈에는 경계 부분이 띠처럼 나타나게 된다.

따라서, 종래에는 이러한 밝기 차이를 줄이기 위해 도 2에서와 같이 경계 부분이 톱니 모양으로 되도록 슛을 구성함으로써 밝기 차이를 줄이고자 하였다. 이러한 방식으로 슛을 구성하는 경우의 인접한 두 슛의 평면도가 도 2에 나타나 있듯 이 슛간의 밝기 차이의 변화는 슛의 경계 부분에서 한 단계 누그러지지만 여전히 사람의 눈에는 띠처럼 나타나게 된다. 또한 단위 스티치 영역이 클 경우에는 모자이크 문양이 나타나기도 한다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 육안으로 관찰 시, 스티치 오차에 의해 발생하는 밝기 차이의 변화를 최소화할 수 있는 액정 표시 장치의 제조 방법을 제공하기 위한 것이다.

또한, 본 발명의 다른 과제는 스티치 영역을 용이하게 결정할 수 있는 액정 표시 장치의 제조 방법을 제공하기 위한 것이다.

또한, 본 발명의 다른 과제는 스티치 영역의 중첩에 의해 발생하는 밝기 차이의 변화를 최소화 할 수 있는 액정 표시 장치의 제조 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위해 본 발명은, 액티브 영역을 서로 인접한 제1스ūt과 제2스ūt을 포함하는 다수의 슛으로 분할 노광하여 복수의 패턴층을 형성하는 표시 장치의 제조 방법에 있어서, 상기 제1스ūt과 상기 제2스ūt의 경계 부분에 상기 제1스ūt 및 상기 제2스ūt이 중첩되는 스티치 영역을 마련하고, 상기 스티치 영역내에서 상기 제1스ūt에서 상기 제2스ūt으로

향하는 방향을 따라 상기 제1숫의 영역은 점차적으로 감소하고 상기 제2숫의 영역은 점차적으로 증가하도록 하며, 상기 제1 숫의 영역과 상기 제2 숫의 영역은 상기 각 패턴층 별로 달라지는 액정 표시 장치의 제조 방법을 마련한다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

본 발명의 실시예에 따른 액정 표시 장치용 표시판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는데, 마스크 크기보다 액정 표시 장치용 표시판의 액티브 영역(active area)이 큰 경우에는 액티브 영역에 배선 또는 절연막의 패턴을 형성하기 위해서는 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 공정을 수행하는 분할 노광이 필요하다. 즉 하나의 액티브 영역을 둘 이상의 숫(shot)으로 분할 노광하는 것이 필요하다.

도 2는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 서로 인접한 숫과 숫간의 경계 부분인 스티치 영역을 나타낸 평면도이다.

도 3a 및 도 3b는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 숫간의 경계 부분인 스티치 영역에서의 단위 스티치 영역을 나타낸 평면도이다.

도 2에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서는 감광막을 도포하고 마스크를 이용한 사진 식각 공정에서 노광 공정을 분할 노광으로 실시할 때 서로 인접한 두 숫, 예를 들면, 왼쪽의 A숫(흰 부분으로 나타냄)과 오른쪽의 B숫(검은 부분으로 나타냄) 사이에 서로 중첩하는 스티치 영역을 설정하여 노광한다. 이때, 스티치 영역 중에서 A숫에서 차광 또는 노광되는 영역과 B숫에서 차광 또는 노광되는 영역은 서로 중복되지 않고, 스티치 영역을 다수의 단위 스티치 영역으로 분할하여 차광 영역과 투과 영역을 구성하고, A숫과 B숫에서 차광 영역과 투과 영역을 택일적으로 구성한다. 여기서, 스티치 영역의 분할은 다수의 단위 스티치 영역, 예를 들면, $N \times M$ 개의 단위 스티치 영역(단위 스티치 영역이라 함은 스티치 영역을 $N \times M$ (N, M 은 자연수)의 구역으로 나눌 때 기본이 되는 하나의 영역을 가리키는 것으로 한다; 이하 동일하다)으로 이루어진다.

도 3a 및 도 3b는 A숫 및 B숫 각각에서 $N \times M$ 의 단위 스티치 영역을 기본으로 하는 노광 영역(a)과 차광 영역(b)의 배치 구조를 각각 도시한 평면도로, 도 3a 및 도 3b에서 보는 바와 같이 열 방향으로 배열되어 단위 스티치 영역에 대하여 A숫에서는 오른쪽 방향으로 진행할수록 노광 영역이 증가시켜 배치하였으며, B숫에서는 오른쪽으로 방향으로 진행할수록 갈수록 차광 영역의 면적을 점차적으로 증가시켜 배치되어 있으며, A숫 및 B숫에서 차광 영역과 노광 영역은 택일적이다.

여기서, 단위 스티치 영역은 하나 이상의 화소 또는 하나의 화소 또는 하나의 화소를 2개 또는 그 이상으로 분할하여 나오는 소영역을 하나의 단위 스티치 영역으로 사용한다. 이렇게 단위 스티치 영역의 크기를 감소시키면 화상이 표시될 때 모자이크 문양이 나타나는 것을 방지하는데 더욱 효과적이다.

본 발명의 실시예에서는, 도 4에 나타낸 바와 같이, 하나의 화소를 a, b 두 영역으로 나누어 각각을 단위 스티치 영역으로 사용한다.

그러면, 도 4를 참조하여 본 발명의 실시예에서의 단위 스티치 영역에 대하여 좀더 상세히 살펴본다.

도 4를 보면, 박막 트랜지스터 기관 위에 가로 방향으로 뻗어 있는 게이트선(20)과 세로 방향으로 뻗어 있는 데이터 선(70)이 교차하여 화소 영역을 정의하고 있고, 각 화소 영역에는 박막 트랜지스터와 개구 패턴(901, 903, 905, 907, 909, 911, 913)을 가지는 화소 전극(90)이 형성되어 있다. 박막 트랜지스터 기관과 대향하는 색필터 기관(도시하지 않음)에는 공통 전극(도시하지 않음)이 형성되어 있는데 공통 전극도 개구 패턴(401, 403, 405, 407, 409, 411, 413)을 가진다. 공통 전극에 형성되어 있는 개구 패턴(401, 403, 405, 407, 409, 411, 413)은 점 무늬를 넣어 도시하였다. 화소 전극(90)의 개구 패턴(901, 903, 905, 907, 909, 911, 913)과 공통 전극의 개구 패턴(401, 403, 405, 407, 409, 411, 413)은 서로 교대로 배치되어 있으며 화소 영역을 다수의 소도메인으로 분할한다. 이 때, 이들 a, b 두 영역은 공통 전극의 개구 패턴(407)에 의하여 경계가 지워진다.

본 발명의 실시예에서는 화소 영역을 둘로 나눈 a, b 영역을 단위 스티치 영역으로 사용하여 a 영역은 A숫을 통하여 노광하고, b 영역은 B숫을 통하여 노광할 수 있다. 이렇게 하면, 화소 영역 하나를 단위 스티치 영역으로 할 때보다 더 세밀하게 밝기 차이를 희석시킬 수 있기 때문에 모자이크 무늬와 같은 표시 얼룩을 방지할 수 있다. 또, 단위 스티치 영역간 경계에 개구 패턴(407)이 배치되기 때문에 단위 스티치 영역 사이의 밝기 차이로 인하여 희미하게나마 존재할 수 있는 숫간 경계선도 가려줄 수 있다.

도 3a 및 도 3b를 참조하여 본 발명의 실시예에 따른 스티치 오차를 줄이기 위한 LCD 패널의 제조 방법을 설명하면 다음과 같다.

본 발명의 실시예에 의하면, 스티치 영역내에서 가로축을 따라 오른쪽으로 가면서 A숫에서는 단위 스티치 영역의 노광 영역 수를 점차적으로 증가시키고 B숫에서는 단위 스티치 영역의 차광 영역 수를 점차적으로 증가시켜 밝기가 연속적으로 변하게 한다.

이때, 스티치 영역을 넓은 폭으로 설정하고 단위 스티치 영역을 100개 이상으로 분할하는 경우에 점차적으로 증가하거나 감소하도록 택일적으로 차광 영역과 노광 영역을 적절하게 배치하는 작업을 일일이 수작업으로 실시하는 것은 매우 번거로운 일이며, 단위 스티치 영역의 배치 오차가 발생할 가능성이 큰 문제점이 있다. 이러한 문제점을 해결하기 위해 본 발명의 실시예에서는 단위 스티치 영역의 수와 단위 스티치 영역 중에서 노광 영역과 차광 영역의 위치를 난수(random number) 프로그램을 이용하여 결정한다. 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 5는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 단위 스티치 영역 중에서 노광 영역과 차광 영역의 위치를 결정하는 과정을 그 순서에 따라 도시한 난수(random number) 프로그램의 순서도이다.

도 5에서 보는 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 사용하는 난수 프로그램에서는, 우선 단위 스티치 영역의 피치를 결정한다(S1). 이때, 단위 스티치 영역의 피치는 가로 방향 및 세로 방향의 넓이를 의미하며, 단위 스티치 영역은 하나 이상의 화소 또는 하나의 화소 또는 하나의 화소를 둘 이상으로 분할하여 사용할 수 있다.

이어, 단위 스티치 영역을 기본으로 하며 분할 노광시 서로 이웃하는 제1숫과 제2숫이 중첩하는 스티치 영역을 결정한다(S2). 이때, 스티치 영역은 단위 스티치 영역을 $N \times M$ 개 또는 $M \times N$ 의 행렬로 배치하며, N/M 및 M/N 은 정수 배가 되도록 스티치 영역의 크기를 설정한다.

이어, 노광 공정을 실시할 때 좌/우 방향으로 이동하면서 숫을 노광할지 또는 상/하 방향으로 이동하면서 숫을 노광할지를 결정한다(S3).

이때, 숫의 이동 방향이 좌/우 방향인 경우에는 임의의 단위 스티치 영역의 i 번째 열(i column)에 대하여 제1숫에서의 차광 영역 또는 노광 영역 개수와 제2숫에서의 차광 영역 또는 노광 영역 개수를 결정한다(S31). 이때, 제1숫에서의 차광 영역 개수는 $N - (N/M) * i$ 이고, 제2숫에서의 차광 영역 개수는 $(N/M) * i$ 이며, i 는 1부터 M 까지이다. 이어, 제1숫에서 1부터 N 까지의 숫자 중에서 앞에서 결정한 차광 영역 또는 노광 영역의 개수만큼 난수(random number) 함수를 이용하여 난수를 발생시켜 스티치 영역의 i 번째 단위 스티치 영역의 열에서 차광 영역 또는 노광 영역의 위치를 결정하고, 제2숫에서는 제1숫에서의 차광 영역 또는 노광 영역의 위치에 대하여 배타적인 위치로 차광 영역 또는 노광 영역의 위치를 결정한다(S31).

S31과 같은 단계는 차광 영역 또는 노광 영역의 수를 결정하는 방법에 따라 반복하여 실시한다. 즉, 단위 스티치 영역 중에서 증가시키거나 감소시키는 차광 영역 또는 노광 영역의 단위를 하나 또는 둘 또는 그 이상으로 결정함에 따라 S31 단계를 실시하는 횟수는 달라진다.

한편, 숫의 이동 방향이 상/하 방향인 경우에는 임의의 단위 스티치 영역의 j 번째 행(j row)에 대하여 제1숫에서의 차광 영역 개수와 제2숫에서의 차광 영역 또는 노광 영역 개수를 결정한다(S32). 이때, 제1숫에서의 차광 영역 또는 노광 영역 개수는 $M - (M/N) * j$ 이고, 제2숫에서의 차광 영역 또는 노광 영역 개수는 $(M/N) * j$ 이며, j 는 1부터 N 까지이다. 이어, 제1숫에서 1부터 M 까지의 숫자 중에서 앞에서 결정한 차광 영역 또는 노광 영역의 개수만큼 임의의 난수(random number) 함수를 이용하여 난수를 발생시켜 스티치 영역의 j 번째 단위 스티치 영역의 행에서 차광 영역 또는 노광 영역의 위치를 결정하고, 제2숫에서는 제1숫에서의 차광 영역 또는 노광 영역의 위치에 대하여 배타적인 위치로 차광 영역 또는 노광 영역의 위치를 결정한다(S32).

S32와 같은 단계는 차광 영역 또는 노광 영역의 수를 결정하는 방법에 따라 반복하여 실시한다. 즉, 단위 스티치 영역 중에서 증가시키거나 감소시키는 차광 영역 또는 노광 영역의 단위를 하나 또는 둘 또는 그 이상으로 결정함에 따라 S32 단계를 실시하는 횟수는 달라진다.

이렇게 본 발명의 실시예에서와 같이 난수 프로그램을 이용하여 스티치 영역에서의 단위 스티치 영역을 결정하고, 차광 영역 또는 노광 영역의 수와 위치를 결정함으로써 균일한 분포로 차광 영역 또는 노광 영역을 배치할 수 있고, 자동 및 통계적으로 차광 영역 또는 노광 영역의 위치 및 개수를 결정할 수 있으며, 평균화 효과를 극대화할 수 있다.

한편, 액정 표시 장치, 특히 액티브 매트릭스 액정 표시 장치(AMLCD)에 있어서는 배선, 화소 전극, 스위칭 소자 등을 형성하기 위해 다수의 사진 공정 즉, 여러 층의 노광이 필요하게 된다. 이 경우, 다수 레이어의 노광 시 스티치 영역과 단위 스티치 영역의 일치됨에 따라 각 레이어의 스티치 영역의 숫간 경계가 중첩되어 선으로 인식되는 것을 방지하기 위하여 각 레이어의 스티치 영역을 다르게 하거나 단위 스티치 영역을 다르게 하는 형성하는 것이 필요하다. 특정 레이어의 경우는 종래와 같이 직선이나 톱니형 등의 스티치 방법을 사용할 수도 있다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 6은 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 6의 박막 트랜지스터 표시판을 VII-VII' 선을 따라 잘라 도시한 단면도이다.

절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다. 게이트선(121)은 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이룬다.

게이트선(121)은 비저항(resistivity)이 낮은 은(Ag)이나 은 합금 등은 계열 금속, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 및 구리(Cu)나 구리 계열의 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 대하여 다른 물질, 특히 ITO 또는 IZO와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.

게이트선(121)의 측면은 경사져 있으며, 경사각은 기판(110)의 표면에 대하여 약 30°-80°범위이다.

게이트선(121) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 이로부터 복수의 돌출부(extension)(154)가 게이트 전극(124)을 향하여 뻗어 나와 있다. 또한 선형 반도체(151)는 게이트선(121)과 만나는 지점 부근에서 폭이 커져서 게이트선(121)의 넓은 면적을 덮고 있다.

반도체(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 점형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 점형 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 위치한다.

반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 경사져 있으며 경사각은 30°-80°이다.

저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)에 이른다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다. 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.

데이터선(171)은 물리적 성질이 다른 두 개의 막, 즉 하부막(171p)과 그 위의 상부막(171q)을 포함한다. 상부막(171q)은 데이터 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어진다. 이와는 달리, 하부막(171p)은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금], 크롬(Cr) 등으로 이루어진다. 하부막(171p)과 상부막(171q)의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다. 도 2에서 드레인 전극(175)의 하부막과 상부막은 각각 도면 부호 175p, 175q로 표시되어 있으며, 유지 축전기용 도전체(177)의 하부막과 상부막은 각각 도면 부호 177p, 177q로 표시되어 있다.

저항성 접촉 부재(161, 165)는 그 하부의 반도체(151)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체(151)는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있으며, 대부분의 곳에서는 선형 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만 앞서 설명했듯이 게이트선(121)과 만나는 부분에서 폭이 커져서 게이트선(121)과 데이터선(171) 사이의 절연을 강화한다.

데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)와 노출된 반도체(151) 부분의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소 따위로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.

보호막(180)에는 데이터선(171)의 끝 부분, 드레인 전극(175) 및 유지 축전기용 도전체(177)를 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185, 187)이 형성되어 있다.

보호막(180) 위에는 IZO 또는 ITO 따위의 투명한 도전체 또는 반사성 금속으로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다.

화소 전극(190)은 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자들을 재배열시킨다.

또한 앞서 설명한 것처럼, 화소 전극(190)과 공통 전극은 축전기[이하 액정 축전기(liquid crystal capacitor)라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage electrode)라 한다. 유지 축전기는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 전단 게이트선(previous gate line)이라 함]의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기를 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있으나, 중첩되지 않을 수도 있다.

접촉 보조 부재(82)는 접촉 구멍(182)을 통하여 데이터선(171)의 끝 부분과 연결된다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

또한, 이러한 접촉 구멍(182) 및 접촉 보조 부재(82)는 게이트선(121)의 끝부분에도 형성될 수 있으나 게이트 구동 회로가 기관(110) 위에 직접 형성되어 있는 경우에는 도 6 및 도 7의 경우처럼 접촉 구멍 및 접촉 보조 부재가 필요하지 않다. 반면, 게이트선(121)에 신호를 공급하는 게이트 구동 회로(도시하지 않음)가 칩의 형태로 기관(110) 또는 기판 상에 형성되어 있는 경우(도시하지 않음) 위에 장착되는 경우에 게이트선(121)의 끝부분에 게이트선(121)과 연결하는 접촉 구멍 및 접촉 보조 부재가 필요하다.

그러면, 도 6 및 도 7에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여 도 8 내지 도 17 및 도 6과 도 7을 참고로 하여 상세히 설명한다.

도 8, 도 10, 도 12 및 도 14는 각각 도 6 및 도 7에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도로서, 공정 순서대로 나열한 도면이고, 도 9, 도 11, 도 13 및 도 15는 각각 도 8, 도 10, 도 12 및 도 14에 도시한 박막 트랜지스터 표시판을 IX-IX' 선, XI-XI' 선, XIII-XIII' 선 및 XV-XV' 선을 잘라 도시한 단면도이고, 도 16a 및 도 16b는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 게이트선 형성 공정 시에 스퍼터링의 경계 부분인 스티치 영역을 단위 스티치 영역으로 나타낸 평면도이고, 도 17a 및 도 17b는 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 데이터선 형성 공정 시에 스퍼터링의 경계 부분인 스티치 영역을 단위 스티치 영역으로 나타낸 평면도이다.

먼저, 투명한 유리 따위로 만들어진 절연 기관(110) 위에 두 층의 금속막, 즉 하부막과 상부막을 스퍼터링(sputtering) 따위로 차례로 적층한다. 하부막은 IZO 또는 ITO와의 접촉 특성이 우수한 금속, 예를 들면 폴리브덴, 폴리브덴 합금 또는 크롬 등으로 이루어지며 500Å 정도의 두께를 가지는 것이 바람직하다. 상부막은 알루미늄 계열 금속으로 이루어지며, 2,500Å 정도의 두께를 가지는 것이 바람직하다.

이어 도 8 및 도 9에 도시한 바와 같이, 화소 영역을 둘로 나눈 a, b, 영역을 단위 스티치 영역으로 사용하여 a 영역은 A샷을 통하여 노광하고, b 영역은 B샷을 통하여 노광하는 사진 공정으로 형성한 감광막 패턴(도시하지 않음)을 마스크로 상부막과 하부막을 차례로 패터닝하여 복수의 게이트 전극(124)과 복수의 확장부(127)를 포함하는 게이트선(121)을 형성한다. 이때, A샷 및 B샷은 도 16a 및 도 16b에 도시한 바와 같이 열 방향으로 배열되어 단위 스티치 영역에 대하여 A샷에서는 오른쪽 방향으로 진행할수록 노광 영역이 증가시켜 배치하였으며, B샷에서는 오른쪽 방향으로 진행할수록 갈수록 차광 영역의 면적을 점차적으로 증가시켜 배치되어 있으며, A샷 및 B샷에서 차광 영역과 노광 영역은 택일적이다.

도 10 및 도 11에 도시한 바와 같이, 게이트 절연막(140), 진성 비정질 규소층(intrinsic amorphous silicon), 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154)를 각각 포함하는 선형 진성 반도체(151)를 형성한다. 게이트 절연막(140)의 재료로는 질화규소가 좋으며 적층 온도는 250~500°C, 두께는 2,000~5,000Å 정도인 것이 바람직하다.

이어 도 12 및 도 13에 도시한 바와 같이, 선형 불순물 반도체(164)를 포함하는 기관 위에 Cr 또는 Mo 합금 등으로 이루어지는 제1 금속층과 저항이 작은 Al 또는 Ag 합금 등으로 이루어지는 제2 금속층을 형성한다.

그리고, 제 2 금속층 위에 감광막(도시하지 않음)을 도포한 다음, a 영역은 A샷을 통하여 노광하고, b 영역은 B샷을 통하여 노광하는 사진 공정으로 형성한 감광막 패턴(도시하지 않음)을 마스크로 상부막과 하부막을 차례로 식각하여 제1 금속층 패턴(171p, 175p, 177p)과 제2 금속층 패턴(171q, 175q, 177q)으로 이루어지는 복수의 소스 전극(173)을 각각 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 유지 축전기를 도전체(177)를 형성한다. 이때, A샷 및 B샷은 도 17a 및 도 17b에 도시하였으며, 이는 게이트선(121)을 패터닝하기 위한 A샷 및 B샷(도 16a 및 도 16b 참조)과는 스티치 영역 내에서의 A샷 영역과 B샷 영역의 배치가 다르게 형성되어 있다. 즉, 게이트선(121)을 패터닝 하기 위한 감광막 패턴과 데이터선(171)을 패터닝 하기 위한 감광막 패턴은 각각 별도의 노광 샷에 의하여 형성된 제1샷 영역과 제2샷 영역을 동일하게 가지고 있으나, 제1샷 영역과 제2샷 영역의 경계부의 제1샷 영역과 제2샷 영역이 혼재하고 있는 스티치 영역에서는 제1샷 영역과 제2샷 영역의 배치가 게이트선(121) 패턴용 감광막 패턴과 데이터선(171) 패턴용 감광막 패턴에서 서로 다르다. 이와 같이, 각 패턴층 별로 단위 스티치 영역의 배치를 달리 하면 노광 샷간 정렬 오차가 층별로도 분산되어 스티치 불량 방지에 한층 효율적이다.

이어 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 불순물 반도체(164) 부분을 제거함으로써 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 선형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(151) 부분을 노출시킨다. 이때 진성 반도체(151) 돌출부(154)의 상층부도 일정

두께 식각될 수 있으며, 노출된 진성 반도체(151) 부분의 표면을 안정화시키기 위하여 산소 플라즈마를 뒤이어 실시하는 것이 바람직하다.

다음 도 14 및 도 15에 도시한 바와 같이, 보호막(180)을 적층하고 사진 식각 공정으로 게이트 절연막(140)과 함께 건식 식각하여 복수의 접촉 구멍(182, 185, 187)을 형성한다. 접촉 구멍(182)은 데이터선(171)의 끝 부분을 드러내고, 접촉 구멍(185)은 드레인 전극(175)을 드러내며, 접촉 구멍(187)은 유지 축전기용 도전체(177)를 드러낸다.

도 6 내지 도 7에 도시한 바와 같이, IZO 또는 ITO막을 스퍼터링으로 적층하고 사진 식각하여 복수의 화소 전극(190)과 복수의 접촉 보조 부재(82)를 형성한다. 화소 전극(190)과 접촉 보조 부재(82)의 재료가 IZO인 경우 표적으로는 일본 이데미츠(Idemitsu)사의 IDIXO(indium x-metal oxide)라는 상품을 사용할 수 있고, In₂O₃ 및 ZnO를 포함하며, 인듐과 아연의 총량에서 아연이 차지하는 함유량은 약 15-20 atomic% 범위인 것이 바람직하다. 또한, IZO의 스퍼터링 온도는 250℃ 이하인 것이 접촉 저항을 최소화하기 위해 바람직하다.

발명의 효과

이상에서 살펴본 바와 같이, 액정 표시 장치용 표시판의 제조 공정에서 분할 노광시 스티치 좌우 슛간의 영역의 점차적인 변화를 통해 액정 표시 장치에서 발생하는 밝기의 차이로 인한 스티치 현상을 최소화할 수 있다. 또한, 난수 프로그램을 이용하여 단위 스티치 영역에서 차광 영역 또는 노광 영역의 분포를 결정하여 인위성을 배제함으로써 평균화 효과를 극대화할 수 있으며, 서로 중첩되는 다른 패턴 형성 시에 스티치 영역의 중첩을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

액티브 영역을 서로 인접한 제1스ūt과 제2스ūt을 포함하는 다수의 슛으로 분할 노광하여 복수의 패턴층을 형성하는 표시 장치의 제조 방법에 있어서, 상기 제1스ūt과 상기 제2스ūt의 경계 부분에 상기 제1스ūt 및 상기 제2스ūt이 중첩되는 스티치 영역을 마련하고, 상기 스티치 영역 내에서 상기 제1스ūt에서 상기 제2스ūt으로 향하는 방향을 따라 상기 제1스ūt의 영역은 점차적으로 감소하고 상기 제2스ūt의 영역은 점차적으로 증가하도록 하며, 상기 제1스ūt의 영역과 상기 제2스ūt의 영역은 상기 각 패턴층 별로 달라지는 액정 표시 장치의 제조 방법.

청구항 2.

제1항에서,

상기 제1스ūt의 영역과 상기 제2스ūt의 영역은 상기 각 패턴층 별로 다르게 형성하여, 수직 적층 구조상으로 각 층마다 스티치 라인이 중복되지 않게 형성하는 액정 표시 장치의 제조 방법.

청구항 3.

제1항에서,

상기 스티치 영역 내에서 상기 제1스ūt에서 상기 제2스ūt으로 향하는 방향을 따라 점차적으로 상기 제1스ūt 영역을 감소시키고 상기 제2스ūt 영역을 증가시킴에 있어서 상기 제1스ūt 영역과 상기 제2스ūt 영역의 위치는 난수 프로그램을 통하여 결정하는 액정 표시 장치의 제조 방법.

청구항 4.

제3항에서,

상기 난수 프로그램은,

상기 단위 스티치 영역의 피치(pitch)를 결정하는 단계,

N×M 행렬의 상기 단위 스티치 영역으로 이루어진 상기 스티치 영역의 크기를 결정하는 단계,

상기 제1스ūt 및 제2스ūt의 이동 방향을 결정하는 단계,

상기 제1스ūt 및 제2스ūt의 상기 단위 스티치 영역의 행 또는 열에서 상기 제1스ūt 영역 또는 상기 제2스ūt 영역의 개수를 결정하는 단계,

상기 제1스ūt 및 제2스ūt의 상기 단위 스티치 영역의 행 또는 열에서 난수 발생 함수를 이용하여 상기 제1스ūt 영역 또는 상기 제2스ūt 영역의 위치를 결정하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 5.

제4항에서,

상기 N/M 또는 M/N은 자연수인 액정 표시 장치의 제조 방법

청구항 6.

제3항에서,

상기 단위 스티치 영역은 하나 이상의 화소 영역 또는 하나의 화소 영역 또는 하나의 화소 영역을 2개 이상으로 분할하여 이루어진 단위 스티치 영역을 단위로 하여 이루어지는 액정 표시 장치의 제조 방법.

청구항 7.

절연 기판 위에 게이트 도전층을 형성하는 단계,

상기 게이트 도전층 위에 게이트선의 형성 영역을 정의하는 제1 감광막 패턴을 형성하는 단계,

상기 제1 감광막 패턴을 마스크로 하여 상기 게이트 도전층을 식각하여 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 진성 반도체 및 불순물 반도체를 형성하는 단계,

상기 불순물 반도체 위에 데이터 도전층을 형성하는 단계,

상기 데이터 도전층 위에 데이터선 및 드레인 전극의 형성 영역을 정의하는 제2 감광막 패턴을 형성하는 단계,

상기 제2 감광막 패턴을 마스크로 하여 상기 데이터 도전층을 식각하여 데이터선 및 드레인 전극을 형성하는 단계,

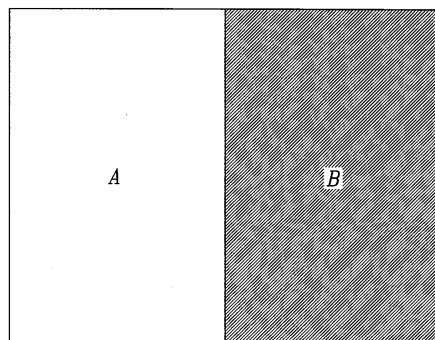
상기 데이터선 및 상기 드레인 전극 위에 보호막을 형성하는 단계,

상기 드레인 전극에 접촉하는 화소 전극을 형성하는 단계를 포함하고,

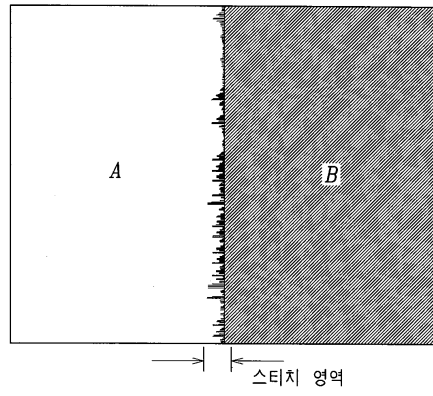
상기 제1 감광막 패턴 및 상기 제2 감광막 패턴은 서로 다른 노광 슷에 의하여 형성된 제1 슷 영역과 제2 슷 영역을 포함하며, 상기 제1 슷 영역과 상기 제2 슷 영역의 경계부에는 상기 제1 슷 영역과 상기 제2 슷 영역이 혼재하는 슷치 영역이 포함되어 있으며, 상기 슷치 영역 내에서의 상기 제1 슷 영역과 상기 제2 슷 영역의 위치는 상기 제1 감광막 패턴과 상기 제2 감광막 패턴에서 서로 다른 액정 표시 장치의 제조 방법.

도면

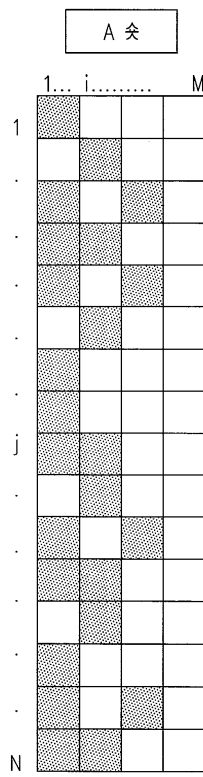
도면1



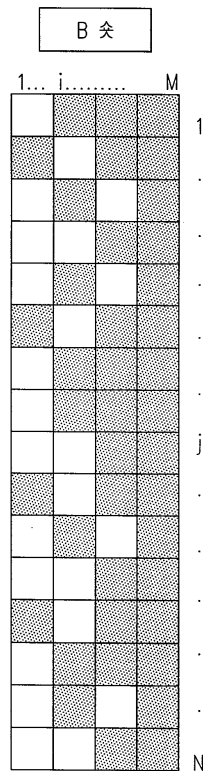
도면2



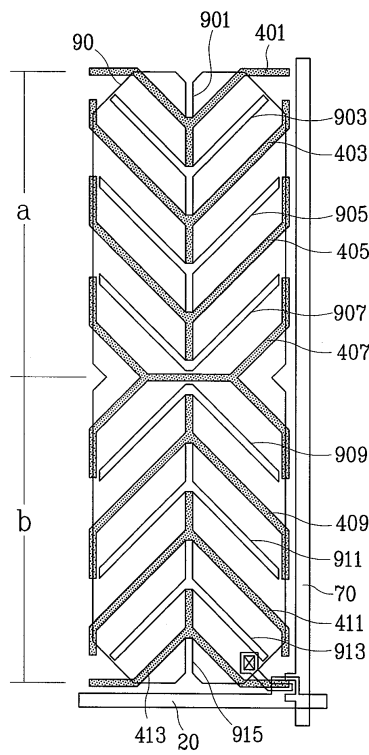
도면3a



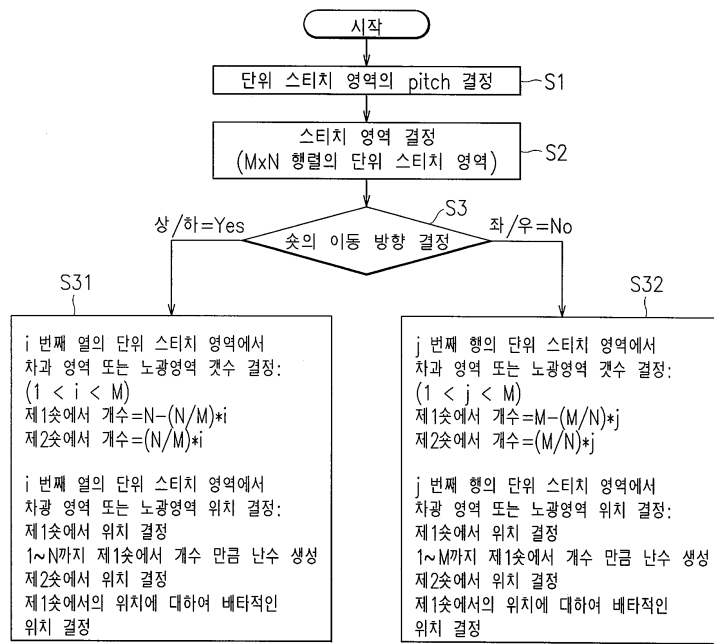
도면3b



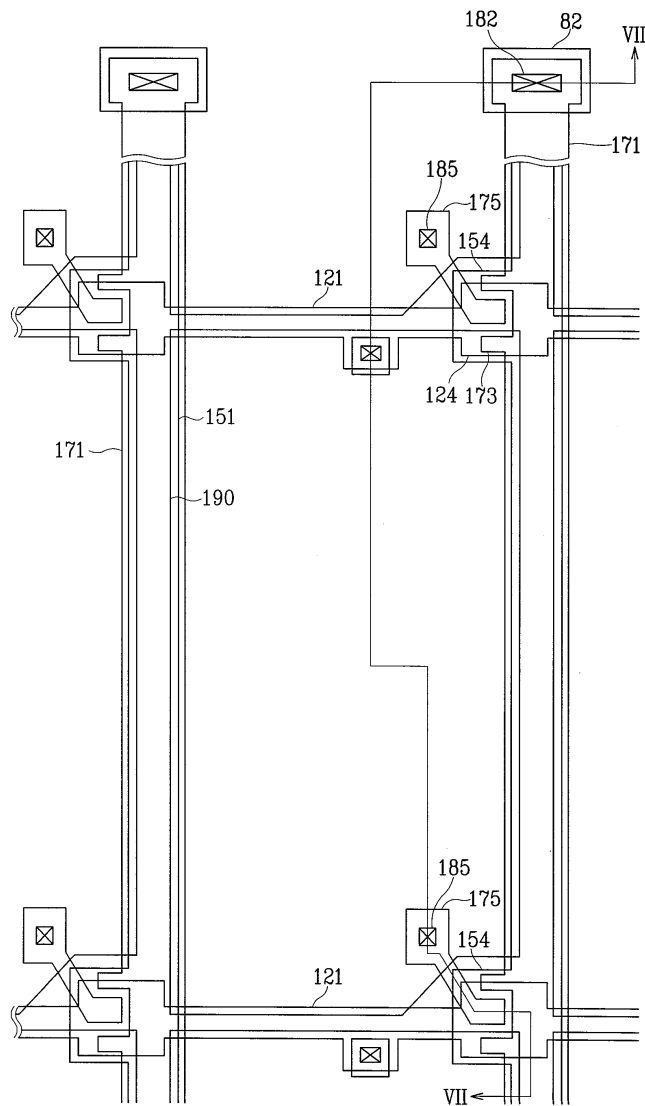
도면4



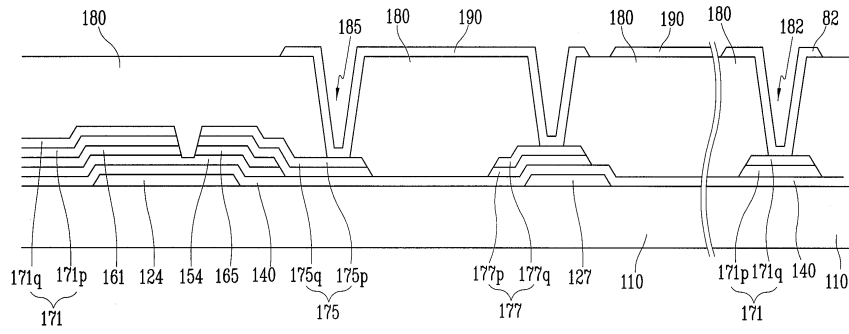
도면5



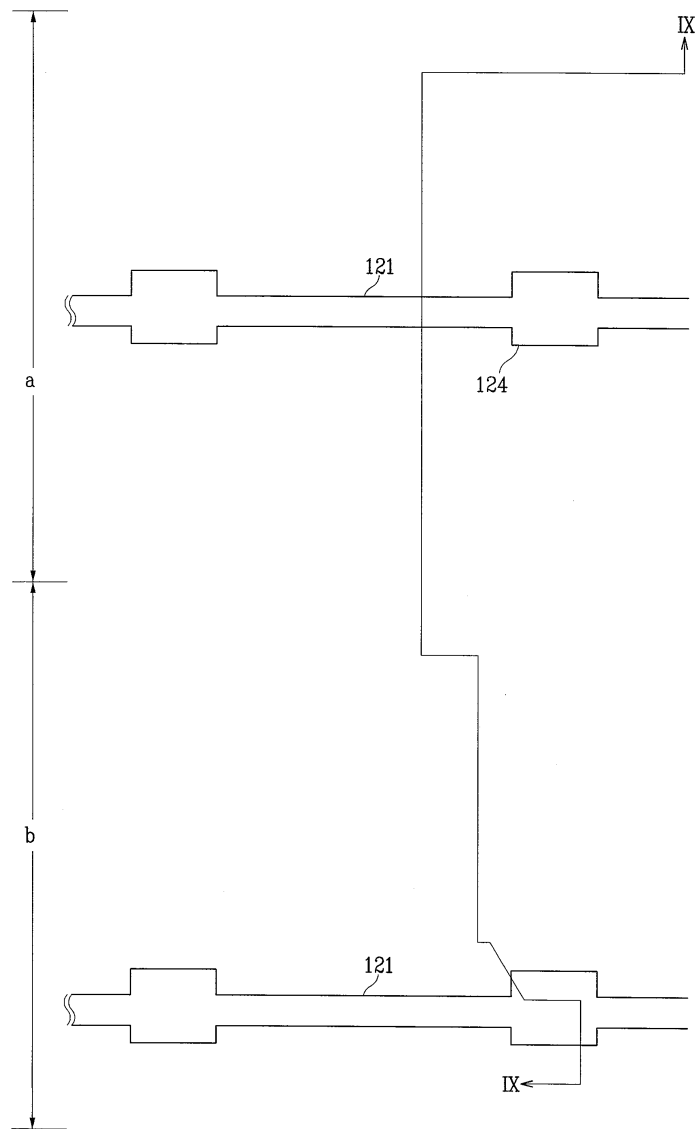
도면6



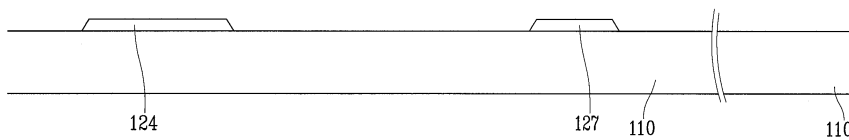
도면7



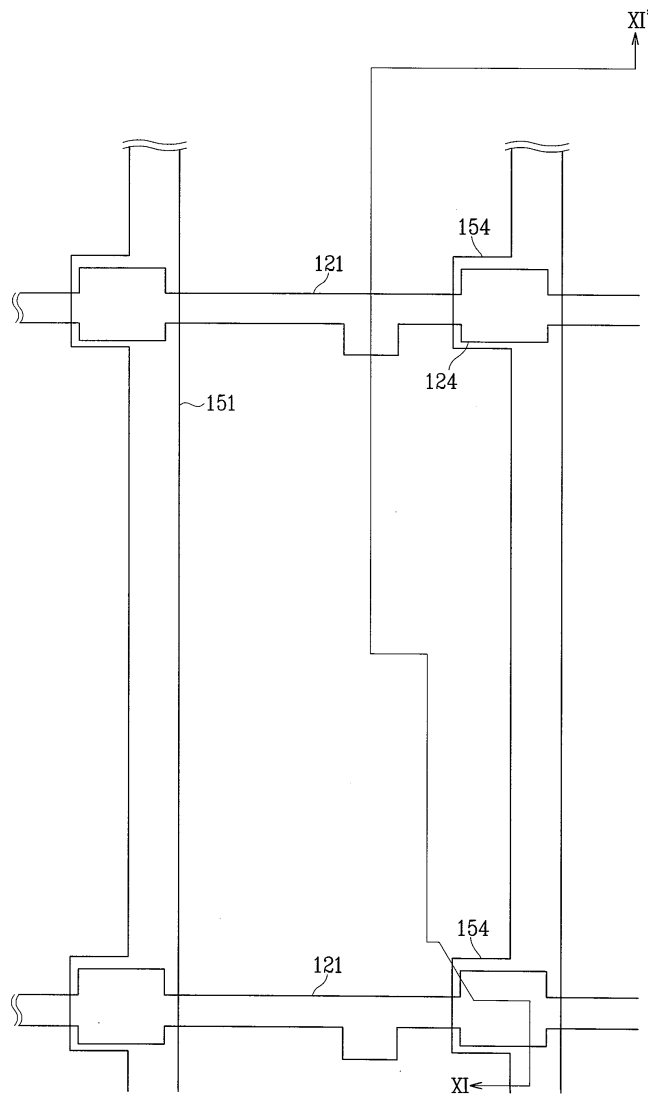
도면8



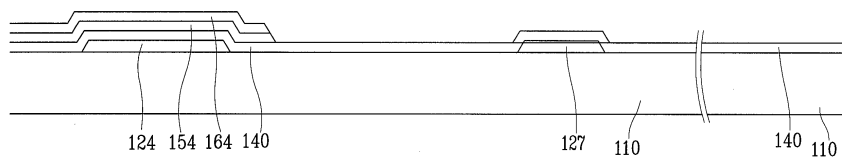
도면9



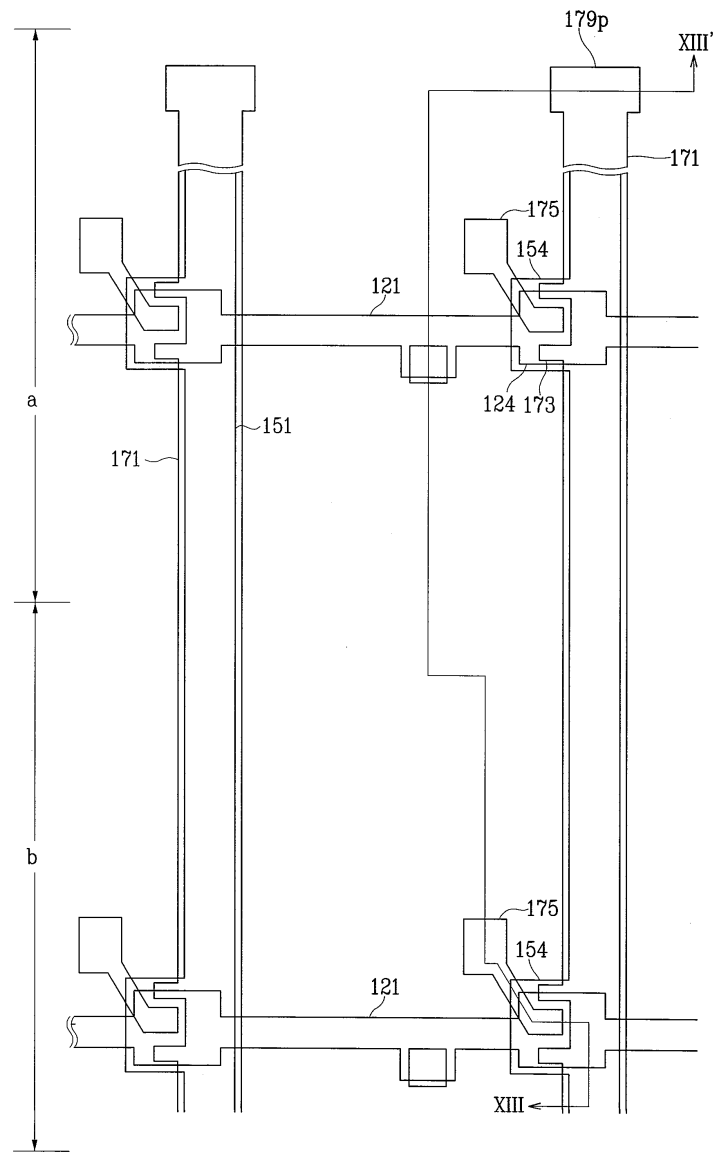
도면10



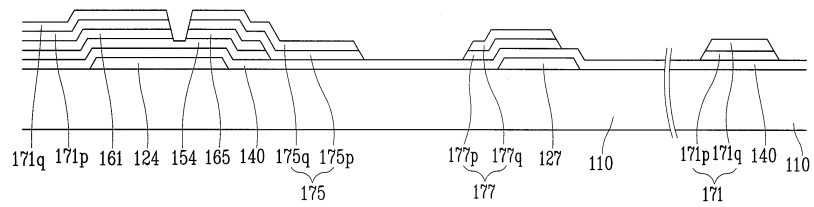
도면11



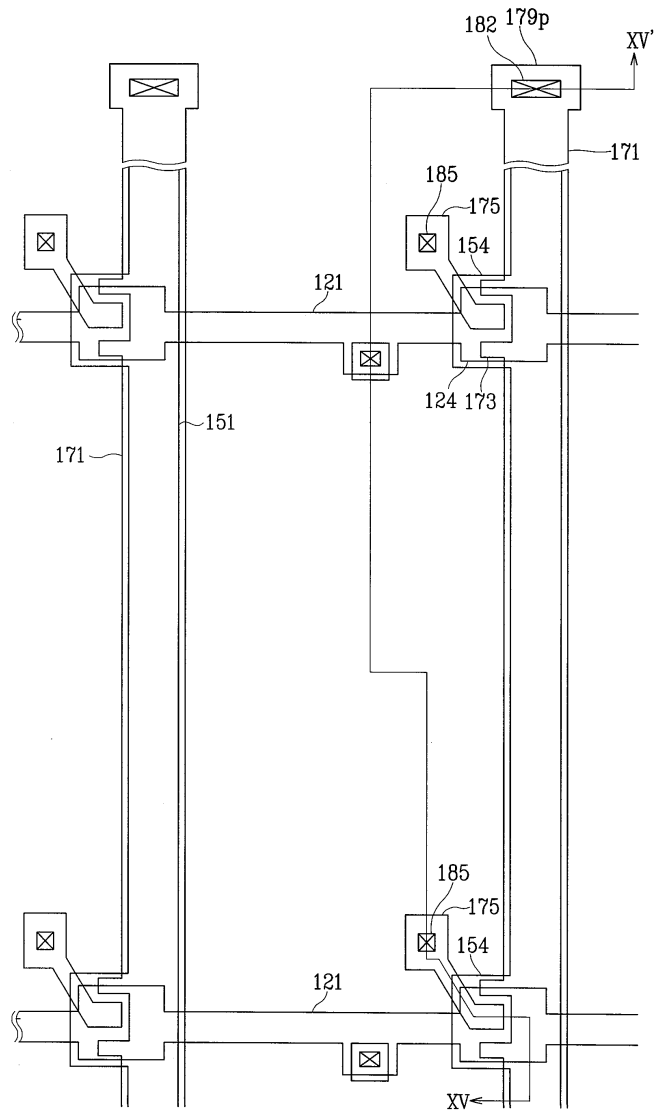
도면12



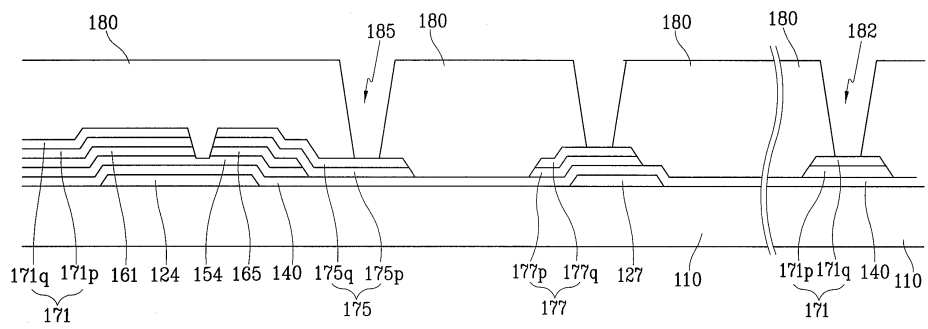
도면13



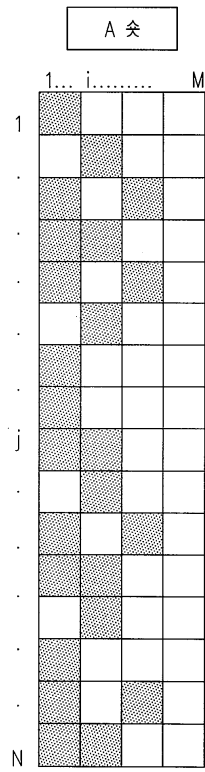
도면14



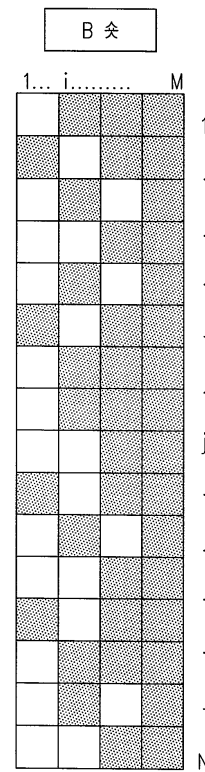
도면15



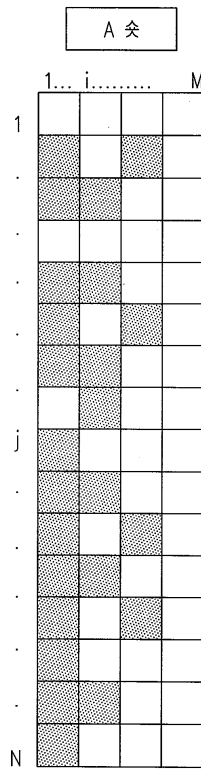
도면16a



도면16b



도면17a



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	KR1020050024639A	公开(公告)日	2005-03-11
申请号	KR1020030060704	申请日	2003-09-01
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHAI CHONGCHUL 채중철 LEE KIHUNG 이기흥		
发明人	채중철 이기흥		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1362 G02F1/1333 G02F1/136227		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置的制造方法是通过将有源区分割并暴露于包括彼此相邻的第一和第二短路的多短路来形成多个图案层的显示装置的制造方法，提供第一镜头和第二镜头叠加在第一镜头和第二镜头之间的边界上的针脚区域，并且在针脚区域中，沿着从第一镜头到第二镜头的方向，一次拍摄的区域逐渐减小并且第二次拍摄的区域逐渐增加，并且对于每个图案层使第一次拍摄的区域和第二次拍摄的区域不同。4 指数方面 液晶显示，针迹，随机数，分割曝光，图案层

