(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133

(11) 공개번호 특2003-0080979
(43) 공개일자 2003년10월17일

(21) 출원번호 10-2002-0061454
(22) 출원일자 2002년10월09일

(30) 우선권주장 1020020018924 2002년04월08일 대한민국(KR)

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 이백원
서울특별시동작구사당1동1035-10

문승환
경기도용인시수지읍상현리만현마을현대I-PARK6차아파트205-1504

(74) 대리인 박영우

심사청구 : 없음

(54) 액정표시장치

요약

표시특성을 향상시킬 수 있는 액정표시장치가 개시된다. 표시영역의 주변에는 제1 및 제2 그룹으로 분리된 쉬프트 레지스터와 배선들로 이루어진 게이트 구동부가 형성된다. 배선들 중 각 스테이지에 클럭 신호를 제공하는 클럭 배선은 제1 그룹의 홀수 번째 스테이지에 제1 클럭을 제공하는 제1 클럭 배선, 제1 그룹의 짝수 번째 스테이지에 제2 클럭을 제공하는 제2 클럭 배선, 제2 그룹의 홀수 번째 스테이지에 제1 클럭을 제공하는 제3 클럭 배선 및 제2 그룹의 짝수 번째 스테이지에 제2 클럭을 제공하는 제4 클럭 배선으로 이루어진다. 따라서, 액정표시장치의 표시특성을 향상시킬 수 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 a-si TFT LCD를 나타낸 도면이다.

도 2는 종래의 a-si TFT LCD의 TFT 기판에 집적된 게이트 구동부를 구성하는 쉬프트 레지스터의 블럭도이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 액정표시장치를 구체적으로 나타낸 도면이다

도 4는 도 3에 도시된 게이트 구동부를 구성하는 쉬프트 레지스터의 블록도이다.

도 5는 도 4에 도시된 제3 및 제4 클럭 배선의 위치를 구체적으로 나타낸 게이트 구동부의 구체적인 설계도이다.

도 6은 제1 및 제3 클럭배선의 연결관계와 제2 및 제4 클럭배선의 연결관계를 나타낸 설계도이다.

도 7 및 도 8은 본 발명의 다른 실시예에 따른 배선 구조를 나타낸 도면들이다.

도 9는 본 발명의 또 다른 실시예에 따른 배선 구조를 나타낸 도면이다.

도 10은 도 4에 도시된 각 스테이지를 구성하는 내부 회로도이다.

도 11은 도 4에 도시된 쉬프트 레지스터의 출력 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 표시영역 210 : 게이트 구동부

211 : 쉬프트 레지스터 220 : 데이터 구동부

300 : TFT 기판 CK1 : 제1 클럭 배선

CKB1 : 제2 클럭 배선 CK2 : 제3 클럭 배선

CKB2 : 제4 클럭 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 표시특성을 향상시킬 수 있는 액정표시장치에 관한 것이다.

최근 들어 정보처리장치는 다양한 형태, 다양한 기능, 더욱 빨라진 정보처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리장치에서 처리된 정보를 육안으로 확인하기 위해서 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.

이러한 디스플레이 장치 중 액정표시장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용하여 디스플레이 한다.

도 1은 종래의 a-si TFT LCD를 나타낸 평면도이다.

도 1을 참조하면, a-Si TFT LCD는 연성 인쇄회로기판(32) 상에 COF(CHIP ON FILM)방식으로 데이터 구동칩(34)을 형성하고, 연성 인쇄회로기판(32)을 통하여 데이터 인쇄회로기판(36)과 픽셀 어레이의 데이터 라인 단자부를 연결한다. 또한, 연성 인쇄회로기판(38) 상에 COF 방식으로 게이트 구동칩(40)을 형성하고, 연성 인쇄회로기판(40)을 통하여 게이트 인쇄회로기판(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.

이와 같은, a-si TFT LCD는 복수의 연성 인쇄회로기판(32, 38)들을 유리기판에 조립하는 공정을 수행하기 때문에 a-Si TFT LCD는 poly-Si TFT LCD에 비하여 OLB(OUTER LEAD BONING) 공정이 복잡하여 제조원가 비싸지게 된다. 따라서, 최근에는 a-Si TFT LCD에서도 poly-Si TFT LCD와 같이 유리기판 상에 데이터 구동회로 및 게이트 구동회로를 픽셀 어레이와 동시에 형성함으로써 조립공정의 수를 감소하고자 하는 기술 개발에 힘쓰고 있다.

도 2는 종래의 a-si TFT LCD의 TFT 기판에 집적되는 게이트 구동부를 구성하는 쉬프트 레지스터의 블럭도이다.

도 2를 참조하면, 게이트 라인을 구동하기 위한 게이트 구동부는 복수의 스테이지(SRC1~SRCn+1)가 종속적으로 연결되어 이루어진 하나의 쉬프트 레지스터(50)로 구성된다. 쉬프트 레지스터(50)의 각 스테이지(SRC1~SRCn+1)는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 갖는다.

각 스테이지는 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결됨과 동시에 이전 스테이지의 제어단자에 연결됨으로써 종속적으로 연결된다. 또한, 쉬프트 레지스터(50)는 다수의 게이트 라인에 대응하는 n개의 스테이지들(SRC1~SRCn) 이외에 n번째 스테이지(SRCn)의 다음 단에 연결된 하나의 더미 스테이지(SRCn+1)를 더 포함한다.

쉬프트 레지스터(50)의 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 개시신호(ST)가 입력된다. 각 스테이지의 출력신호(OUT1~OUTn)는 대응되는 각 게이트 라인에 연결된다. 따라서, 각 스테이지(SRC1~SRCn)의 출력신호들이 순차적으로 액티브 구간(하이상태)을 가짐으로써, 각 출력신호의 액티브 구간에서 대응되는 각 게이트 라인이 순차적으로 선택된다.

쉬프트 레지스터(50)의 외측에는 개시신호배선(ST), 제1 전원전압배선(VSS), 제2 전원전압배선(VDD), 제1 클럭 배선(CK) 및 제2 클럭 배선(CKB)들로 이루어진 각종 배선들이 나란하게 배열되어 있다. 각 배선들은 연결 라인들을 통해 쉬프트 레지스터(50)에 연결된다. 이때, 제1 클럭 배선(CK) 및 제2 클럭 배선(CKB)은 나머지 배선들 사이의 접촉 커패시턴스를 감소시키기 위해 폭이 좁은 배선들 다음으로 쉬프트 레지스터(50)와 인접하여 배치된다.

구체적으로, 쉬프트 레지스터(50)와 인접하여 배선폭이 가장 좁은 개시신호배선(ST)이 배치되고, 그 옆으로 제2 전원전압배선(VDD)이 배치된다. 그 다음에 제2 및 제1 클럭 배선(CKB, CK)이 순차적으로 배치되고, 제1 클럭 배선(CK)의 외곽으로는 배선폭이 가장 넓은 제1 전원전압배선(VSS)이 배치된다.

그러나, a-si TFT LCD가 화면이 대형화되거나 또는 높은 해상도를 갖는 방향 으로 개발됨에 따라 TFT 기판에 집적된 종래의 게이트 구동회로로 화면을 구동하는 데에는 다음과 같은 문제점이 발생한다.

먼저, 화면이 대형화되거나, 해상도가 높아지면, 그만큼 상기 a-si TFT LCD의 TFT 기판에 형성된 게이트 라인 및 게이트 라인에 연결된 화소들의 수도 증가된다. 게이트 라인 및 화소들의 증가됨에 따라 게이트 구동부로부터 멀어질수록 게이트 라인의 RC 딜레이가 커지고, 첫 번째 게이트 라인으로부터 마지막 게이트 라인으로 갈수록 하이 레벨 구간을 갖고 발생된 클럭의 지연시간의 커지게 된다. 이러한 이유 때문에, 게이트 출력신호의 왜곡이 생기게 되고, 이로 인해 액정표시장치의 표시특성이 저하된다.

또한, 배선 폭이 가장 커서 최외각에 배치되어 있는 제1 전원전압배선(VSS)의 연결 라인이 제1 및 제2 클럭 배선(CK, CKB)을 가로지르면서 쉬프트 레지스터(50)에 결합되기 때문에 제1 및 제2 클럭 배선(CK, CKB)과 제1 전원전압배선(VDD)의 연결 라인 사이에 커패시턴스가 형성된다. 이로써, 액정표시장치의 RC 딜레이가 더욱 커지게 된다. 따라서, 게이트 구동신호를 최소한의 딜레이로 게이트 라인에 전달할 수 있는 구조가 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 표시특성을 향상시킬 수 있는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 게이트 라인, 데이터 라인 및 상기 게이트 라인과 데이터 라인에 연결된 스위칭 소자로 이루어진 다수의 화소가 형성된 제1 기판, 상기 제1 기판과 마주보는 제2 기판 및 상기 제1 및 제2 기판 사이에 개재된 액정층으로 이루어진 표시부; 상기 표시부의 주변에 형성되고, 상기 다수의 데이터 라인과 결합되어 상기 다수의 데이터 라인에 영상 데이터를 제공하는 데이터 구동부; 및 상기 표시부의 주변에 형성되고, 복수의 스테이지가 종속적으로 연결되어 각 스테이지로부터 출력된 게이트 구동신호를 상기 게이트 라인으로 순차적으로 제공하며, 제1 및 제2 그룹으로 분리된 쉬프트 레지스터 및 상기 표시부의 주변에 형성되어 외부로부터 제공되는 신호들을 상기 각 스테이지에 인가하는 배선으로 이루어진 게이트 구동부를 포함한다.

이때, 상기 배선은 상기 제1 그룹의 홀수 번째 스테이지에 제1 클럭을 제공하는 제1 클럭 배선, 상기 제1 그룹의 짝수 번째 스테이지에 상기 제1 클럭과 반전된 위상을 갖는 제2 클럭을 제공하는 제2 클럭 배선, 상기 제2 그룹의 홀수 번째 스테이지에 상기 제1 클럭을 제공하는 제3 클럭 배선 및 상기 제2 그룹의 짝수 번째 스테이지에 상기 제2 클럭을 제공하는 제4 클럭 배선을 포함한다.

이러한 액정표시장치에 따르면, 제1 및 제2 클럭의 지연 시간이 제1 및 제2 클럭 배선에 비하여 작은 제3 및 제4 클럭 배선을 추가로 구비함으로써 액정표시장치의 표시특성을 향상시킬 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명에 따른 액정표시장치의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

도 3은 본 발명의 바람직한 일 실시예에 따른 액정표시장치를 구체적으로 나 타낸 도면이다. 도 4는 도 3에 도시된 게이트 구동회로를 구성하는 쉬프트 레지스터의 블럭도이다. 여기서, 쉬프트 레지스터(211)는 n 개의 게이트 라인(G1~Gn)에 각각 연결되어, n 개의 게이트 라인을 구동하는 n 개의 출력단자(OUT1~OUTn)를 갖는다. 이때, n은 자연수이며, 그 중에서도 짝수이다.

도 3을 참조하면, 액정표시장치는 TFT 기판(300), 컬러필터기판(미도시) 및 TFT 기판(300)과 컬러필터기판과의 사이에 주입된 액정(미도시)으로 이루어진 액정표시패널(미도시)을 구비한다.

구체적으로, 도 3에 도시된 바와 같이 TFT 기판(300)은 게이트 라인, 데이터 라인, TFT(110) 및 TFT(110)와 연결된 액정 커패시터(120)로 이루어진 다수의 화소가 매트릭스 형태로 형성된 표시영역(100) 및 표시영역(100)의 주변에서 표시영역(100)의 구동을 제어하는 주변영역(200)으로 구분된다. TFT(110)는 게이트 라인(G1~Gn)으로부터 분기된 게이트 전극, 데이터 라인(D1~Dm)으로부터 분기된 소오스 전극 및 액정 커패시터(120)에 연결된 드레인 전극(113)으로 이루어진다.

한편, 표시영역(100)의 주위에는 게이트 구동부(210) 및 소오스 구동부(220)로 이루어진 주변영역(200)이 형성되어 있다. 구체적으로, 게이트 구동부(210)는 게이트 라인(G1~Gn)의 일단과 연결되어 게이트 라인(G1~Gn)에 순차적으로 게이트 구동신호를 인가한다. 또한, 소오스 구동부(220)는 데이터 라인(D1~Dm)의 일단과 연결되어 데이터 라인(D1~Dm)에 순차적으로 데이터 구동신호를 인가한다.

도 4를 참조하면, 게이트 구동부(210)는 복수의 스테이지(SRC1~SRCn)가 종속 연결된 하나의 쉬프트 레지스터(211)와 각 스테이지에 각종 신호를 제공하기 위한 배선들(ST, VDD, CK1, CKB1, VSS, CK2, CKB2)로 이루어진다.

각 스테이지(SRC1~SRCn+1)는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS1), 제2 전원전압단자(VDD)를 갖는다. 각 스테이지는 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결됨과 동시에 이전 스테이지의 제어단자에 연결됨으로써 종속적으로 연결된다. 또한, 쉬프트 레지스터(211)는 게이트 라인(G1~Gn)에 대응하는 n개의 스테이지들(SRC1~SRCn) 이외에 n번째 스테이지(SRCn)의 다음 단에 연결된 하나의 더미 스테이지(SRCn+1)를 더 포함한다.

쉬프트 레지스터(211)의 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 개시신호(ST)가 입력된다. 각 스테이지(SRC1~SRCn)의 출력단자(OUT1~OUTn)는 대응되는 각 게이트 라인(G1~Gn)에 연결된다.

각 스테이지(예를 들어, SRC1, SRC2, SRC3)의 제어단자(CT)에는 다음 스테이지(예를 들어, SRC2, SRC3, SRC4)의 출력신호(OUT2, OUT3, OUT4)가 제어신호로 입력된다. 여기서, 제어단자(CT)에 입력되는 제어신호는 각 스테이지의 출력신호를 로우 레벨로 다운시키기 위해 사용된다. 따라서, 각 스테이지(SRC1~SRCn)의 출력신호들이 순차적으로 액티브 구간(하이상태)을 가짐으로써, 각 출력신호의 액티브 구간에서 대응되는 각 게이트 라인(G1~Gn)이 순차적으로 선택된다.

한편, 배선들은 각 스테이지들(SRC1~SRCn+1) 중 첫 번째 스테이지의 입력단자(IN)에 개시신호(ST)를 인가하기 위한 개시신호배선(ST), 각 스테이지(SRC1~SRCn+1)에 제1 전원전압(VSS)을 인가하기 위한 제1 전원전압배선(VSS), 제2 전원전압(VDD)을 인가하기 위한 제2 전원전압배선(VDD), 제1 클럭(CK)을 제공하기 위한 제1 클럭 배선(CK1) 및 제1 클럭(CK)과 반전된 위상을 갖는 제2 클럭(CKB)을 제공하기 위한 제2 클럭 배선(CKB2)을 포함한다.

또한, 배선들은 제1 클럭(CK)을 제공하기 위한 더미 클럭 배선인 제3 클럭 배선(CK2) 및 제2 클럭(CKB)을 제공하기 위한 더미 클럭 배선인 제4 클럭 배선(CKB2)을 더 포함한다.

도 4에 도시된 바와 같이, 쉬프트 레지스터(211)는 n+1 개의 스테이지들(SRC1~SRCn+1) 중 일부를 포함하는 제1 그룹 및 나머지 일부를 포함하는 제2 그룹으로 분리된다. 제1 그룹에는 제1 및 제2 클럭 배선(CK1, CKB1)을 통해 제공되는 제1 및 제2 클럭이 제공되고, 제2 그룹에는 제3 및 제4 클럭 배선(CK2, CKB2)을 통해 제공되는 제1 및 제2 클럭이 제공된다.

구체적으로, 제1 클럭 배선(CK1)으로부터 출력되는 제1 클럭은 제1 그룹의 홀수 번째 스테이지로 제공되고, 제2 클럭 배선(CKB1)으로부터 출력되는 제2 클럭은 제1 그룹의 짝수 번째 스테이지로 제공된다. 또한, 제3 클럭 배선(CK2)으로부터 출력되는 제1 클럭은 제2 그룹의 홀수 번째 스테이지로 제공되고, 제4 클럭 배선(CKB2)으로부터 출력되는

제2 클럭은 제2 그룹의 짝수 번째 스테이지로 제공된다.

각 배선들은 개시신호배선(ST), 제2 전원전압배선(VDD), 제2 및 제1 클럭 배선(CKB1, CK1), 제1 전원전압배선(VSS), 제3 및 제4 클럭 배선(CK2, CKB2)의 순서대로 쉬프트 레지스터(211)에 근접하게 배치된다.

각 배선들의 입력단은 서로 인접하여 배치된다. 구체적으로, 제1 내지 제4 클럭 배선(CK1, CKB1, CK2, CKB2)은 제1 및 제2 클럭이 각각 인가되는 제1 내지 제4 입력단을 구비한다. 제1 내지 제4 입력단은 쉬프트 레지스터(211)의 첫 번째 스테이지(SRC1)가 배치되는 제1 영역에서 서로 인접하여 배치된다.

또한, 제1 클럭 배선(CK1)은 쉬프트 레지스터(211)의 마지막 스테이지(SRCn+1)이 배치되는 제2 영역에서 제3 클럭 배선(CK2)과 결합되고, 제2 클럭 배선(CKB1)은 제2 영역에서 제4 클럭 배선(CKB2)과 결합된다.

쉬프트 레지스터(211)의 홀수 번째 스테이지(예를 들어, SRC1, SRC3, SRCn+1))들에는 제1 또는 제3 클럭 배선(CK1, CK2)을 통해 제1 클럭(CK)이 제공되고, 짝수 번째 스테이지(예를 들어, SRC2, SRCn)들에는 제2 및 제4 클럭 배선(CKB1, CKB2)을 통해 제2 클럭(CKB)이 제공된다.

따라서, 제1 클럭 배선(CK1)은 쉬프트 레지스터(211)의 제1 그룹 중 홀수 번째 스테이지(SRC1, SRC3, SRCn+1)에 제1 클럭(CK)을 제공하고, 제2 클럭 배선(CKB1)은 제1 그룹 중 짝수 번째 스테이지(SRC2, SRCn)에 제2 클럭(CKB)을 제공한다. 한편, 제3 클럭 배선(CK1)은 쉬프트 레지스터(211)의 제2 그룹 중 홀수 번째 스테이지(SRC1, SRC3, SRCn+1)에 제1 클럭(CK)을 제공하고, 제4 클럭 배선(CKB2)은 제2 그룹 중 짝수 번째 스테이지(SRC2, SRCn)에 제2 클럭(CKB)을 제공한다.

도 5는 도 4에 도시된 제3 및 제4 클럭 배선의 위치를 구체적으로 나타낸 게이트 구동회로의 설계도이고, 도 6은 제1 및 제3 클럭 배선의 연결관계와 제2 및 제4 클럭 배선의 연결관계를 나타낸 설계도이다.

도 5를 참조하면, 쉬프트 레지스터(211)의 외측에는 개시신호배선(ST), 제2 전원전압배선(VDD), 제1, 제2 클럭 배선(CK1, CKB1), 제1 전원전압배선(VSS), 제3 및 제4 클럭 배선(CK2, CKB2)들이 순차적으로 배치되어 있다. 각 배선들은 배선 폭이 좁을 수록 쉬프트 레지스터(211)와 인접하여 배치된다. 쉬프트 레지스터(211)와 인접할수록 배선간의 접촉 면적이 커져 접촉 커패시턴스가 커지기 때문에, 커패시턴스의 영향을 적게 받는 배선일수록 쉬프트 레지스터(211)와 인접하여 배치된다.

구체적으로, 쉬프트 레지스터(211)에 가장 인접한 곳에는 개시신호배선(ST)이 배치되고, 그 다음으로 제2 전원전압배선(VDD)이 개시신호배선(ST)에 인접하여 배치된다. 제2 전원전압배선(VDD)의 외측으로는 제2 및 제1 클럭 배선(CKB1, CK1)이 위치한다. 여기서, 제2 클럭 배선(CKB1)은 제1 클럭 배선(CK1)보다 내측에 배치된다. 제1 클럭 배선(CK1)과 인접하여 제1 전원전압배선(VSS)이 형성된다. 이와 같은 구조는 배선들과 해당 배선을 각 스테이지(SRC1~SRCn+1)를 연결하는 연결 라인들과의 사이에서 발생되는 접촉 커패시턴스로 인한 딜레이를 감소시킨다.

한편, 제3 및 제4 클럭 배선(CK2, CKB2)은 다른 배선들을 가로지르는 연결 라인들에 결합되어 쉬프트 레지스터(211)에 연결되는 것이 아니고, 제1 및 제2 클럭 배선(CK1, CKB1)의 일단에 결합되어 쉬프트 레지스터(211)에 연결되기 때문에 제1 전원전압배선(VSS)보다 외측에 배치된다.

도 5에 도시된 바와 같이, 제3 및 제4 클럭 배선(CK2, CKB2)은 TFT 기판(300)의 실 라인 영역(S) 내에 형성된다. 구체적으로, TFT 기판(300)은 게이트 라인(미도시), 데이터 라인(미도시) 및 화소(미도시)들이 형성되어 있는 표시영역(D)과 표시영역(D)의 주변에 형성된 주변영역(C)으로 구분된다.

다시, 주변영역(C)은 쉬프트 레지스터(211) 및 각종 배선들이 형성된 게이트 구동영역(G)과 TFT 기판(300)을 컬러필터기판(미도시)과 결합시키는 실런트(sealant)(미도시)가 형성된 실 라인 영역(S)으로 구분된다. 상기 게이트 구동영역(G)과 실 라인 영역(S)은 부분적으로 오버랩되어 있다. 즉, 실 라인 영역(S)은 실 라인 영역(S)의 중심을 기준으로 액정이 존재하는 내측 영역과 액정이 존재하지 않는 외측 영역으로 구분된다. 여기서, 상기 게이트 구동영역(G)은 상기 내측 영역을 포함하고 있다.

여기서, 제3 및 제4 클럭 배선(CK2, CKB2), 제1 전원전압배선(VSS)의 일부는 실 라인 영역(S) 내에 형성되고, 제1 전원전압배선(VSS)의 나머지 일부, 제1 클럭 배선(CK1), 제2 클럭 배선(CKB1), 제2 전원전압배선(VDD) 및 개시신호배선(ST)은 게이트 구동영역(G)내에 형성된다.

제1 전원전압배선(VSS)의 일부, 제1 및 제2 클럭 배선(CK1, CKB1), 제2 전원전압배선(VSS, VDD) 및 개시신호배선(ST)은 연결 라인들과 접촉되는 부분을 갖기 때문에 이들을 실 라인 영역(S)의 내에 형성하게되면, TFT 기판(300)과 컬러필터기판을 결합시키기 위해 고온에서 압력을 가하는 공정에 의해서 접촉 불량이 발생된다.

연결 라인들과 접촉되는 부분을 갖고 있는 배선들이 게이트 구동영역(G) 내에 형성되고, 연결 라인들과 접촉되는 부분을 갖지 않는 배선들이 실라인 영역(S) 내에 형성되기 때문에 액정표시장치의 전체적인 사이즈가 증가되는 것을 방지할 수 있다. 구체적으로, 제1 전원전압배선(VSS)의 나머지 일부, 제3 및 제4 클럭 배선(CK2, CKB2)은 연결 라인들과 결합되는 부분이 없기 때문에 실 라인 영역(S) 내에 형성하여도 무방하다.

따라서, 제3 및 제4 클럭 배선(CK2, CKB2)이 추가로 형성됨으로 인해서 액정표시장치의 사이즈가 증가되는 현상이 발생되지 않는다. 또한, 제3 및 제4 클럭 배선(CK2, CKB2)은 액정이 존재하지 않는 실 라인 영역(S) 내에 형성되기 때문에 커패시턴스가 존재하지 않아서 제1 및 제2 클럭의 지연 시간이 제1 및 제2 클럭 배선(CK1, CKB1)에 비하여 훨씬 감소된다.

도 6을 참조하면, 제1 클럭 배선(CK1)의 일단은 제3 클럭 배선(CK2)의 일단과 결합되고, 제2 클럭 배선(CKB1)의 일단은 제4 클럭 배선(CKB2)의 일단과 결합된다. 따라서, 제3 클럭 배선(CK2)은 쉬프트 레지스터의 각 스테이지에 제1 클럭(CK)을 제공하는 배선이고, 제4 클럭 배선(CKB2)은 각 스테이지에 제2 클럭(CKB)을 제공한다.

도 5 및 도 6에 도시된 바와 같이, 제3 및 제4 클럭 배선(CK2, CKB2)은 쉬프트 레지스터(211)와 직접적으로 연결되지도 않고, 다른 배선들과 크로스(crcss)되는 부분도 없다. 그러므로, 제1 및 제2 클럭(CK, CKB)이 제3 및 제4 클럭 배선(CK2, CKB2)을 통해 이동하는 속도는 제1 및 제2 클럭 배선(CK1, CKB1)을 통해 이동하는 속도보다 빠르다.

따라서, 쉬프트 레지스터(211)의 각 스테이지(SRC1~SRCn+1)들 중 일부는 제1 및 제2 클럭 배선(CK1, CKB1)을 통해 제공되는 제1 및 제2 클럭(CK, CKB)에 의해 동작되고, 나머지 일부는 제3 및 제4 클럭 배선(CK2, CKB2)을 통해 제공되는 제1 및 제2 클럭(CK, CKB)에 의해 동작된다.

이로써, 첫 번째 게이트 라인으로부터 마지막 게이트 라인까지 순차적으로 하이 레벨 구간을 갖고 발생되는 제1 및 제2 클럭(CK, CKB)의 지연시간을 최소화하여 쉬프트 레지스터(211)로부터 출력되는 출력신호의 지연 왜곡을 제거할 수 있다.

도 7 및 8은 본 발명의 다른 실시예에 따른 배선 구조를 나타낸 도면들이다.

도 7 및 도 8을 참조하면, 제1 전원전압배선(VSS)과 쉬프트 레지스터(미도시)의 사이에는 제1 전원전압배선(VSS)과 각 스테이지를 연결하는 제1 전원전압 연결라인(VSSc)이 배치된다. 제1 전원전압배선(VSS)과 쉬프트 레지스터와의 사이에는 제1 전원전압배선(VSS)과 나란하게 제1 및 제2 클럭 배선(CK1, CKB1)이 배치된다.

제1 전원전압 연결라인(VSSc)과 제1 및 제2 클럭 배선(CK1, CKB1)은 크로스된다. 또한, 제1 및 제2 클럭 배선(CK1, CKB1)은 제1 전원전압 연결라인(VSSc)과 크로스되지 않는 영역에서는 제1 폭(W1)을 갖고, 제1 전원전압 연결라인(VSSc)과 크로스된 영역에서는 제1 폭(W1)보다 작은 제2 폭(W2)을 갖는다.

구체적으로, 제1 클럭 배선(CK1)에는 제1 전원전압 연결라인(VSSc)과 크로스된 영역에 대응하여 일측벽으로부터 내측으로 오목하게 함몰된 제1 오목부(A)가 형성되고, 제2 클럭 배선(CKB1)에도 제1 전원전압 연결라인(VSSc)과 크로스된 영역에 대응하여 일측벽으로부터 내측으로 오목하게 함몰된 제2 오목부(B)가 형성된다.

제1 클럭 배선(CK1)은 길이방향으로 연장되는 제1 및 제2 측벽을 구비하고, 제2 클럭 배선(CKB1)은 길이 방향으로 연장되는 제3 및 제4 측벽을 구비한다. 제1 및 제2 클럭 배선(CK1, CKB1)은 제2 측벽과 제3 측벽이 서로 마주보도록 배치된다. 이때, 제1 오목부(A)는 제1 측벽에 형성되고, 제2 오목부(B)는 제4 측벽에 형성된다.

도 8에 도시된 바와 같이, 제1 클럭 배선(CK1)과 쉬프트 레지스터와의 사이에서 제1 클럭을 각 스테이지로 제공하는 제1 클럭 연결라인(CKc1)이 배치되고, 제2 클럭 배선(CKB1)과 쉬프트 레지스터와의 사이에서 제2 클럭을 각 스테이지로 제공하는 제2 클럭 연결라인(CKBc1)이 배치된다. 제1 클럭 연결라인(CKc1)은 제1 클럭 배선(CK1)의 제2 측벽 부근에서 제1 클럭 배선(CK1)과 콘택되고, 제2 클럭 연결라인(CKBc1)은 제2 클럭 배선(CKB1)의 제3 측벽 부근에서 제2 클럭 배선(CKB1)과 콘택된다. 제1 및 제2 오목부(A, B)는 제1 및 제2 클럭 연결라인(CKc1, CKBc1)의 콘택 부분들과 오버랩되지 않는 위치에 형성되는 것이 바람직하다.

이와 같이 제1 전원전압 연결라인(VSSc)과 크로스된 부분에서 제1 및 제2 클럭 배선(CKc1, CKBc1)의 제2 폭(W2)을 크로스되지 않는 부분에의 제1 폭(W1)보다 비하여 좁게 형성함으로써 제1 및 제2 클럭 배선(CK1, CKB1)과 제1 전원전압 연결라인(VSSc)과의 사이에서 형성되는 커패시턴스를 감소시킬 수 있다. 따라서, 제1 및 제2 클럭 배선(CK1, CKB1)을 통해 인가되는 제1 및 제2 클럭의 지연 시간과 제1 전원전압 연결라인(VSSc)을 통해 인가되는 제1 전원전압의 지연 시간을 줄일 수 있다.

제1 및 제2 클럭 배선(CK1, CKB1)의 폭을 부분적으로 좁게 형성하기 때문에 저항 성분이 커질 수도 있지만, 신호의

지연은 저항 성분보다는 커패시턴스 성분에 더 큰 영향을 받기 때문에 궁극적으로 지연 시간을 감소시킬 수 있다.

이하, 표 1에 제시된 실험예 및 비교예를 통해 커패시터스 성분 및 저항 성분에 따라 변화되는 RC 딜레이를 제시한다. 실험예에서는 제1 및 제2 클럭 배선(CK1, CKB1)의 제1 폭(W1)이 70㎛이고 제2 폭(W2)이 45㎛이다. 또한, 비교예에서는 제1 및 제2 클럭 배선(CK1, CKB1)은 전체적으로 균일하게 70㎛를 갖는다.

[표 1]

CK1(CKB1)	W1	W2	C	R
비교예	70㎛	70㎛	385pF	457Ω
실험예	70㎛	45㎛	344.5pF	489Ω

표 1에 제시된 바와 같이, 비교예에서 제1 및 제2 클럭 배선(CK1)과 제1 전원전압 연결라인(VSSc) 사이에서 발생되는 제1 커패시턴스는 385pF이고, 실험예에서 제1 및 제2 클럭 배선(CK1, CKB1)과 제1 전원전압 연결라인(VSSc) 사이에서 발생되는 제2 커패시턴스는 344.5pF이다. 즉, 실험예에서의 제2 커패시턴스가 비교예보다 약 10.5% 감소된다.

한편, 비교예서 제1 및 제2 클럭 배선(CK1, CKB1)에서의 제1 저항은 457Ω이고, 실험예에서 제1 및 제2 클럭 배선(CK1, CKB1)의 제2 저항은 489Ω으로, 실험예에서의 제2 저항이 제1 저항보다 약 7%증가된다. 그러나, 실험예에서 제2 저항이 증가된 비율보다 제2 커패시턴스가 감소된 비율이 크기 때문에 궁극적으로 RC 딜레이는 감소된다.

도 9는 본 발명의 또 다른 실시예에 따른 배선 구조를 나타낸 도면들이다.

도 9를 참조하면, 제1 전원전압배선(VSS)과 쉬프트 레지스터(미도시)의 사이에는 제1 전원전압배선(VSS)과 각 스테이지를 연결하는 제1 전원전압 연결라인(VSSc)이 배치된다. 제1 전원전압배선(VSS)과 쉬프트 레지스터와의 사이에는 제1 전원전압배선(VSS)과 나란하게 제1 및 제2 클럭 배선(CK1, CKB1)이 배치된다.

여기서, 제1 전원전압 연결라인(VSSc)과 제1 및 제2 클럭 배선(CK1, CKB1)은 크로스된다. 또한, 제1 전원전압 연결라인(VSSc)은 제1 및 제2 클럭 배선(CK1, CKB1)과 크로스되지 않는 영역에서는 제3 폭(W3)을 갖고, 제1 및 제2 클럭 배선(CK1, CKB1)과 크로스되는 영역에서는 제3 폭(W3)보다 작은 제4 폭(W4)을 갖는다.

구체적으로, 제1 전원전압 연결라인(VSSc)에는 제1 클럭 배선(CK1)과 크로스된 영역에 대응하여 일측벽으로부터 내측으로 오목하게 함몰된 제3 오목부(C)가 형성되고, 제2 클럭 배선(CKB1)과 크로스된 영역에 대응하여 일측벽으로부터 내측으로 오목하게 함몰된 제4 오목부(D)가 형성된다.

이와 같이 제1 및 제2 클럭 배선(CK1, CKB1)과 크로스된 영역에서 제1 전원전압 연결라인(VSSc)의 제4 폭(W4)을 크로스되지 않는 영역에서의 제3 폭(W3)보다 좁게 형성함으로써, 제1 및 제2 클럭 배선(CK1, CKB1)과 제1 전원전압 연결라인(VSSc)과의 사이에서 형성되는 커패시턴스를 감소시킬 수 있다. 따라서, 제1 및 제2 클럭 배선(CK1, CKB1)을 통해 인가되는 제1 및 제2 클럭의 지연 시간과 제1 전원전압 연결라인(VSSc)을 통해 인가되는 제1 전원전압의 지연 시간을 감소시 킬 수 있다.

이하, 쉬프트 레지스터(211)를 구성하는 각 스테이지(SRC1~SRCn+1)의 구조에 대해서 설명한다. 단, 각 스테이지(SRC1~SRCn+1)의 구조는 거의 동일함으로, i 번째 스테이지(SRCi)를 예로써 설명함으로써 모든 스테이지(SRC1~SRCn+1)의 설명을 대신한다. 여기서, i는 1부터 n까지에 있는 어느 하나의 자연수이다.

도 10은 도 4에 도시된 쉬프트 레지스터의 각 스테이지를 구성하는 내부 회로도이고, 도 11은 도 4에 도시된 쉬프트 레지스터의 출력 파형도이다.

도 10을 참조하면, 쉬프트 레지스터(211)의 i 번째 스테이지(SRCi)는 풀업부(211a), 풀다운부(211b), 풀업 구동부(211c) 및 풀다운 구동부(211d)로 이루어진다.

풀업부(211a)는 드레인이 클럭 입력단자(CK)에 연결되고, 소오스가 출력단자에 연결되어, 제1 노드(N1)의 전위에 따라 구동되는 제1 NMOS 트랜지스터(NT1)로 이루어진다.

풀다운부(211b)는 드레인이 상기 출력단자(OUTi)에 연결되고, 소오스가 제1 전원전압(VSS)에 연결되어, 제2 노드(N2)의 전위에 따라 구동되는 제2 NMOS 트랜지스터(NT2)로 구성된다.

풀업 구동부(211c)는 제1 커패시터(C1), 제3 내지 제5 NMOS 트랜지스터(NT3~NT5)로 이루어진다. 상기 제1 커패시터(C1)는 상기 제1 노드(N1)와 상기 출력단자(OUT)와의 사이에 연결된다. 제3 NMOS 트랜지스터(NT3)는 드레인이 제2 전원전압(VDD)에 연결되고, 소오스가 제1 노드(N1)에 연결되어, 입력단자(IN) 로부터 입력되는 입력신호에 의해 구동된다. 제4 NMOS 트랜지스터(NT4)는 드레인이 제1 노드(N1)에 연결되고, 소오스가 제1 전원전압(VSS)에 연결되어 제어단자(CT)로부터 입력되는 제어신호에 의해 구동된다. 제5 NMOS 트랜지스터(NT5)는 드레인이 제1 노드(N1)에 연결되고, 소오스가 제1 전원전압(VSS)에 연결되어, 제2 노드(N2)의 전위에 따라 구동된다.

풀다운 구동부(211d)는 제6 및 제7 NMOS 트랜지스터들(NT6, NT7)로 구성된다. 제6 NMOS 트랜지스터(NT6)는 드레인이 제2 전원전압(VDD)에 연결되고, 소오스가 제2 노드(N2)에 연결되어 제2 전원전압(VDD)에 의해 구동된다. 제7 NMOS 트랜지스터(NT7)는 드레인이 제2 노드(N2)에 연결되고, 소오스가 제1 전원전압(VSS)에 연결되어 제1 노드(N1)의 전위에 따라 구동된다.

풀업 구동부(211c)의 커패시터(C)가 하이 전압레벨 구간을 갖고 발생된 이전 스테이지의 출력신호에 의해 구동되는 제3 NMOS 트랜지스터(NT3)를 통하여 충전된다. 커패시터(C)의 충전전압이 제1 NMOS 트랜지스터(NT1)의 게이트와 소오스 사이의 문턱전압 이상으로 충전되면, 제1 NMOS 트랜지스터(NT1)가 턴-온되어, 제1 클럭(CK)의 하이 레벨 구간이 출력단자(OUTi)에 나타난다.

이와 동시에 턴-온 상태에 있는 제3 NMOS 트랜지스터(NT3)를 통해 제공되는 제2 전원전압(VDD)에 의해 제7 NMOS 트랜지스터(NT7)가 턴-온되고, 제 5 및 제2 NMOS 트랜지스터(NT5. NT2)가 턴-오프 상태를 유지한다. 따라서, 제1 클럭(CK)이 제1 NMOS 트랜지스터(NT1)를 통해 출력단자(OUTi)로 출력된다.

출력단자(OUTi)에 제1 클럭(CK)의 하이 전압레벨 구간이 나타나기 시작하면, 이 출력전압이 커패시터(C)에 부트스트랩(BOOTSTRAP)되어 제1 NMOS 트랜지스터(NT11)의 게이트 전압이 턴-온 전압 이상으로 상승하게 된다. 따라서, 제1 NMOS 트랜지스터(NT1)가 완전(FULL)한 도통 상태를 유지한다.

이후, 하이 레벨 구간을 갖고 발생된 다음 스테이지의 출력신호가 제어신호로써 제어단자(CT)를 통해 입력되면, 제4 NMOS 트랜지스터(NT4)가 턴-온되어, 제1 및 제7 NMOS 트랜지스터(NT1, NT7)를 턴-오프시킨다. 동시에 제6 NMOS 트랜지스터(NT6)를 통해 제2 노드(N2)의 전위가 상승함으로써, 제5 NMOS 트랜지스터(NT5)가 턴-온된다. 이후, 커패시터(C)에 충전된 전하는 제5 NMOS 트랜지스터(NT5)를 통해 방전된다.

또한, 제2 노드(N2)의 전위가 상승됨에 따라 제2 NMOS 트랜지스터(NT2)가 턴-온되고, 출력단자(OUTi)의 전압은 제2 NMOS 트랜지스터(NT2)를 통해 제1 전원전압(VSS)으로 방전된다. 따라서, 출력단자(OUTi)에는 제1 전원전압(VSS)이 출력신호로써 출력된다.

이와 같이, 쉬프트 레지스터(211)의 각 스테이지(SRC1~SRCn)가 순차적으로 구동되어 게이트 라인(G1~Gn)에 순차적으로 게이트 구동전압을 인가하여 한 프레임 기간동안 하나의 화면을 구현한다.

도 11을 참조하면, 제1 및 제2 클럭 배선(CK1, CKB1)을 통해 쉬프트 레지스터(211)의 제1 그룹에 제1 및 제2 클럭(CK, CKB)이 제공되고, 제1 그룹(G1)의 첫 번째 스테이지(SRC1)에 개시신호(ST)가 제공되면, 제1 그룹(G1)의 첫 번째 스테이지(SRC1)에서는 개시신호(ST)의 선단에 응답하여 제1 클럭(CK)의 하이 레벨 구간이 제1 출력신호(OUT1)로 발생된다. 이후, 두 번째 스테이지(SRC2)에서는 첫 번째 스테이지(SRC1)의 제1 출력신호(OUT2)에 응답하여, 제2 클럭(CKB)의 하이 레벨 구간이 제2 출력신호(OUT2)로 발생된다.

한편, 제3 및 제4 클럭 배선(CK2, CKB2)을 통해 쉬프트 레지스터(211)의 제2 그룹(G2)에 제1 및 제2 클럭(CK, CKB)이 제공되면, 제2 그룹(G2)의 첫 번째 스테이지인 제i 번째 스테이지(SRCi)에서는 제1 그룹(G1)의 마지막 스테이지인 제i-1 번째 스테이지(SRCi-1)의 제i-1 출력신호에 응답하여, 제1 클럭(CK)의 하이 레벨 구간이 제i 출력 신호로 발생된다. 제i+1 번째 스테이지(SRCi+1)에서는 제i 출력신호에 응답하여, 제2 클럭(CKB)의 하이 레벨 구간이 제i+1 출력신호(OUTi+1)로 발생된다.

이와 같이, 각 스테이지의 출력단자(OUT)에는 제1 내지 제n 출력신호(OUT1~OUTn)가 순차적으로 하이 레벨 구간을 갖으면서 발생된다.

발명의 효과

이러한 액정표시장치에 따르면, 쉬프트 레지스터는 제1 및 제2 그룹으로 분리되고, 각 스테이지에 클럭 신호를 제공하는 클럭 배선은 제1 그룹의 홀수 번째 스테이지에 제1 클럭을 제공하는 제1 클럭 배선, 제1 그룹의 짝수 번째 스테이지에 제2 클럭을 제공하는 제2 클럭 배선, 제2 그룹의 홀수 번째 스테이지에 제1 클럭을 제공하는 제3 클럭 배선 및 제2 그룹의 짝수 번째 스테이지에 제2 클럭을 제공하는 제4 클럭 배선으로 이루어진다.

따라서, 첫 번째 게이트 라인으로부터 마지막 게이트 라인까지 순차적으로 하이 레벨 구간을 갖고 발생되는 제1 및 제2 클럭의 지연시간을 최소화할 수 있고, 더 나아가 액정표시장치의 표시특성을 향상시킬 수 있다.

실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.
게이트 라인, 데이터 라인 및 상기 게이트 라인과 데이터 라인에 연결된 스위칭 소자로 이루어진 다수의 화소가 형성된 제1 기판, 상기 제1 기판과 마주보는 제2 기판 및 상기 제1 및 제2 기판 사이에 개재된 액정층으로 이루어진 표시부;

상기 표시부의 주변에 형성되고, 상기 다수의 데이터 라인과 결합되어 상기 다수의 데이터 라인에 영상 데이터를 제공하는 데이터 구동부; 및

상기 표시부의 주변에 형성되고, 복수의 스테이지가 종속적으로 연결되어 각 스테이지로부터 출력된 게이트 구동신호를 상기 게이트 라인으로 순차적으로 제공하며, 제1 및 제2 그룹으로 분리된 쉬프트 레지스터 및 외부로부터 제공되는 신호들을 상기 각 스테이지에 인가하는 배선들로 이루어진 게이트 구동부를 포함하고,

상기 배선들은 상기 제1 그룹의 홀수 번째 스테이지에 제1 클럭을 제공하는 제1 클럭 배선, 상기 제1 그룹의 짝수 번째 스테이지에 상기 제1 클럭과 반전된 위상을 갖는 제2 클럭을 제공하는 제2 클럭 배선, 상기 제2 그룹의 홀수 번째 스테이지에 상기 제1 클럭을 제공하는 제3 클럭 배선 및 상기 제2 그룹의 짝수 번째 스테이지에 상기 제2 클럭을 제공하는 제4 클럭 배선을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.
제1항에 있어서, 상기 제1 내지 제4 클럭 배선은 상기 제1 또는 제2 클럭이 각각 입력되는 제1 내지 제4 입력단을 구비하고, 상기 제1 내지 제4 입력단은 상기 쉬프트 레지스터의 첫 번째 스테이지가 배치되는 제1 영역에서 서로 인접하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3.
제2항에 있어서, 상기 제1 클럭 배선은 상기 쉬프트 레지스터의 마지막 스테이지가 배치되는 제2 영역에서 상기 제3 클럭 배선과 결합되고, 상기 제2 클럭 배선은 상기 제2 영역에서 상기 제4 클럭 배선과 결합되는 것을 특징으로 하는 액정표시장치.

청구항 4.
제1항에 있어서, 상기 표시부의 주변에는 상기 제1 및 제2 기판을 결합시키는 결합부재가 형성되고, 상기 제3 및 제4 클럭 배선은 상기 결합부재가 형성된 영역에 내에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 5.
제1항에 있어서, 상기 배선들은 상기 쉬프트 레지스터의 각 스테이지에 제1 전원전압을 제공하기 위한 제1 전원전압 배선, 제2 전원전압을 제공하기 위한 제2 전원전압배선 및 첫 번째 스테이지에 개시신호를 제공하기 위한 개시신호배선을 더 포함하고,

상기 개시신호배선, 상기 제2 전원전압배선, 상기 제1 및 제2 클럭 배선, 상기 제1 전원전압배선, 상기 제3 및 제4 클럭 배선 순으로 상기 쉬프트 레지스터에 근접하게 배치되는 것을 특징으로 하는 액정표시장치.

청구항 6.
제5항에 있어서, 상기 배선들은 상기 제1 전원전압배선과 상기 각 스테이지를 연결하는 제1 전원전압 연결라인을 더 포함하고,

상기 제1 및 제2 클럭 배선의 폭은 상기 제1 전원전압 연결라인과 크로스되는 영역에서 좁아지는 것을 특징으로 하는 액정표시장치.

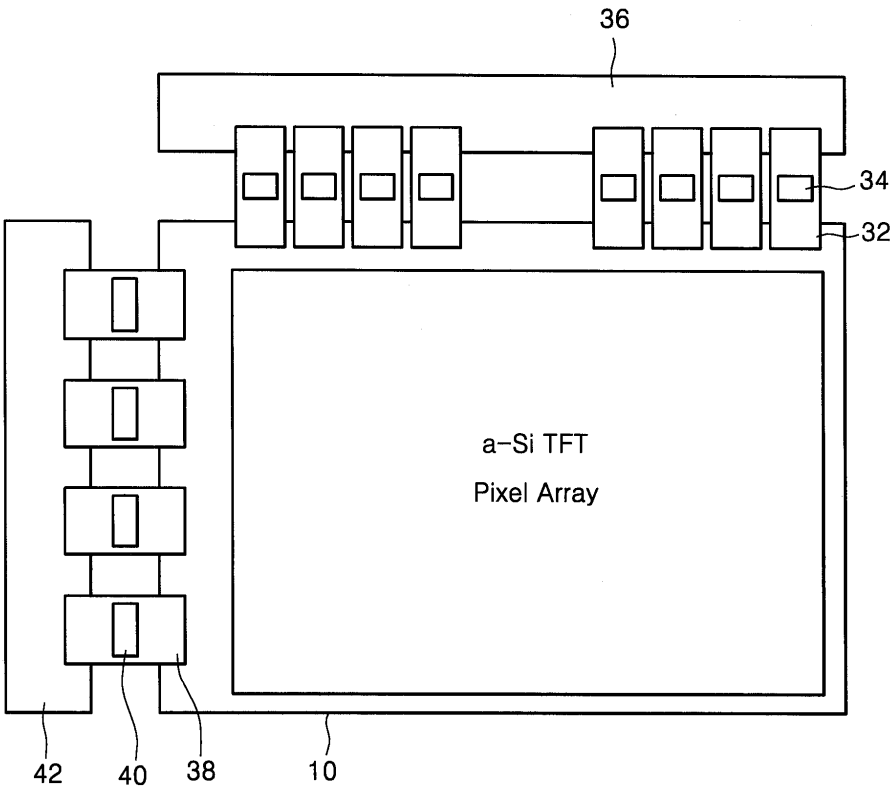
청구항 7.

제5항에 있어서, 상기 배선들은 상기 제1 전원전압배선과 상기 각 스테이지를 연결하는 제1 전원전압 연결라인을 더 포함하고,

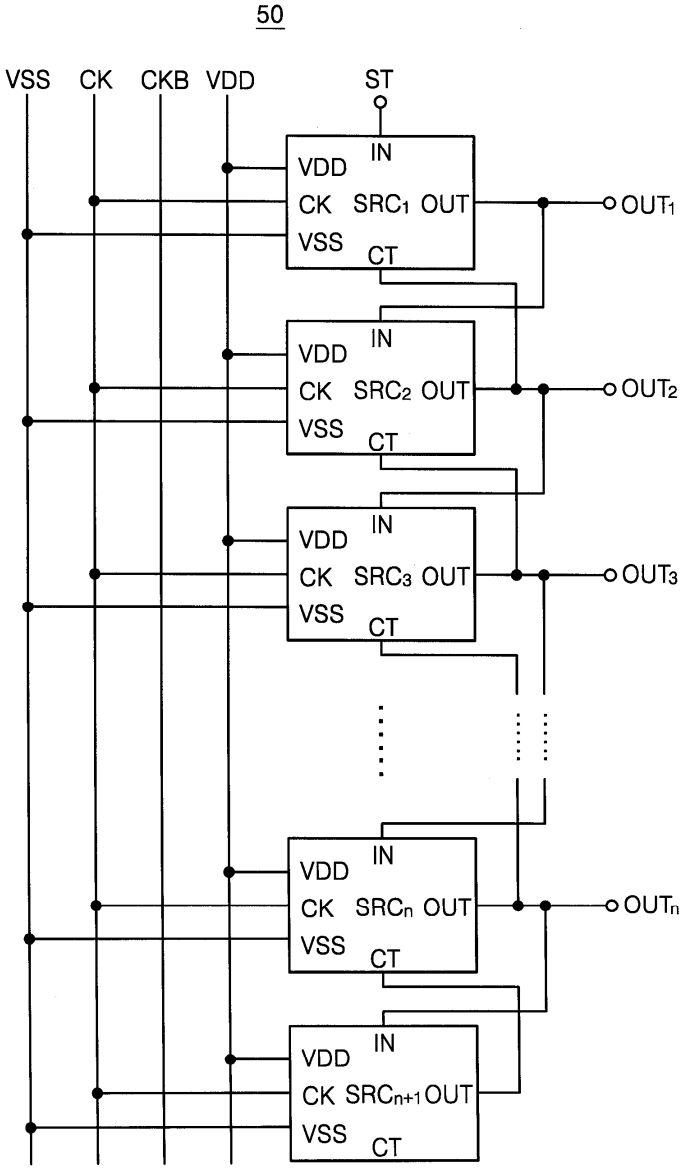
상기 제1 전원전압 연결라인의 폭은 상기 제1 및 제2 클럭 배선과 크로스되는 영역에서 좁아지는 것을 특징으로 하는 액정표시장치.

도면

도면1

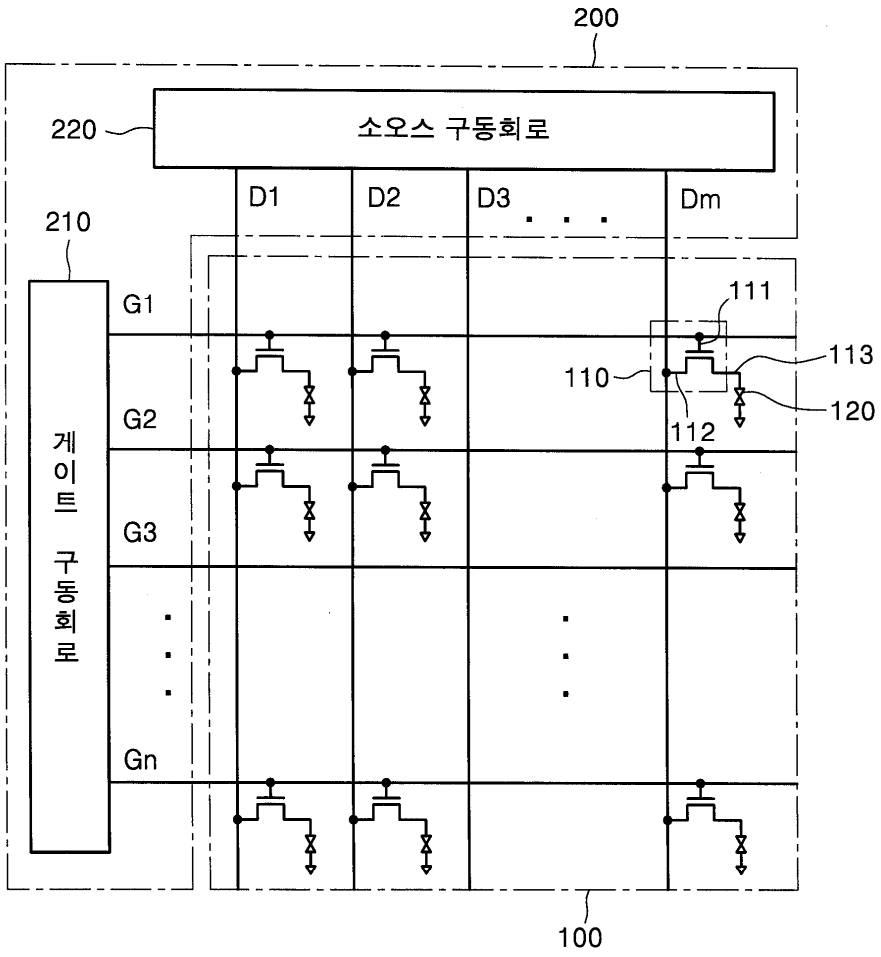


도면2


50
VSS
CK
CKB
VDD
ST
IN
VDD
CK
SRC1
OUT
VSS
CT
OUT1
SRC2
OUT2
SRC3
OUT3
SRCn
OUTn
SRCn+1

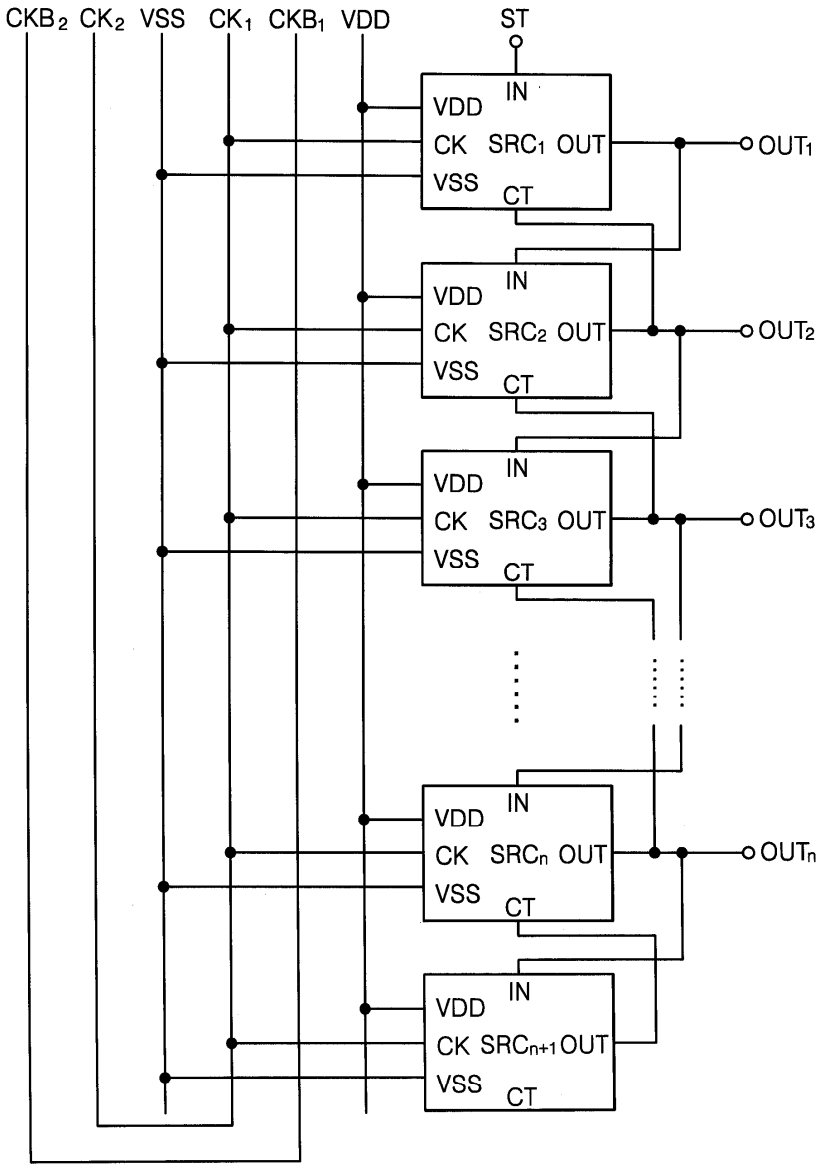
도면3

300

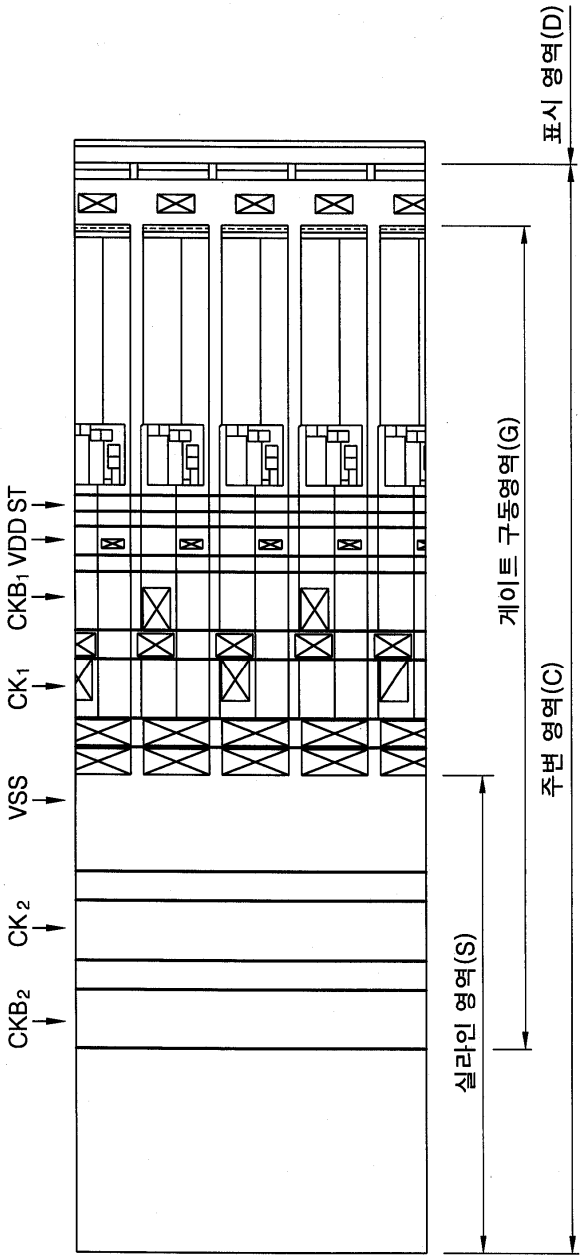

200
220
소오스 구동회로
D1
D2
D3
Dm
210
게이트 구동회로
G1
G2
G3
Gn
111
113
110
120
112
100

도면4

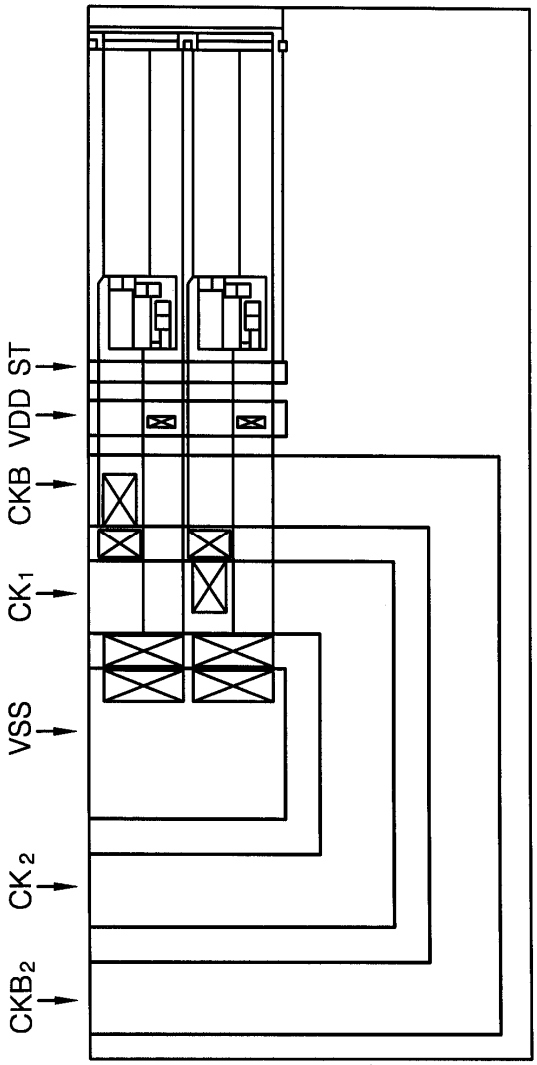
211


CKB2
CK2
VSS
CK1
CKB1
VDD
ST
IN
VDD
CK
SRC1
OUT
VSS
CT
OUT1
SRC2
OUT2
SRC3
OUT3
SRCn
OUTn
SRCn+1

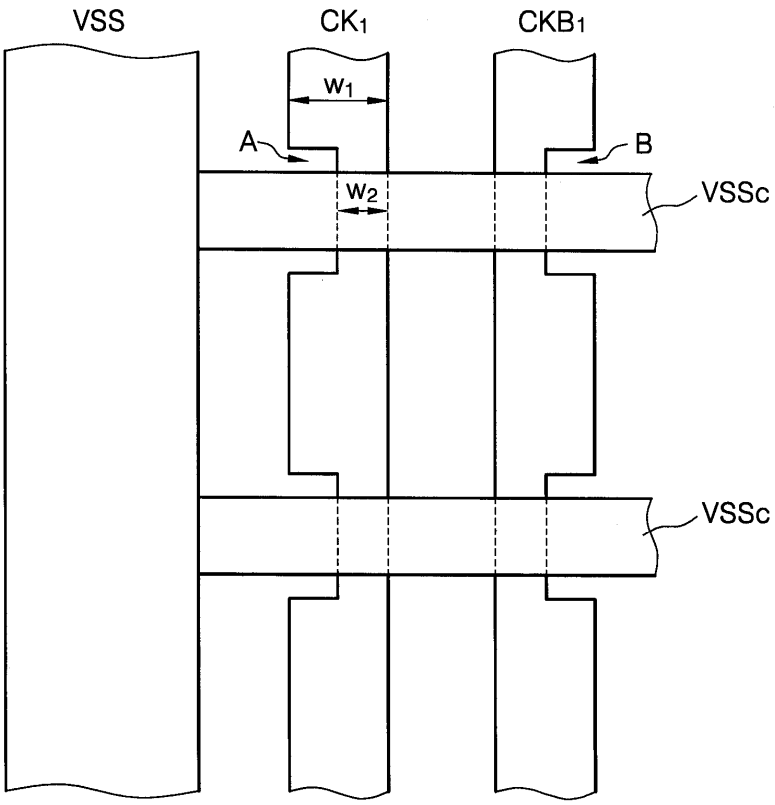
도면5



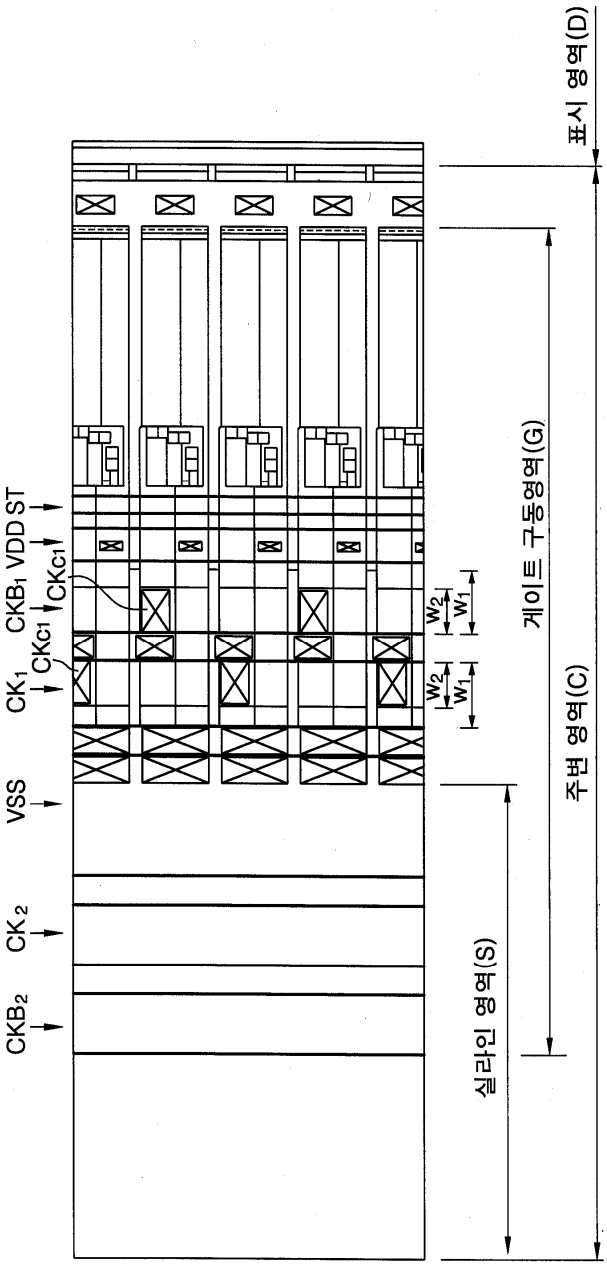
도면6



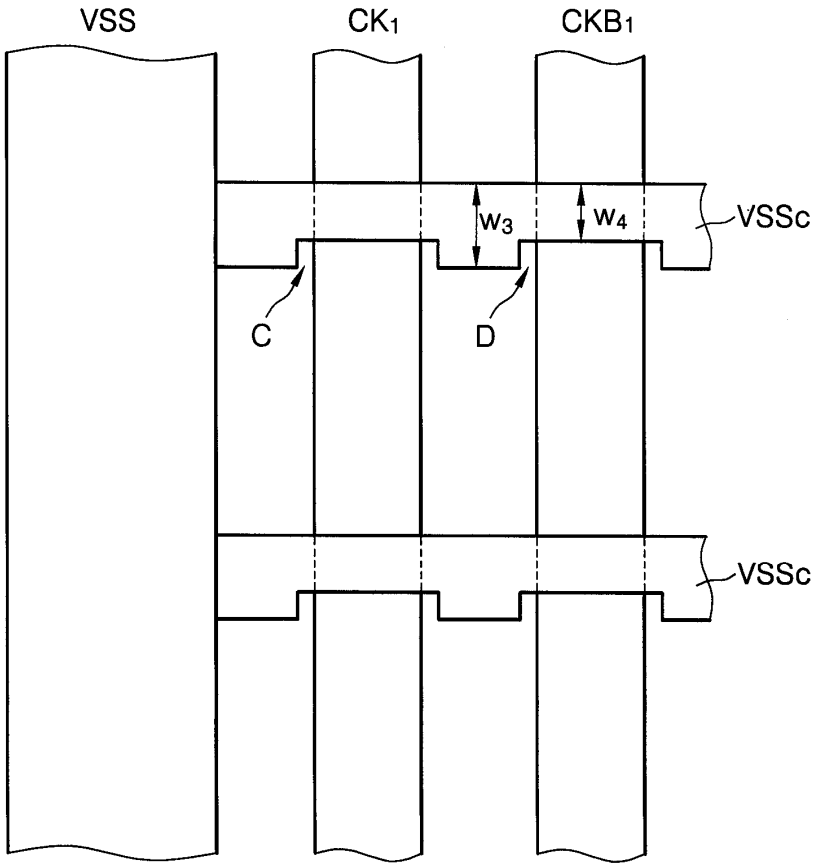
도면7



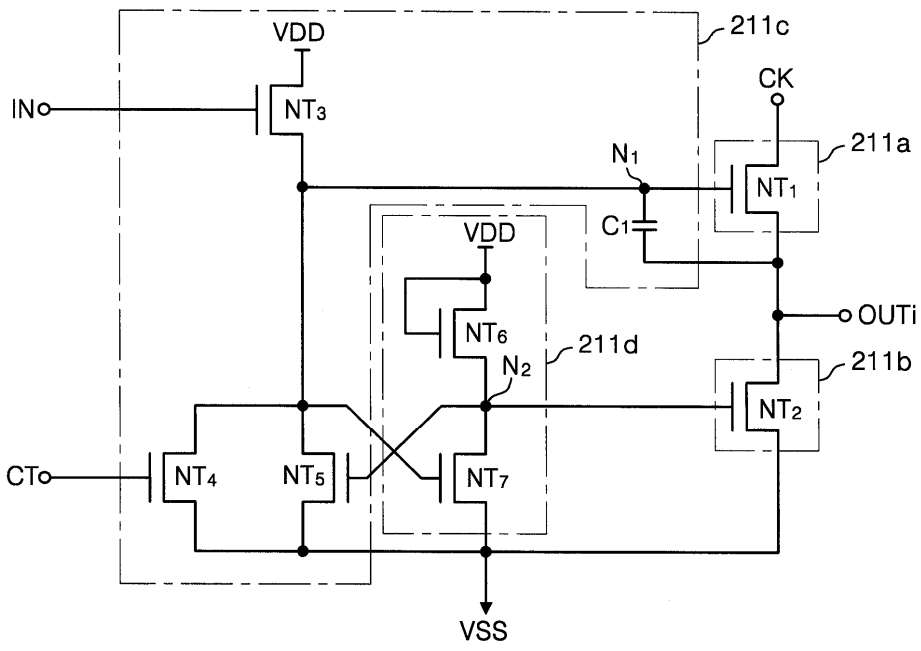
도면8


표시 영역(D)
게이트 구동영역(G)
주변 영역(C)
실라인 영역(S)
CKB1
VDD
ST
CKC1
CK1
VSS
CK2
CKB2
W2
W1

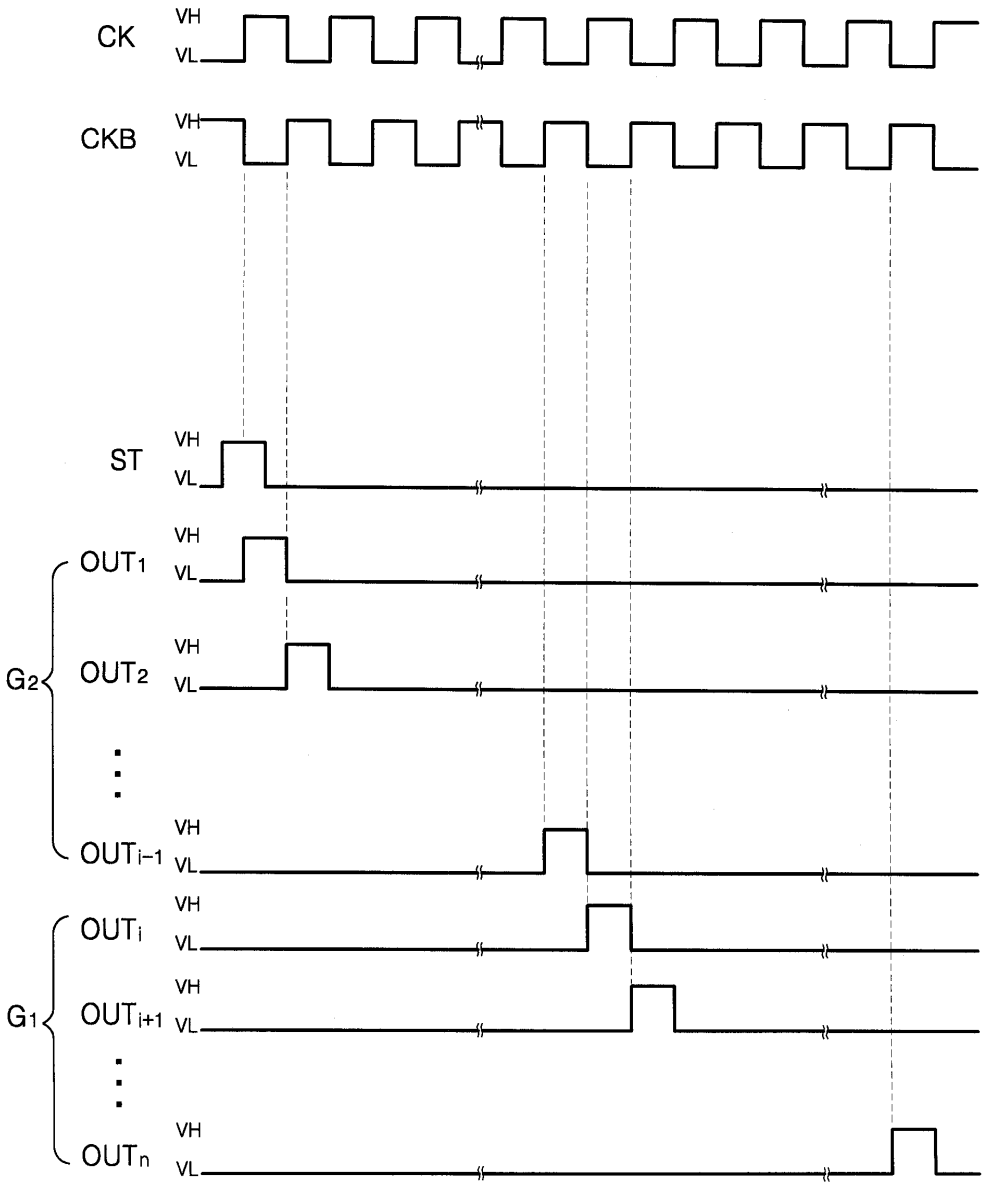
도면9


VSS
CK1
CKB1
w3
w4
VSSc
C
D
VSSc

도면10


SRCi
VDD
211c
CK
IN
NT3
N1
211a
NT1
C1
VDD
OUTi
NT6
211d
N2
211b
NT2
CT
NT4
NT5
NT7
VSS

도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020030080979A	公开(公告)日	2003-10-17
申请号	KR1020020061454	申请日	2002-10-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BACKWON 이백원 MOON SEUNGHWAN 문승환		
发明人	이백원 문승환		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G09G3/3614 G09G3/3685 G09G3/3696 G09G2310/0286		
代理人(译)	PARK，YOUNG WOO		
优先权	1020020018924 2002-04-08 KR		
其他公开文献	KR100860239B1		
外部链接	Espacenet		

摘要(译)

公开了一种改善指示特性的液晶显示器。显示区域附近可以设置有栅极驱动单元，该栅极驱动单元包括与第一和第二组分离的移位寄存器和布线。向布线中的每个级提供时钟信号的时钟线包括向第一组的奇数级提供第一时钟的第一时钟线，向第二组的偶数级提供第二时钟的第二时钟线。第一组和第三时钟布线，其提供第一时钟到第二组的奇数级，以及第四时钟布线，其将第二时钟提供给第二组的偶数转向级。因此，可以改善液晶显示器的指示特性。