



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월08일
(11) 등록번호 10-1295062
(24) 등록일자 2013년08월01일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0061661

(22) 출원일자 2006년06월30일

심사청구일자 2011년06월29일

(65) 공개번호 10-2008-0003120

(43) 공개일자 2008년01월07일

(56) 선행기술조사문헌

KR100558714 B1*

KR1020060073372 A

JP06230426 A

KR1020030075770 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

안재준

경상북도 구미시 상모로8길 5-2, 동신리치빌

32B1LOT C동 401호 (상모동)

(74) 대리인

박장원

전체 청구항 수 : 총 4 항

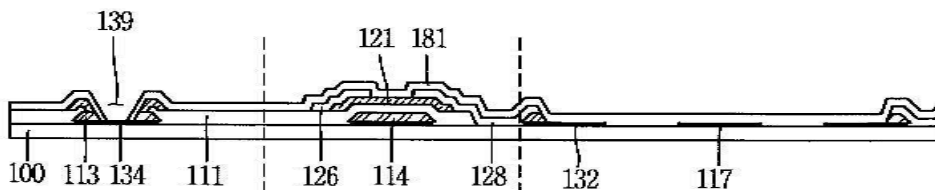
심사관 : 윤성주

(54) 발명의 명칭 **횡전계방식 액정표시장치의 제조방법**

(57) 요약

본 발명은 횡전계 방식 액정표시장치의 제조방법에 관해 개시한다. 개시된 방법은 게이트 패드부 및 박막 트랜지스터부 및 핑거부가 각각 정의된 절연기판을 제공하고, 상기 기판 상에 투명도전막, 제 1금속막 및 제1 마스크 패턴을 차례로 형성하고, 상기 제1 마스크 패턴을 이용하여 상기 제 1금속막 및 상기 투명도전막을 패터닝하여 게이트전극, 게이트패드, 화소전극 및 공통전극을 각각 형성하고, 상기 기판 상에 게이트 절연막, 실리콘층 및 제2 마스크 패턴을 차례로 형성하고, 상기 제2 마스크 패턴을 이용하여 상기 게이트 절연막 및 상기 실리콘층을 1차 패터닝하여 상기 게이트패드, 상기 화소전극 및 상기 공통전극을 노출하고, 상기 제2 마스크 패턴을 애싱한 후, 애싱된 제2 마스크 패턴을 이용하여 상기 실리콘층을 2차 패터닝하여 상기 게이트전극 상에 액티브층을 형성하고, 상기 기판 상에 제2금속막 및 제3 마스크 패턴을 형성하고, 상기 제3 마스크 패턴을 이용하여 상기 제2금속막을 패터닝하여 상기 액티브층 상에 소오스전극 및 드레인전극을 형성하되, 상기 소오스전극 및 드레인전극은 상기 액티브층의 상면 및 측면을 덮되 채널영역을 노출하도록 형성되되, 상기 드레인전극이 상기 화소전극의 일부위를 덮도록 형성하고, 상기 기판 상에 보호막 및 제4 마스크 패턴을 형성하고, 상기 제4 마스크 패턴을 이용하여 상기 보호막을 패터닝하는 것을 포함한다. 상기한 구성에 따르면 본 발명은 액티브층의 측면 및 상면을 모두 덮는 소오스전극 및 드레인전극을 제공한다. 따라서, 상기 액티브층이 노출됨에 따른 물질 노이즈 문제를 해결할 수 있는 이점이 있다.

대표도 - 도3i



특허청구의 범위

청구항 1

게이트 패드부 및 박막 트랜지스터부 및 화소영역이 각각 정의된 절연기판을 제공하고,

상기 기판 상에 투명도전막, 제 1금속막 및 제1 마스크 패턴을 차례로 형성하고, 상기 제1 마스크 패턴을 이용하여 상기 제 1금속막 및 상기 투명도전막을 패터닝하여 게이트전극, 게이트패드, 화소전극 및 공통전극을 각각 형성하고,

상기 기판 상에 게이트 절연막, 실리콘층 및 제2 마스크 패턴을 차례로 형성하고, 상기 제2 마스크 패턴을 이용하여 상기 게이트 절연막 및 상기 실리콘층을 1차 패터닝하여 상기 게이트패드, 상기 화소전극 및 상기 공통전극을 노출하고,

상기 제2 마스크 패턴을 애싱한 후, 애싱된 제2 마스크 패턴을 이용하여 상기 실리콘층을 2차 패터닝하여 상기 게이트전극 상에 액티브층을 형성하고,

상기 기판 상에 제2금속막 및 제3 마스크 패턴을 형성하고, 상기 제3 마스크 패턴을 이용하여 상기 제2금속막을 패터닝하여 상기 액티브층 상에 소오스전극 및 드레인전극을 형성하고, 상기 소오스전극 및 드레인전극이 형성되는 동안 상기 제3 마스크 패턴을 이용하여 상기 화소전극 및 상기 공통전극의 상기 제1금속막을 패터닝하여 상기 투명도전막을 노출시키고,

상기 기판 상에 보호막 및 제4 마스크 패턴을 형성하고, 상기 제4 마스크 패턴을 이용하여 상기 보호막을 패터닝하는 것을 포함하며,

상기 소오스전극 및 드레인전극은 상기 액티브층의 상면 및 측면을 덮되 채널영역을 노출하도록 형성되고, 상기 드레인전극이 상기 화소전극의 일부위를 덮도록 형성하는 횡전계방식 액정표시장치의 제조방법.

청구항 2

삭제

청구항 3

제 1항에 있어서, 상기 실리콘층은 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층을 차례로 적층하여 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 4

제 1항에 있어서, 상기 소오스전극 및 드레인전극이 형성되는 동안, 상기 제3 마스크 패턴을 이용하여 상기 게이트패드의 제 1금속막을 패터닝하여 패드전극을 형성하고,

상기 패드 전극은 상기 제4 마스크 패턴에 의해 상기 보호막이 패터닝되어 노출되는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 5

제 1항에 있어서, 상기 제 1금속막 및 상기 제 2금속막 패터닝 공정은 습식식각으로 진행하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0004] 본 발명은 액정표시장치의 제조방법에 관한 것으로서, 보다 구체적으로는 횡전계 방식 액정표시장치 및 그 제조방법에 관한 것이다.
- [0005] 최근, 계속해서 주목받고 있는 평판표시소자 중 하나인 액정표시소자는 액체의 유동성과 결정의 광학적 성질을 겸비하는 액정에 전계를 가하여 광학적 이방성을 변화시키는 소자로서, 종래 음극선관(Cathode Ray Tube)에 비해 소비전력이 낮고 부피가 작으며 대형화 및 고정세가 가능하여 널리 사용되고 있다. 상기 액정표시소자는 액정의 성질과 패턴의 구조에 따라서 여러 가지 다양한 모드가 있다. 구체적으로, 액정 방향자가 90° 트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 화소를 여러 도메인으로 나눠 각각의 도메인의 주시야각 방향을 달리하여 광시야각을 구현하는 멀티도메인 모드(Multi-Domain Mode)와, 보상필름을 기판에 부착하여 빛의 진행방향에 따른 빛의 위상변화를 보상하는 OCB 모드(Optically Compensated Birefringence Mode)와, 한 기판 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계방식(In-Plane Switching Mode)과, 네가티브형 액정과 수직배향막을 이용하여 액정 분자의 장축이 배향막 평면에 수직 배열되도록 하는 VA 모드(Vertical Alignment Mode) 등 다양하다. 이중, 상기 횡전계방식 액정표시소자는 통상, 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 어레이 기판과 박막 트랜지스터 어레이 기판으로 구성된다. 즉, 상기 컬러필터 어레이 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와, 상기 블랙 매트릭스 상에 색상을 구현하기 위한 R,G,B의 컬러필터층이 형성된다.
- [0006] 그리고, 상기 박막트랜지스터 어레이 기판에는 단위 화소를 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 스위칭소자와, 서로 엇갈리게 교차되어 횡전계를 발생시키는 공통전극 및 화소전극이 형성된다.
- [0007] 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열 이변하게 되고 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.
- [0008] 도 1a 내지 도 1d는 종래 횡전계방식 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도이다. 이하, 도면을 참조하여 상술한 종래 횡전계 방식 액정표시장치의 제조방법에 대해 설명한다.
- [0009] 도 1a에 도시된 바와 같이, 게이트 패드부(P1), 박막 트랜지스터부(P2), 공통전극부(P3) 및 스토리지부(P4)가 각각 정의된 절연기판(1)을 제공한다. 상기 절연기판(1) 상에 제 1금속막(미도시)을 형성한다. 상기 제 1금속막을 선택적으로 패터닝하여 게이트패드(3P1), 게이트전극(3P2), 공통전극(3P3) 및 스토리지전극(3P4)을 형성한다. (제 1마스크 공정)
- [0010] 도 1b에 도시된 바와 같이, 상기 스토리지전극(3P4)을 가진 기판 상에 게이트절연막(5), 실리콘층(미도시) 및 제 2금속막(미도시)을 차례로 형성한다. 상기 제 2금속막 및 실리콘층을 패터닝하여 차례로 적층된 액티브층(7), 소오스전극(9S) 및 드레인전극(9D)를 형성한다. (제 2마스크 공정) 상기 액티브층(7) 및 소오스전극(9S) 및 드레인전극(9D)은 회절 마스크를 사용하여 형성할 수 있다.
- [0011] 도 1c에 도시된 바와 같이, 이어, 상기 소오스전극(9S) 및 드레인전극(9D)을 가진 기판 상에 보호막(11)을 형성한다. 상기 보호막(11) 및 게이트 절연막(5)을 패터닝하여 상기 게이트 패드(3P1) 및 상기 드레인전극(9D)을 노출시키는 각각의 제 1콘택(12) 및 제 2콘택(13)을 형성한다. (제 3마스크 공정)
- [0012] 도 1d에 도시된 바와 같이, 상기 제 1콘택(12) 및 제 2콘택(13)을 가진 기판 상에 투명 도전막(미도시)을 형성한다. 상기 투명 도전막을 선택적으로 패터닝하여 화소전극(15)을 형성한다. 이때, 상기 화소전극(15)을 형성하는 동안, 상기 제 1콘택(12)을 통해 게이트 패드(3P1)와 연결되는 패드전극(16)이 형성된다. (제 4마스크 공정)
- [0013] 그러나, 상술한 종래 액정표시장치의 제조방법에서는 회절 마스크를 이용하여 소오스전극(9S) 및 드레인 전극

(9D)을 형성한다. 즉, 회절 마스크를 사용하여 제 2금속막을 패터닝하는 동안, 식각액이 상기 제 2금속막의 측면으로 침투하게 되어 과도식각된다. 결과적으로 상기 액티브층(7)은 소오스전극(9S) 및 드레인전극(9D) 밖으로 노출된 구조를 가지게 된다. 따라서, 상기 액티브층(7)은 빛에 의해 노출됨으로써 백 라이트에 의해 이상 전계를 형성하여 물결 노이즈(wavy noise)가 발생하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0014] 따라서, 상기 문제점을 해결하고자, 본 발명의 과제는 소오스전극 및 드레인전극이 액티브층을 덮도록 형성함으로써, 상기 액티브층이 노출됨에 따른 물결 노이즈 문제를 해결할 수 있는 횡전계 방식 액정표시장치의 제조방법을 제공하려는 것이다.

발명의 구성 및 작용

[0015] 상기 과제를 달성하고자, 본 발명은 횡전계 방식 액정표시장치의 제조방법을 제공한다. 상기 방법은 게이트 패드부 및 박막 트랜지스터부 및 화소영역이 각각 정의된 절연기판을 제공하고, 상기 기판 상에 투명도전막, 제 1금속막 및 제1 마스크 패턴을 차례로 형성하고, 상기 제1 마스크 패턴을 이용하여 상기 제 1금속막 및 상기 투명도전막을 패터닝하여 게이트전극, 게이트패드, 화소전극 및 공통전극을 각각 형성하고, 상기 기판 상에 게이트 절연막, 실리콘층 및 제2 마스크 패턴을 차례로 형성하고, 상기 제2 마스크 패턴을 이용하여 상기 게이트 절연막 및 상기 실리콘층을 1차 패터닝하여 상기 게이트패드, 상기 화소전극 및 상기 공통전극을 노출하고, 상기 제2 마스크 패턴을 애싱한 후, 애싱된 제2 마스크 패턴을 이용하여 상기 실리콘층을 2차 패터닝하여 상기 게이트전극 상에 액티브층을 형성하고, 상기 기판 상에 제2금속막 및 제3 마스크 패턴을 형성하고, 상기 제3 마스크 패턴을 이용하여 상기 제2금속막을 패터닝하여 상기 액티브층 상에 소오스전극 및 드레인전극을 형성하고, 상기 소오스전극 및 드레인전극이 형성되는 동안 상기 제3 마스크 패턴을 이용하여 상기 화소전극 및 상기 공통전극의 상기 제1금속막을 패터닝하여 상기 투명도전막을 노출시키고, 상기 소오스전극 및 드레인전극은 상기 액티브층의 상면 및 측면을 덮되 채널영역을 노출하도록 형성되고, 상기 드레인전극이 상기 화소전극의 일부위를 덮도록 형성하고, 상기 기판 상에 보호막 및 제4 마스크 패턴을 형성하고, 상기 제4 마스크 패턴을 이용하여 상기 보호막을 패터닝하는 것을 포함한다.

[0016] 삭제

[0017] 상기 실리콘층은 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층을 차례로 적층하여 형성한다.

[0018] 상기 소오스전극 및 드레인전극이 형성되는 동안, 상기 제3 마스크 패턴을 이용하여 상기 게이트패드의 제 1금속막을 패터닝하여 패드전극을 형성한다.

[0019] 상기 제 1금속막 및 상기 제 2금속막 패터닝 공정은 습식식각으로 진행하는 것이 바람직하다.

[0020] 삭제

[0021] 삭제

[0022] 삭제

[0023] 삭제

[0024] 삭제

[0025] (실시예)

- [0026] 이하 첨부된 도면을 참고로 하여 본 발명에 따른 횡전계방식 액정표시장치의 제조방법을 상세하게 설명한다.
- [0027] 도 2는 본 발명에 따른 횡전계방식 액정표시장치의 단면도로서, 하부기판 만을 도시하였다.
- [0028] 도 2에 도시된 바와 같이, 종래 횡전계 방식 액정표시장치는 소정간격 이격되어 평행하게 일방향으로 구성된 다수의 게이트배선(112)과 스토리지배선(116)과, 상기 두 배선과 교차하며, 게이트배선(112)과는 화소영역(P)을 정의하는 데이터배선(124)이 구성된다.
- [0029] 상기 게이트배선(112)과 데이터배선(124)의 교차지점에는 게이트전극(114)과 액티브층(121)과 소스전극(126) 및 드레인전극(128)을 포함하는 박막 트랜지스터(T)가 구성되며, 상기 소스전극(126)은 상기 데이터배선(124)과 연결되고, 상기 게이트전극(114)은 상기 게이트배선(112)과 연결된다.
- [0030] 상기 화소영역(P)의 상부에는 상기 드레인전극(128)과 연결되는 화소전극(132)과, 상기 화소전극(132)과 평행하게 구성되고 상기 스토리지배선(116)과 연결되는 공통전극(117)이 구성된다.
- [0031] 상기 화소전극(132)은 하나의 화소영역(P)에 다수의 화소전극(132)을 게이트배선(112)과 교차되는 방향으로 구성된다.
- [0032] 상기 다수의 화소전극(132)의 일끝단은 드레인전극(128)에서 연장된 제 1인출배선(131)과 접촉하고, 다른 일끝단은 제 2인출배선(133)에 의해 하나로 연결되며, 하나의 굽은 부분을 포함하는 형태로 형성된다.
- [0033] 공통전극(117)은 하나의 화소영역(P)에 다수의 화소전극(132)과 엇갈려 화소전극(132)과 같은 방향으로 구성된다. 이때, 다수의 공통전극(117)의 일 끝단은 공통배선(116)과 접촉되고, 다른 일끝단은 공통배선 수평부(118)과 연결되도록 배치된다.
- [0034] 한편, 공통배선(116)과 공통배선 수평부(118)는 데이터배선(124)과 나란히 형성된 공통배선 연장부(119)에 의해 연결되어 있으며, 공통배선 연장부(119)는 데이터배선(124)과 인접하여 형성되어 있다.
- [0035] 도 3a 내지 도 3i는 본 발명에 따른 횡전계방식 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도로서, 도 2의 Va-Va' 선 및 Vb-Vb' 선의 절단면을 보인 도면이다. 도 3a 내지 도 3i를 참고로 하여 상기 구성을 가진 본 발명에 따른 횡전계 방식 액정표시장치의 제조방법에 대해 설명한다.
- [0036] 도 3a에 도시된 바와 같이, 게이트 패드부(IIIa~IIIa'), 박막 트랜지스터부(IIIb~IIIb') 및 핑거부(IIIc~IIIc')가 각각 정의된 절연기판(100)을 제공한다. 여기서, 핑거부(IIIc~IIIc')는 도 2에 도시된 바와 같이, 다수의 화소전극(132)과 다수의 공통전극(117)이 동일한 방향으로 서로 엇갈리며 평행하게 형성된 화소영역(P)을 나타낸다. 다수의 화소전극(132)과 다수의 공통전극(117) 각각은 핑거(finger) 형상으로 형성될 수 있는데, 이들 각각은 화소영역(P)에서 서로 엇갈려 나란하게 형성되어 있다. 절연기판(100)은 투명한 글라스 기판일 수 있다. 상기 절연기판(100) 상에 투명 도전막(101), 제 1금속막(103) 및 소정의 제 1마스크 패턴(171)을 차례로 형성한다.
- [0037] 도 3a 및 도 3b에 도시된 바와 같이, 상기 제 1마스크 패턴(171)을 이용하여 상기 제 1금속막(103) 및 투명 도전막(101)을 선택적으로 패터닝하여 게이트패드(113), 게이트전극(114), 화소전극(132) 및 공통전극(117)을 형성한다. 상기 제 1금속막(103)의 패터닝 공정은 습식식각으로 진행될 수 있다.
- [0038] 도 3c에 도시된 바와 같이, 게이트패드(113), 게이트전극(114), 화소전극(132) 및 공통전극(117)이 형성된 기판(100) 상에 게이트 절연막(111), 실리콘층(120) 및 소정의 제 2마스크 패턴(173)을 차례로 형성한다. 상기 실리콘층(120)은 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층이 차례로 적층되어 형성될 수 있다. 한편, 상기 제 2마스크 패턴(173)은 영역별로 그 두께가 서로 다른 감광막 패턴일 수 있다. 예컨대, 상기 제2마스크 패턴(173)은 게이트 패드부(IIIa~IIIa')보다 박막 트랜지스터부(IIIb~IIIb')에 두껍게 형성될 수 있다. 핑거부(IIIc~IIIc')에는 제 2마스크 패턴(173)이 형성되지 않는다. 또한, 게이트 패드부(IIIa~IIIa')와 박막 트랜지스터부(IIIb~IIIb')에 형성된 상기 제 2마스크 패턴(173)은 게이트 패드부(113)와 박막 트랜지스터부(114)를 덮되, 상기 게이트 패드(113)의 일부위가 노출될 수 있도록 대응 영역이 패터닝될 수 있다.
- [0039] 도 3c 및 도 3d에 도시된 바와 같이, 상기 제 2마스크 패턴(173)을 이용하여 실리콘층(120) 및 게이트절연막(111)을 패터닝하고, 게이트패드(113), 화소전극(132) 및 공통전극(117)을 노출시킨다.
- [0040] 도 3d 및 도 3e에 도시된 바와 같이, 상기 제 2마스크 패턴(173)을 애싱하여 애싱된 제 2마스크 패턴(174)을 형성한다. 상기 애싱된 제 2마스크 패턴(174)은 박막 트랜지스터부(IIIb~IIIb')에만 잔류되어 있다. 그리고, 상기 애싱된 제 2마스크 패턴(174)을 이용하여 상기 기판(100)상에 노출되어 있는 실리콘층(120) 및 게이트 절연막

(111)을 패터닝하여, 박막 트랜지스터부(IIIb~IIIb')에 액티브층(121)을 형성한다.

[0041] 도 3f에 도시된 바와 같이, 상기 액티브층(121)이 형성된 기판(100) 상에 제 2금속막(123) 및 소정의 제 3마스크 패턴(175)을 차례로 형성한다. 상기 제 3마스크 패턴(175)은 상기 게이트 패드(113)와 대응된 일부위 및 상기 액티브층(121)에 채널이 형성될 영역이 노출되도록 형성될 수 있다.

[0042] 도 3g에 도시된 바와 같이, 상기 제 3마스크 패턴(175)을 이용하여 기판(100) 상에 노출된 상기 제 2금속막(123) 및 핑거부(IIIc~IIIc')의 화소전극(132) 및 공통전극(117)의 제 1금속막을 패터닝하여 제거한다. 그 결과, 박막 트랜지스터부(IIIb~IIIb')의 액티브층(121) 상에는 소오스전극(126) 및 드레인전극(128)이 형성될 수 있다. 이때, 소오스전극(126) 및 드레인전극(128)은 상기 액티브층(121)의 채널영역을 제외한 나머지 영역, 즉 채널영역을 제외한 액티브층(121)의 상면 및 측면을 덮도록 형성될 수 있다. 한편, 상기 소오스전극(126) 및 드레인전극(128)이 형성되는 동안, 상기 제3 마스크 패턴(175)을 이용하여 상기 게이트패드(113)의 제1금속막을 패터닝하여 상기 게이트패드(113)가 외부회로(미도시)와 연결될 수 있는 패드전극(134)을 형성한다. 패드전극(134)은 컨택홀(139)을 통해 외부회로와 연결될 수 있다. 상기 제1 금속막 및 제 2금속막(120)의 패터닝 공정은 습식식각으로 진행될 수 있다.

[0043] 도 3h에 도시된 바와 같이, 상기 기판(100) 상에 형성된 결과물 전면에 보호막(181) 및 소정의 제 4마스크 패턴(177)을 차례로 형성한다. 상기 제4 마스크 패턴(177)은 상기 게이트패드(113)의 일부위, 즉 패드전극(134)을 노출시킬 수 있도록 형성될 수 있다.

[0044] 도 3i에 도시된 바와 같이, 상기 제 4마스크 패턴(177)을 이용하여 상기 보호막(181)을 패터닝하여 상기 게이트패드(113)의 패드전극(134)을 노출시킨다.

발명의 효과

[0045] 본 발명에 따르면, 액티브층의 측면 및 상면을 모두 덮는 소오스전극 및 드레인전극을 제공한다. 따라서, 본 발명은 상기 액티브층이 과도 식각 됨에 따른 물결 노이즈 문제를 해결할 수 있다.

도면의 간단한 설명

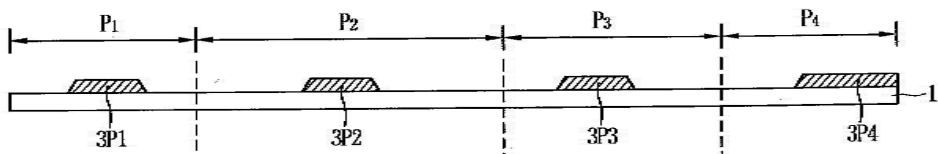
[0001] 도 1a 내지 도 1d는 종래 횡전계방식 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도.

[0002] 도 2는 본 발명에 따른 횡전계방식 액정표시장치의 평면도.

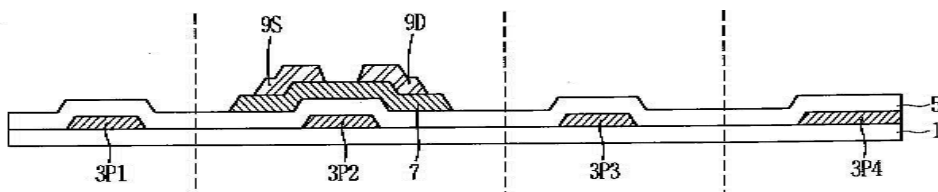
[0003] 도 3a 내지 도 3i는 본 발명에 따른 횡전계방식 액정표시장치의 제조방법을 설명하기 위한 공정별 단면도.

도면

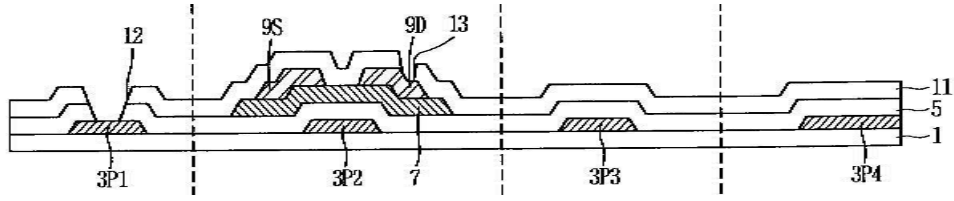
도면1a



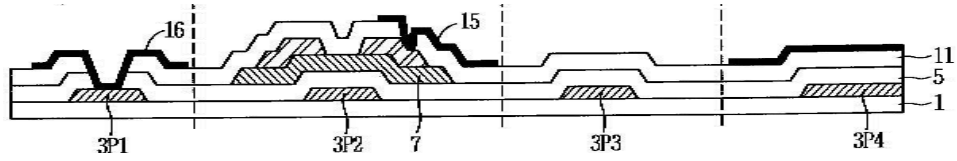
도면1b



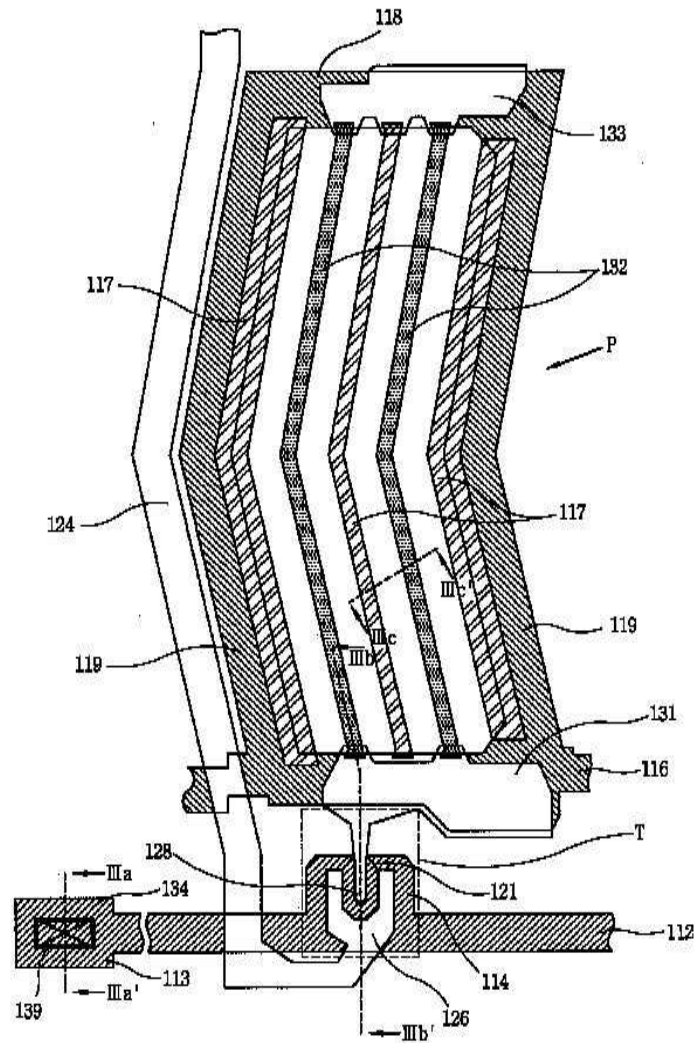
도면1c



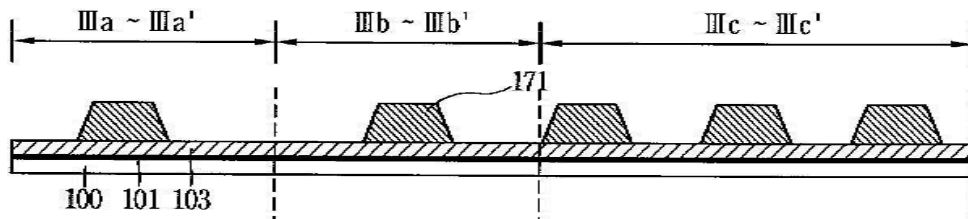
도면1d



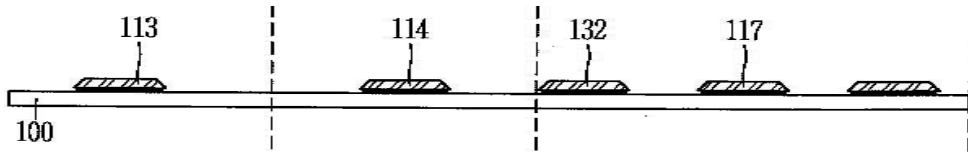
도면2



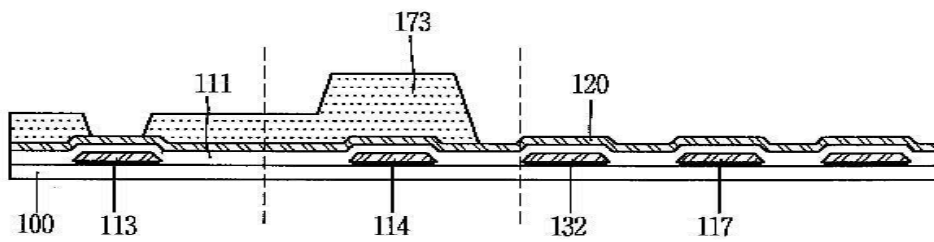
도면3a



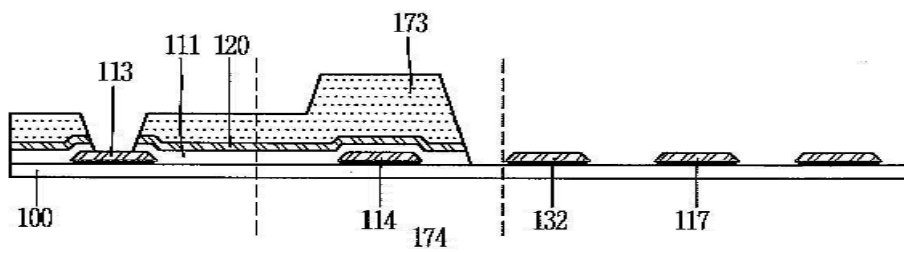
도면3b



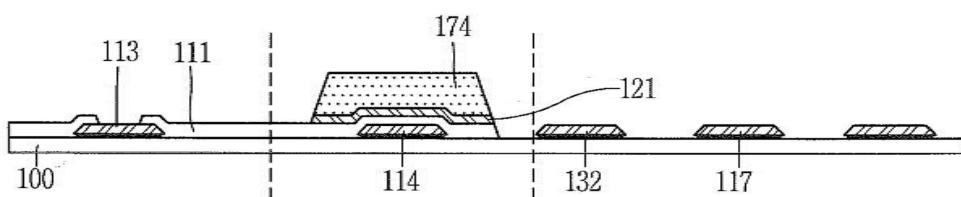
도면3c



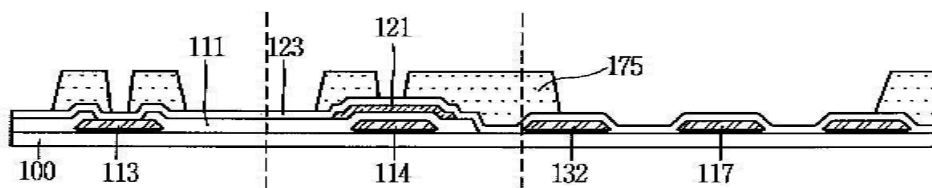
도면3d



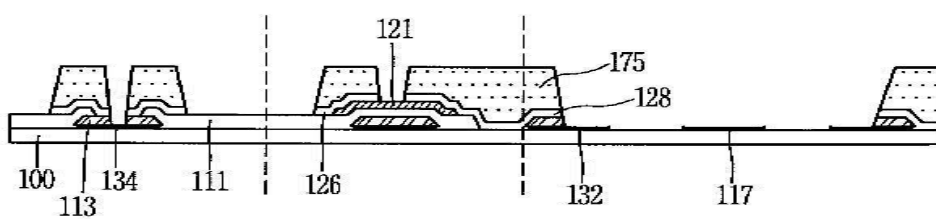
도면3e



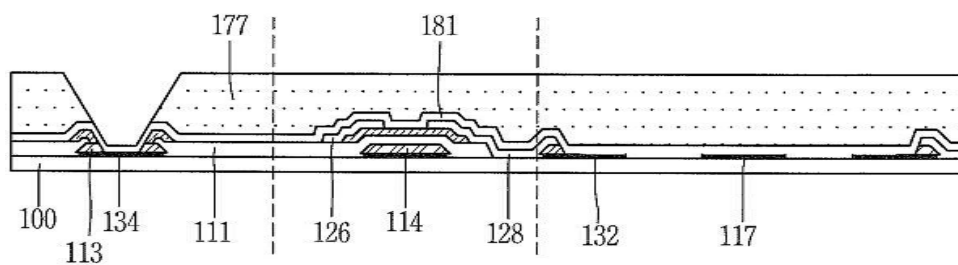
도면3f



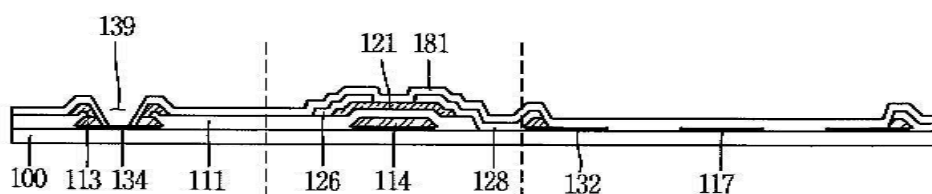
도면3g



도면3h



도면3i



专利名称(译)	一种横向电场型液晶显示装置的制造方法		
公开(公告)号	KR101295062B1	公开(公告)日	2013-08-08
申请号	KR1020060061661	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN JAE JUN		
发明人	AHN, JAE JUN		
IPC分类号	G02F1/1343 G02F		
CPC分类号	G02F1/134363 G02F1/136286 G02F2001/133738		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020080003120A		
外部链接	Espacenet		

摘要(译)

提供一种制造面内开关模式LCD的方法，以通过用源电极和漏电极覆盖有源层来解决波浪噪声问题。在绝缘基板（100）中限定有栅极焊盘部，薄膜晶体管部和指状部。透明导电层和第一金属层顺序地形成在基板上。对第一金属层和透明导电层进行构图以形成包括栅电极和栅焊盘，像素电极图案和公共电极图案的栅极线。选择性地形成有源层（121）以覆盖基板的薄膜晶体管部分。在包括有源层的基板的整个表面上形成第二金属层。通过图案化第二金属层来形成包括源电极（126）和漏电极（128）的数据线，源电极和漏电极覆盖有源层的上表面和侧表面，以及漏电极图案化图案以覆盖像素电极图案的一部分。在包括数据线的基板上形成钝化层。钝化层被图案化以暴露栅极焊盘。

