



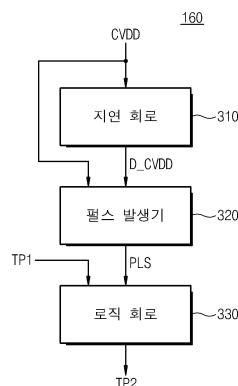
(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월30일  
(11) 등록번호 10-1267019  
(24) 등록일자 2013년05월16일

(51) 국제특허분류(Int. C1..)	(73) 특허권자
609G 3/36 (2006.01) 609G 3/20 (2006.01)	삼성디스플레이 주식회사
(21) 출원번호 10-2005-0098210	경기도 용인시 기흥구 삼성2로 95 (농서동)
(22) 출원일자 2005년10월18일	(72) 발명자
심사청구일자 2010년10월18일	박우일
(65) 공개번호 10-2007-0042363	경기도 용인시 기흥구 보정로 30, 동아아파트 11
(43) 공개일자 2007년04월23일	1동 1201호 (보정동)
(56) 선행기술조사문헌	김대섭
KR100806904 B1	경기 안성시 당왕동 대우아파트 103동 1405호
전체 청구항 수 : 총 11 항	(74) 대리인
(54) 발명의 명칭 평판 디스플레이 장치	오세준, 권혁수, 송윤호
(57) 요약	심사관 : 박남현

본 발명의 디스플레이 장치는 데이터 라인, 게이트 라인 그리고 상기 데이터 라인 및 상기 게이트 라인에 연결된 픽셀을 포함하는 디스플레이 패널과, 제어 신호들과 픽셀 데이터 신호를 출력하는 타이밍 컨트롤러와, 상기 타이밍 컨트롤러로부터의 일군의 제어 신호들 및 상기 픽셀 데이터 신호에 응답해서 상기 데이터 라인을 구동하는 데이터 드라이버와, 상기 타이밍 컨트롤러로부터의 타군의 제어 신호들에 응답해서 상기 게이트 라인을 구동하는 게이트 드라이버 그리고 파워 온시 소정 시간동안 상기 데이터 라인이 리셋 상태를 유지하도록 상기 데이터 드라이버를 제어하는 제어 회로를 포함하여 파워 온시 원하지 않는 영상이 표시되는 것을 방지한다.

### 대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

제 1 라인 래치 신호 및 영상 데이터 신호를 출력하는 타이밍 컨트롤러와;

제 2 라인 래치 신호 및 상기 영상 데이터 신호에 응답해서 데이터 라인을 구동하는 데이터 드라이버; 그리고  
외부 전원 전압 및 상기 제 1 라인 래치 신호를 입력받고, 파워 온시 소정 시간동안 상기 데이터 라인이 리셋  
상태를 유지하도록 상기 제 2 라인 래치 신호를 발생하는 제어 회로를 포함하는 디스플레이 장치.

### 청구항 7

제 6 항에 있어서,

상기 제어 회로는,

외부 전원 전압을 지연시키는 지연 회로와;

상기 외부 전원 전압 및 상기 지연 회로에 의해 지연된 외부 전원 전압을 입력받아서 펄스 신호를 발생하는 펄스  
발생기; 그리고

상기 제 1 라인 래치 신호 및 상기 펄스 신호의 합인 상기 제 2 라인 래치 신호를 출력하는 로직 회로를 더 포함하는 디스플레이 장치.

### 청구항 8

제 6 항에 있어서,

상기 데이터 드라이버는,

상기 제 2 라인 래치 신호에 응답해서 상기 타이밍 컨트롤러로부터의 상기 영상 데이터 신호를 래치하는 래치  
회로; 그리고

상기 래치 회로로부터 상기 영상 데이터 신호를 입력받고 상기 제 2 라인 래치 신호에 응답해서 상기 데이터 라  
인을 구동하는 출력 구동 회로를 포함하는 디스플레이 장치.

### 청구항 9

제 8 항에 있어서,

상기 제어 회로는,

파워 온시 상기 소정 시간 동안 상기 래치 회로의 출력이 리셋되도록 상기 제 2 라인 래치 신호를 출력하는 디

스플레이 장치.

### 청구항 10

데이터 라인, 게이트 라인 그리고 상기 데이터 라인 및 상기 게이트 라인에 연결된 퍽셀을 포함하는 디스플레이 패널과;

제 1 라인 래치 신호 및 영상 데이터 신호를 출력하는 타이밍 컨트롤러와;

제 2 라인 래치 신호 및 상기 영상 데이터 신호에 응답해서 상기 데이터 라인을 구동하는 데이터 드라이버와;

외부 전원 전압 및 상기 제1 라인 래치 신호를 입력받고, 파워 온시 소정 시간동안 상기 데이터 라인이 리셋 상태를 유지하도록 상기 제 2 라인 래치 신호를 발생하는 제어 회로를 포함하는 디스플레이 장치.

### 청구항 11

삭제

### 청구항 12

삭제

### 청구항 13

제 10 항에 있어서,

상기 제어 회로는,

상기 파워 온 후 상기 소정 시간동안 소정 레벨의 상기 제 2 라인 래치 신호를 출력하는 디스플레이 장치.

### 청구항 14

제 13 항에 있어서,

상기 제어 회로는,

상기 파워 온 후 상기 소정 시간이 경과하면 상기 타이밍 컨트롤러로부터의 상기 제 1 라인 래치 신호를 상기 제 2 라인 래치 신호로서 출력하는 디스플레이 장치.

### 청구항 15

제 14 항에 있어서,

상기 제어 회로는,

외부로부터 공급된 전원 전압을 지연시켜 출력하는 지연 회로와;

상기 지연 회로에 의해서 지연된 전원 전압을 반전시키는 인버터; 그리고

상기 인버터의 출력 및 상기 타이밍 컨트롤러로부터의 상기 제 1 라인 래치 신호를 입력받고 상기 제 2 라인 래치 신호를 출력하는 로직 회로를 포함하는 디스플레이 장치.

### 청구항 16

제 15 항에 있어서,

상기 로직 회로는 오아(OR) 게이트인 디스플레이 장치.

### 청구항 17

제 16 항에 있어서,

상기 제어 회로는,

외부로부터 공급된 전원 전압과 일단이 연결된 제 1 저항과;

상기 제 1 저항의 타단과 접지 전압 사이에 연결된 커패시터와;

상기 전원 전압과 일단이 연결된 제 2 저항과;

상기 제 2 저항의 타단과 상기 접지 전압 사이에 연결된 전류 통로 및 상기 제 1 저항의 상기 타단과 연결된 게이트를 갖는 트랜지스터와;

상기 제 2 저항의 상기 타단과 연결된 입력단 및 출력단을 갖는 제 1 다이오드; 그리고

상기 타이밍 컨트롤러로부터의 상기 제 1 라인 래치 신호와 연결된 입력단 및 출력단을 갖는 제 2 다이오드를 포함하되;

상기 제 1 및 제 2 다이오드들의 상기 출력단들은 공통으로 연결되고, 상기 제 1 및 제 2 다이오드들의 상기 출력단들은 상기 제 2 라인 래치 신호를 출력하는 디스플레이 장치.

### 청구항 18

제 10 항에 있어서,

상기 데이터 드라이버는,

수평 시작 신호에 동기해서 클럭 신호를 쉬프트하는 쉬프트 레지스터와;

상기 쉬프트 레지스터로부터 출력되는 클럭 신호에 응답해서 상기 타이밍 컨트롤러로부터의 상기 영상 데이터 신호를 저장하는 데이터 레지스터와;

상기 제어 회로로부터의 상기 제 2 라인 래치 신호에 응답해서 상기 데이터 레지스터에 저장된 상기 영상 데이터 신호를 래치하는 래치와;

상기 래치로부터 출력되는 상기 영상 데이터 신호를 아날로그 영상 신호로 변환하는 디지털-아날로그 컨버터; 그리고

상기 제 1 라인 래치 신호에 응답해서 상기 디지털-아날로그 컨버터로부터의 상기 아날로그 영상 신호를 상기 데이터 라인으로 출력하는 출력 버퍼를 포함하는 디스플레이 장치.

### 청구항 19

삭제

### 청구항 20

삭제

### 청구항 21

삭제

### 청구항 22

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0016] 본 발명은 평판 디스플레이 장치에 관한 것이다.

[0017] 유저 인터페이스의 하나로서 전자 디바이스에 표시 장치를 탑재하는 것은 필수가 되고 있으며, 전자 디바이스의 경박단소화와 저전력 소모를 위하여 표시 장치로써 평판 디스플레이 장치가 많이 사용되고 있다. 평판 디스플

레이 장치는 영상 표시 패널의 종류에 따라서 OLED(Organic Light Emitting Diode), LCD(Liquid Crystal Display), FED(Field Emission Display), VFD(Vacuum Fluorescent Display), PDP(Plasma Display Panel) 등이 있다. 특히 근래에는 공간절약과 전력절약을 도모하고 소형경량화를 위한 휴대형 전자 디바이스와에도 컴퓨터 디스플레이나 텔레비전 디스플레이로서 평판 디스플레이 장치가 이용되고 있다.

- [0018] 액정 디스플레이 장치(LCD)의 디스플레이 패널은 행렬 형태로 배열되며, 스위칭 소자인 박막 트랜지스터를 포함하는 복수의 픽셀 어레이를 포함한다. 각 픽셀은 박막 트랜지스터를 통하여 영상 신호에 해당하는 데이터 전압을 선택적으로 받아들인다. 액정 디스플레이 장치는 또한 게이트 라인에 게이트 온 전압을 인가하는 게이트 드라이버와 데이터 라인에 영상 신호를 인가하는 데이터 드라이버 및 이들을 제어하는 신호 제어 회로를 포함한다.
- [0019] 게이트 라인은 박막 트랜지스터를 턴 온시키기 위한 게이트 온 전압 또는 스위칭 소자를 턴 오프시키기 위한 게이트 오프 전압으로 구동된다. 예컨대, 파워 온 시 액정 디스플레이 장치내 DC/DC 컨버터는 -13V의 게이트 오프 전압을 출력하는데, 파워 온 시점부터 게이트 오프 전압이 -13V로 안정되기까지는 소정의 시간이 소요된다. 게이트 오프 전압(이 -13V로 충분히 낮아지기 전에 대략 -6V일 때까지 액정 패널 내 픽셀을 구성하는 박막 트랜지스터는 약하게 턴 온된 상태를 유지하게 되고, 이 때 데이터 라인이 임의의 레벨 값을 가지면 데이터 라인의 신호 레벨에 대응하는 영상이 액정 패널에 디스플레이된다. 이와 같은 오류 영상은 신호 제어 회로로부터 유효한 픽셀 데이터 신호가 출력될 때(예를 들면 60ms이후)까지 지속적으로 액정 패널에 디스플레이된다.
- [0020] 특히, 파워 온시 데이터 구동 회로를 구성하는 복수의 접적 회로들 중 특정 접적 회로와 연결된 데이터 라인들이 임의의 동일한 레벨 데이터 신호로 구동되면 액정 패널에 디스플레이된 오류 영상은 더욱 두드러지게 된다.
- [0021] 그러므로, 파워 온 시점부터 게이트 오프 신호가 충분히 안정될 때까지 소요되는 시간동안 데이터 라인이 임의의 레벨 값을 갖지 않도록 하는 기술이 요구된다.

### 발명이 이루고자 하는 기술적 과제

- [0022] 따라서 본 발명의 목적은 파워 온시 오류 영상의 디스플레이를 방지할 수 있는 평면 디스플레이 장치 및 방법을 제공하는 데 있다.

### 발명의 구성 및 작용

- [0023] 상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 디스플레이 장치는: 영상 데이터 신호를 출력하는 타이밍 컨트롤러와, 제어 신호 및 상기 영상 데이터 신호에 응답해서 데이터 라인을 구동하는 데이터 드라이버, 그리고 파워 온시 소정 시간동안 상기 데이터 라인이 리셋 상태를 유지하도록 상기 제어 신호를 발생하는 제어 회로를 포함한다.
- [0024] 이 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 데이터 드라이버에 의해서 상기 데이터 라인이 구동되는 시점을 나타내는 라인 래치 신호를 더 출력한다.
- [0025] 이 실시예에 있어서, 상기 제어 회로는 외부로부터 제공된 전원 전압 및 상기 라인 래치 신호를 입력받고, 상기 소정 시간이 경과한 후 상기 제어 신호는 상기 라인 래치 신호와 동일하다.
- [0026] 이 실시예에 있어서, 상기 제어 회로는, 외부 전원 전압을 지연시키는 지연 회로와, 상기 외부 전원 전압 및 상기 지연 회로에 의해 지연된 외부 전원 전압을 입력받아서 펄스 신호를 발생하는 펄스 발생기, 그리고 상기 라인 래치 신호 및 상기 펄스 신호의 합인 상기 제어 신호를 출력하는 로직 회로를 더 포함한다.
- [0027] 이 실시예에 있어서, 디스플레이 장치는, 게이트 라인을 구동하는 게이트 드라이버를 더 포함하고, 상기 제어 회로는 상기 파워 온시 상기 게이트 드라이버가 상기 게이트 라인을 안정된 게이트 오프 전압으로 구동할 때까지 상기 데이터 라인이 리셋 상태를 유지하도록 상기 제어 신호를 발생한다.
- [0028] 본 발명의 다른 특징에 따른 디스플레이 장치는: 제 1 라인 래치 신호 및 영상 데이터 신호를 출력하는 타이밍 컨트롤러와, 제 2 라인 래치 신호 및 상기 영상 데이터 신호에 응답해서 데이터 라인을 구동하는 데이터 드라이버, 그리고 외부 전원 전압 및 상기 제 1 라인 래치 신호를 입력받고, 파워 온시 소정 시간동안 상기 데이터 라인이 리셋 상태를 유지하도록 상기 제 2 라인 래치 신호를 발생하는 제어 회로를 포함한다.
- [0029] 이 실시예에 있어서, 상기 제어 회로는, 외부 전원 전압을 지연시키는 지연 회로와, 상기 외부 전원 전압 및 상기 지연 회로에 의해 지연된 외부 전원 전압을 입력받아서 펄스 신호를 발생하는 펄스 발생기, 그리고 상기 제

1 라인 래치 신호 및 상기 펠스 신호의 합인 상기 제 2 라인 래치 신호를 출력하는 로직 회로를 더 포함한다.

[0030] 이 실시예에 있어서, 상기 데이터 드라이버는, 상기 제 2 라인 래치 신호에 응답해서 상기 타이밍 컨트롤러로부터의 상기 영상 데이터 신호를 래치하는 래치 회로, 그리고 상기 래치 회로로부터 상기 영상 데이터 신호를 입력받고 상기 제 2 라인 래치 신호에 응답해서 상기 데이터 라인을 구동하는 출력 구동 회로를 포함한다.

[0031] 이 실시예에 있어서, 상기 제어 회로는, 파워 온시 상기 소정 시간 동안 상기 래치 회로의 출력이 리셋되도록 상기 제 2 라인 래치 신호를 출력한다.

[0032] 본 발명의 다른 특징에 따른 디스플레이 장치는: 데이터 라인, 게이트 라인 그리고 상기 데이터 라인 및 상기 게이트 라인에 연결된 픽셀을 포함하는 디스플레이 패널과, 제어 신호들과 영상 데이터 신호를 출력하는 타이밍 컨트롤러와, 상기 타이밍 컨트롤러로부터의 일군의 제어 신호들 및 상기 영상 데이터 신호에 응답해서 상기 데이터 라인을 구동하는 데이터 드라이버와, 상기 타이밍 컨트롤러로부터의 타군의 제어 신호들에 응답해서 상기 게이트 라인을 구동하는 게이트 드라이버, 그리고 파워 온시 소정 시간동안 상기 데이터 라인이 구동되지 않도록 상기 데이터 드라이버를 제어하는 제어 회로를 포함한다.

[0033] 이 실시예에 있어서, 상기 타이밍 컨트롤러로부터 출력되는 상기 제어 신호들은, 상기 영상 데이터 신호가 상기 데이터 라인으로 제공되는 시점을 나타내는 제 1 라인 래치 신호를 포함한다.

[0034] 이 실시예에 있어서, 상기 제어 회로는, 상기 데이터 드라이버를 제어하기 위한 제 2 라인 래치 신호를 출력한다.

[0035] 이 실시예에 있어서, 상기 제어 회로는, 상기 파워 온 후 상기 소정 시간동안 소정 레벨의 제 2 라인 래치 신호를 출력한다.

[0036] 이 실시예에 있어서, 상기 제어 회로는, 상기 파워 온 후 상기 소정 시간이 경과하면 상기 타이밍 컨트롤러로부터의 제 1 라인 래치 신호를 상기 제 2 라인 래치 신호로서 출력한다.

[0037] 이 실시예에 있어서, 상기 제어 회로는, 외부로부터 공급된 전원 전압을 지연시켜 출력하는 지연 회로와, 상기 지연 회로에 의해서 지연된 전원 전압을 반전시키는 인버터, 그리고 상기 인버터의 출력 및 상기 타이밍 컨트롤러로부터의 상기 제 1 라인 래치 신호를 입력받고 상기 제 2 라인 래치 신호를 출력한다.

[0038] 이 실시예에 있어서, 상기 제어 회로는, 외부로부터 공급된 전원 전압과 일단이 연결된 제 1 저항과, 상기 제 1 저항의 타단과 접지 전압 사이에 연결된 커패시터와, 상기 전원 전압과 일단이 연결된 제 2 저항과, 상기 제 2 저항의 타단과 상기 접지 전압 사이에 연결된 전류 통로 및 상기 제 1 저항의 상기 타단과 연결된 게이트를 갖는 트랜지스터와, 상기 제 2 저항의 상기 타단과 연결된 입력단 및 출력단을 갖는 제 1 다이오드, 그리고 상기 타이밍 컨트롤러로부터의 상기 제 1 라인 래치 신호와 연결된 입력단 및 출력단을 갖는 제 2 다이오드를 포함하여, 상기 제 1 및 제 2 다이오드들의 상기 출력단들은 공통으로 연결되고, 상기 제 1 및 제 2 다이오드들의 상기 출력단들은 상기 제 2 라인 래치 신호를 출력한다.

[0039] 이 실시예에 있어서, 상기 데이터 드라이버는, 수평 시작 신호에 동기해서 클럭 신호를 쉬프트 레지스터와, 상기 쉬프트 레지스터로부터 출력되는 클럭 신호에 응답해서 상기 타이밍 컨트롤러로부터의 상기 영상 데이터 신호를 저장하는 데이터 레지스터와, 상기 제어 회로로부터의 상기 제 2 라인 래치 신호에 응답해서 상기 데이터 레지스터에 저장된 상기 영상 데이터 신호를 래치하는 래치와, 상기 래치로부터 출력되는 상기 영상 데이터 신호를 아날로그 영상 신호로 변환하는 디지털-아날로그 컨버터, 그리고 상기 제 1 라인 래치 신호에 응답해서 상기 디지털-아날로그 컨버터로부터의 상기 아날로그 영상 신호를 상기 데이터 라인으로 출력하는 출력 버퍼를 포함한다.

[0040] 본 발명의 다른 특징에 따른 영상 데이터 신호에 응답해서 데이터 라인을 구동하는 데이터 드라이버를 포함하는 디스플레이 장치의 동작 방법은: 파워 온하는 단계, 그리고 소정 시간동안 상기 데이터 라인을 리셋하는 단계를 포함한다.

[0041] 이 실시예에 있어서, 상기 소정 시간은 게이트 라인이 안정된 게이트 오프 전압으로 구동되는데 필요한 시간이다.

[0042] 본 발명의 다른 특징에 따른 영상 데이터 신호에 응답해서 데이터 라인을 구동하는 데이터 드라이버를 포함하는 디스플레이 장치의 동작 방법은: 전원 전압을 공급하는 단계와, 상기 전원 전압을 지연시키는 단계와, 상기 전원 전압과 상기 지연된 전원 전압에 응답해서 펠스 신호를 생성하는 단계와, 상기 데이터 라인을 리셋하기 위해

- 서 상기 펠스 신호를 상기 데이터 드라이버로 제공하는 단계를 포함한다.
- [0043] 이 실시예에 있어서, 상기 펠스 신호는 라인 래치 신호이다.
- [0044] 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 이하 상세히 설명한다.
- [0045] 도 1은 평판 디스플레이 장치인 액정 디스플레이 장치의 구성을 보여주는 블록도이다.
- [0046] 도 1을 참조하면, 액정 디스플레이 장치는 타이밍 컨트롤러(110), 데이터 구동 회로(120), DC/DC 컨버터(130), 게이트 구동 회로(140), 액정 패널(150) 그리고 제어 회로(160)를 포함한다.
- [0047] 액정 패널(150)은 복수의 게이트 라인들(G1-Gn)과, 게이트 라인들에 교차하는 복수의 데이터 라인들(D1-Dm)과, 게이트 라인 및 데이터 라인의 교차점에 형성된 픽셀을 포함하며, 픽셀들은 매트릭스 구조로 배치되어 있다. 각 픽셀은 게이트 라인과 데이터 라인에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(미 도시됨)와, 박막 트랜지스터의 드레인 전극에 연결되는 액정 커페시터(미 도시됨) 및 스토리지 커페시터(미 도시됨)를 포함한다. 이러한 픽셀 구조에서는, 게이트 구동 회로(140)에 의해서 게이트 라인들이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압(VON)이 펠스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터가 펄 온되고, 이어서 데이터 구동 회로(120)에 의해 각 데이터 라인에 픽셀 정보를 포함하는 전압이 인가된다. 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커페시터와 스토리지 커페시터에 인가되며, 액정 및 스토리지 커페시터들이 구동됨으로써 소정의 표시 동작이 이루어진다.
- [0048] 타이밍 컨트롤러(110)는 외부의 그래픽 소스로부터 입력되는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 데이터 인에이블 신호(DE), 클럭 신호(MCLK) 및 픽셀 데이터(R, G, B)를 입력받는다. 타이밍 컨트롤러(110)는 액정 패널(150)의 사양에 맞도록 데이터 포맷(format)을 변환한 픽셀 데이터 신호(R', G', B')와, 수평 동기 시작 신호(STH:start horizontal) 및 클럭 신호(HCLK)를 데이터 구동 회로(120)로 출력하고, 제 1 라인 래치 신호(TP1)를 제어 회로(160)로 출력한다.
- [0049] 또한, 타이밍 컨트롤러(110)는 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 데이터 인에이블 신호(DE)에 응답해서 수직 동기 시작 신호(STV:start vertical), 게이트 클럭 신호(CPV), 및 출력 인에이블 신호(OE:output enable) 등의 제어 신호들을 게이트 구동 회로(140)로 출력한다.
- [0050] 데이터 구동 회로(120)는 타이밍 컨트롤러(110)로부터 제공되는 픽셀 데이터 신호(R', G', B')와 제어 신호들(STH, HCLK) 그리고 데이터 출력 제어 회로(160)로부터의 제 2 라인 래치 신호(TP2)에 응답해서 액정 패널(150)의 데이터 라인들(D1-Dm)을 구동하기 위한 신호들을 발생한다. 일반적으로 데이터 구동 회로(120)는 복수의 집적 회로들로 구성된다.
- [0051] 게이트 구동 회로(140)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들에 따라서 액정 패널(150)의 게이트 라인들(G1-Gn)을 순차적으로 스캐닝한다. 여기서, 스캐닝이란 게이트 라인에 게이트 온 전압을 순차적으로 인가하여 게이트 온 전압이 인가된 게이트 라인의 픽셀을 데이터 기록이 가능한 상태로 만드는 것을 말한다.
- [0052] DC/DC 컨버터(130)는 외부로부터 전원 전압(CVDD)을 공급받고 액정 표시 장치(100)의 동작에 필요한 전원들 즉, 데이터 구동 전압들(DVDD, AVDD), 게이트 온 전압(VON), 게이트 오프 전압(VOFF) 공통 전극 전압(VCOM) 등을 발생한다.
- [0053] 데이터 출력 제어 회로(160)는 외부 전원 전압(CVDD) 및 타이밍 컨트롤러(110)로부터의 제 1 라인 래치 신호(TP1)를 입력받고, 제 2 라인 래치 신호(TP2)를 출력한다.
- [0054] 데이터 구동 회로(320)의 구체적인 구성이 도 2에 도시되어 있다. 데이터 구동 회로(320)는 순차적인 샘플링 신호를 공급하는 쉬프트 레지스터(210), 샘플링 신호에 응답하여 입력 픽셀 데이터를 저장하는 데이터 레지스터(220), 데이터 레지스터(220)로부터 출력되는 데이터를 래치하는 래치(230), 래치로부터의 픽셀 데이터의 진폭을 확대하는 레벨 쉬프터(240), 레벨 쉬프터(240)로부터 출력되는 디지털 픽셀 데이터를 아날로그 신호로 변환하는 디지털-아날로그 컨버터(250) 그리고 출력 버퍼(260)를 포함한다.
- [0055] 쉬프트 레지스터(210)는 타이밍 컨트롤러(310)로부터의 수평 동기 시작 신호(STH)를 클럭 신호(HCLK)에 따라 순차적으로 쉬프트시켜 샘플링 신호로서 출력한다.
- [0056] 데이터 레지스터(220)는 쉬프트 레지스터(210)로부터의 샘플링 신호에 응답해서 타이밍 컨트롤러(310)로부터의 픽셀 데이터(R', G', B')를 일정 단위씩 순차적으로 샘플링하여 저장한다. 이 때, 데이터 레지스터(220)의 크기는 (수평 방향 픽셀의 수 \* 픽셀 데이터 각각의 비트 수)이다. 래치(230)는 데이터 레지스터(220)로부터의

픽셀 데이터를 래치하고, 데이터 출력 제어 회로(160)로부터의 제 2 라인 래치 신호(TP2)에 응답해서 래치된 픽셀 데이터를 출력한다. 레벨 쉬프터(240)는 래치(230)로부터 출력되는 픽셀 데이터의 전압 스윙 폭을 넓히기 위한 레벨 쉬프팅을 수행한다. 디지털-아날로그 컨버터(250)는 레벨 쉬프터(240)로부터의 픽셀 데이터를 계조 전압들(V0-V11)을 이용하여 아날로그 픽셀 신호로 변환한다. 계조 전압들(V0-V11)은 계조 전압 발생기(미 도시됨)에 의해서 발생된다. 출력 베퍼(260)는 디지털-아날로그 컨버터(250)로부터 출력되는 아날로그 픽셀 신호를 저장한 후 라인 래치 신호(TP2)에 동기해서 액정 패널의 소스 라인들(D1-Dm)로 공급한다. 예컨대, 래치(230)는 제 2 라인 래치 신호(TP2)의 라이징 에지(rising edge)에서 데이터 레지스터(220)로부터의 픽셀 데이터를 레벨 쉬프터(240)로 출력하고, 출력 베퍼(260)는 제 2 라인 래치 신호(TP2)의 폴링 에지(falling edge)에서 디지털-아날로그 컨버터(250)의 출력을 데이터 라인들(D1-Dk)로 전달한다.

[0057] 파워 온 후 데이터 구동 전압(DVDD)이 공급되기 시작하면 쉬프트 레지스터(210), 레지스터(220) 및 래치(230)는 구동되기 시작하는데, 제 2 라인 래치 신호(TP2)가 입력되기 전 래치(230)의 출력은 부정 상태(indeterminate state)이다. DC/DC 컨버터(130)에 의해서 데이터 구동 전압(AVDD)이 데이터 구동 회로(320)로 공급됨에 따라서 래치(230)로부터 출력되는 임의의 레벨의 픽셀 데이터 신호는 레벨 쉬프터(240), 디지털-아날로그 컨버터(250) 및 출력 베퍼(260)를 통해 데이터 라인들(D1-Dm)로 전달된다. 게이트 오프 전압(VOFF)이 박막 트랜지스터를 턴 오프하기에 충분한 전압(예컨대, -13V)으로 낮아지기 전에, 박막 트랜지스터가 약하게 턴 온된 상태에서 데이터 라인들(D1-Dm)로 전달된 픽셀 데이터 신호는 박막 트랜지스터를 통해 액정 커패시터로 전달되어서 영상이 디스플레이된다.

[0058] 이러한 오류 영상을 방지하기 위하여 본 발명의 실시예에 따른 데이터 출력 제어 회로(160)는 파워 온 후 적어도 게이트 오프 전압이 충분이 낮아질 때까지 제 2 라인 래치 신호(TP2)를 하이 레벨로 출력함으로써 래치(230)의 출력을 리셋한다. 그러므로, 제 2 라인 래치 신호(TP2)가 하이 레벨인 동안 데이터 구동 회로(120)는 리셋 상태를 유지하게 된다.

[0059] 도 3은 도 1에 도시된 데이터 출력 제어 회로(160)의 구성을 보여주는 도면이다. 도 5를 참조하면, 데이터 출력 제어 회로(160)는 지연 회로(310), 인버터(320) 그리고 로직 회로(330)를 포함한다. 지연 회로(310)는 외부로부터 공급되는 전원 전압(CVDD)을 소정 시간동안 지연시키고, 신호(D\_CVDD)를 출력한다. 펄스 발생기(320)는 지연 회로(310)로부터의 신호(D\_CVDD) 및 전원 전압(CVDD)을 입력받고 펄스 신호(PLS)를 출력한다. 로직 회로(330)는 타이밍 컨트롤러(310)로부터의 제 1 라인 래치 신호(TP1)와 펄스 발생기(320)로부터의 펄스 신호(PLS)를 입력받고, 제 2 라인 래치 신호(TP2)를 출력한다. 본 발명의 일 실시예에서 로직 회로(330)는 로직 오아 연산 회로로 구현된다.

[0060] 도 4는 도 3에 도시된 데이터 출력 제어 회로(160)에서 사용되는 신호들의 타이밍도이고, 도 5는 게이트 오프 전압(VOFF)과 제 2 라인 래치 신호(TP2)의 관계를 보여주는 도면이다.

[0061] 도 4 및 도 5를 참조하면, 외부 전원 전압(CVDD)이 공급되기 시작한 후 소정 시간 동안 제 2 라인 래치 신호(TP2)는 하이 레벨로 유지된다. 제 2 라인 래치 신호(TP2)의 하이 레벨 구간은 지연 회로(310)의 지연 시간에 해당하며, 게이트 오프 신호(VOFF)가 충분히 낮아질 때까지 요구되는 시간이다. 제 2 라인 래치 신호(TP2)의 하이 레벨 구간은 예컨대 5ms 이상이면 충분하다.

[0062] 전압들(DVDD, AVDD)이 입력되기 전에 제 2 라인 래치 신호(TP2)가 하이 레벨로 설정되므로, 전압들(DVDD, AVDD)이 입력된 후 도 2에 도시된 래치(230) 및 출력 베퍼(260)의 출력은 리셋된다. 그러므로, 게이트 오프 신호(VOFF)가 충분히 낮아질 때까지 데이터 라인들(D1-Dm)은 구동되지 않는다. 그러므로 파워 온시 오류 영상이 디스플레이되는 것이 방지된다. 지연 회로(310)의 지연 시간이 경과한 후에 제 2 라인 래치 신호(TP2)는 타이밍 컨트롤러(310)로부터 입력된 제 1 라인 래치 신호(TP1)와 동일하다.

[0063] 도 6은 도 1에 도시된 데이터 출력 제어 회로(160)의 다른 실시예에 따른 구성을 보여주는 도면이다. 도 6을 참조하면, 데이터 출력 제어 회로(160)는 지연 회로(610), 펄스 발생 회로(620) 그리고 출력 회로(630)를 포함한다. 지연 회로(610)는 외부 전원 전압(CVDD)과 접지 사이에 직렬로 연결된 저항(611) 그리고 커패시터(612)를 포함한다. 펄스 발생 회로(620)는 외부 전원 전압과 일단이 연결된 저항(621) 그리고 저항(621)과 접지 전압 사이에 형성된 전류 통로 및 저항(611)과 커패시터(612) 사이의 연결 노드와 연결된 게이트를 갖는 트랜지스터(622)를 포함한다. 출력 회로(630)는 저항(621)과 트랜지스터(622)의 연결 노드와 연결된 입력단 및 출력단을 갖는 다이오드(631), 타이밍 컨트롤러(310)로부터의 제 1 라인 래치 신호(TP1)를 입력받는 입력단 및 출력단을 갖는 다이오드(632) 그리고 다이오드들(631, 632)의 출력단들과 접지 전압 사이에 연결된 저항(633)을 포함한다. 다이오드들(631, 632)의 출력단들은 콩통으로 연결되며, 다이오드들(631, 632)의 출력단들은 제 2 라인

래치 신호(TP2)를 출력한다.

- [0064] 도 6에 도시된 데이터 출력 제어 회로(600)의 동작은 다음과 같다. 외부 전원 전압(CVDD)이 공급된 후 트랜지스터(622)가 턴 오프 상태인 동안 외부 전원 전압(CVDD)이 저항(621) 및 다이오드(631)를 통해 제 2 라인 래치 신호(TP2)로서 출력된다. 외부 전원 전압(CVDD)이 공급된 후 저항(611) 및 커패시터(612)에 의해서 설정된 시간이 경과하면 트랜지스터(622)가 턴 온되고, 그 결과 타이밍 컨트롤러(310)로부터의 제 1 라인 래치 신호(TP1)가 다이오드(632)의 출력단으로 출력된다. 그러므로, 파워 온 후 저항(611) 및 커패시터(612)에 의한 지연 시간이 경과하면 제 2 라인 래치 신호(TP2)는 제 1 라인 래치 신호(TP1)와 동일하다.
- [0065] 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

### 발명의 효과

- [0066] 이와 같은 본 발명에 의하면, 파워 온시 데이터 구동 전압들이 입력되기 전에 데이터 구동 회로 내 래치 회로를 제어하는 라인 래치 신호를 하이 레벨로 설정함으로서 데이터 구동 전압들이 입력된 후 래치 회로로부터 어떤 신호도 출력되지 않는다. 따라서 게이트 오프 신호가 충분히 낮아질 때까지 데이터 라인들이 구동되지 않으므로 파워 온시 오류 영상이 디스플레이되는 것이 방지된다.

### 도면의 간단한 설명

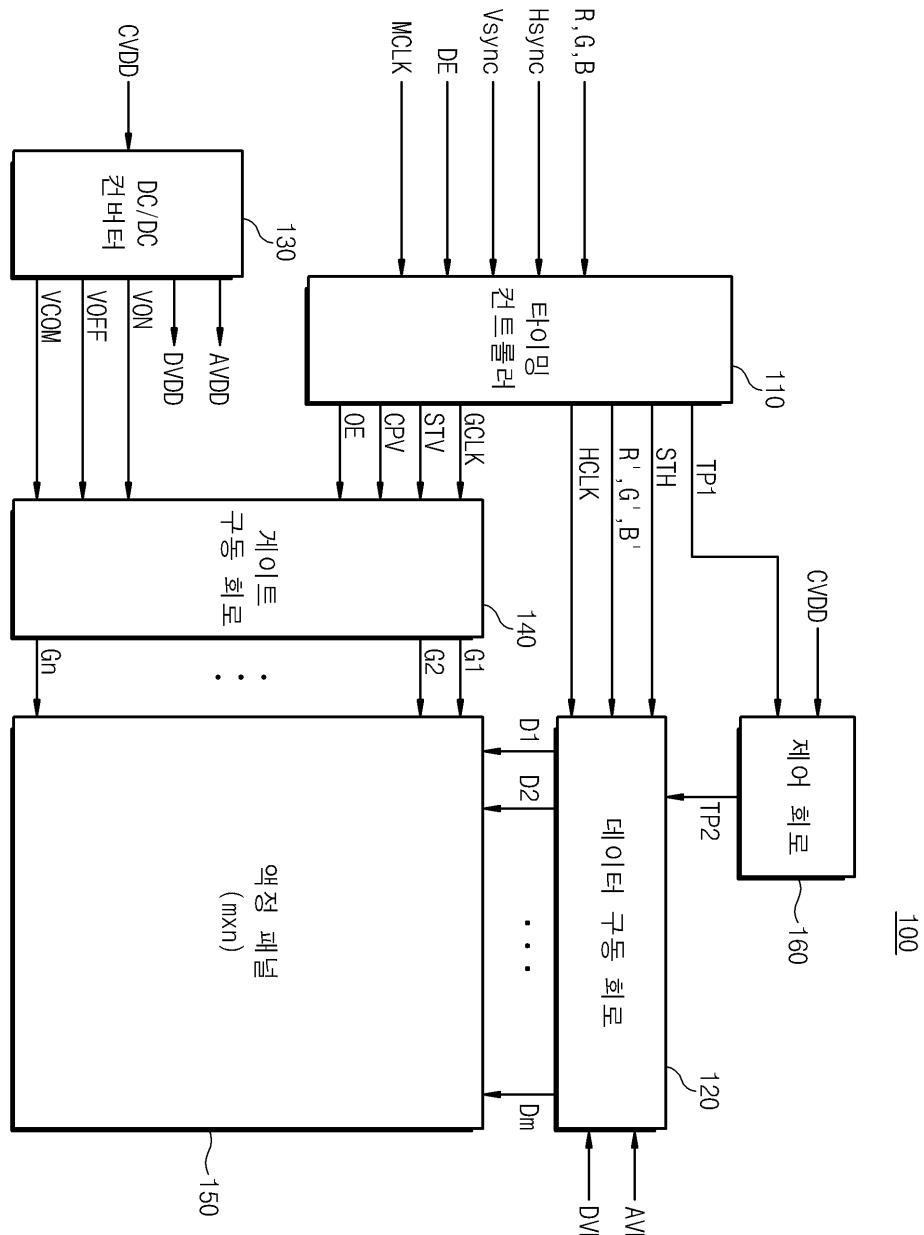
- [0001] 도 1은 본 발명의 바람직한 실시예에 따른 액정 디스플레이 장치의 구성을 보여주는 도면;
- [0002] 도 2는 도 1에 도시된 데이터 구동 회로의 구체적인 구성을 보여주는 블록도;
- [0003] 도 3은 도 1에 도시된 데이터 출력 제어 회로의 구성을 보여주는 도면;
- [0004] 도 4는 도 3에 도시된 데이터 출력 제어 회로에서 사용되는 신호들의 타이밍도;
- [0005] 도 5는 게이트 오프 전압과 제 2 라인 래치 신호의 관계를 보여주는 도면; 그리고
- [0006] 도 6은 도 1 도시된 데이터 출력 제어 회로의 다른 실시예에 따른 구성을 보여주는 도면이다.

[0007] \*도면의 주요 부분에 대한 설명

- |                           |                    |
|---------------------------|--------------------|
| [0008] 100 : 액정 표시 장치     | 110 : 타이밍 컨트롤러     |
| [0009] 120 : 데이터 구동 회로    | 130 : DC/DC 컨버터    |
| [0010] 140 : 게이트 구동 회로    | 150 : 액정 패널        |
| [0011] 160 : 데이터 출력 제어 회로 | 210 : 쉬프트 레지스터     |
| [0012] 220 : 데이터 레지스터     | 230 : 래치           |
| [0013] 240 : 레벨 쉬프터       | 250 : 디지털-아날로그 변환기 |
| [0014] 260 : 출력 버퍼        | 310 : 지연 회로        |
| [0015] 320 : 인버터          | 330 : 로직 회로        |

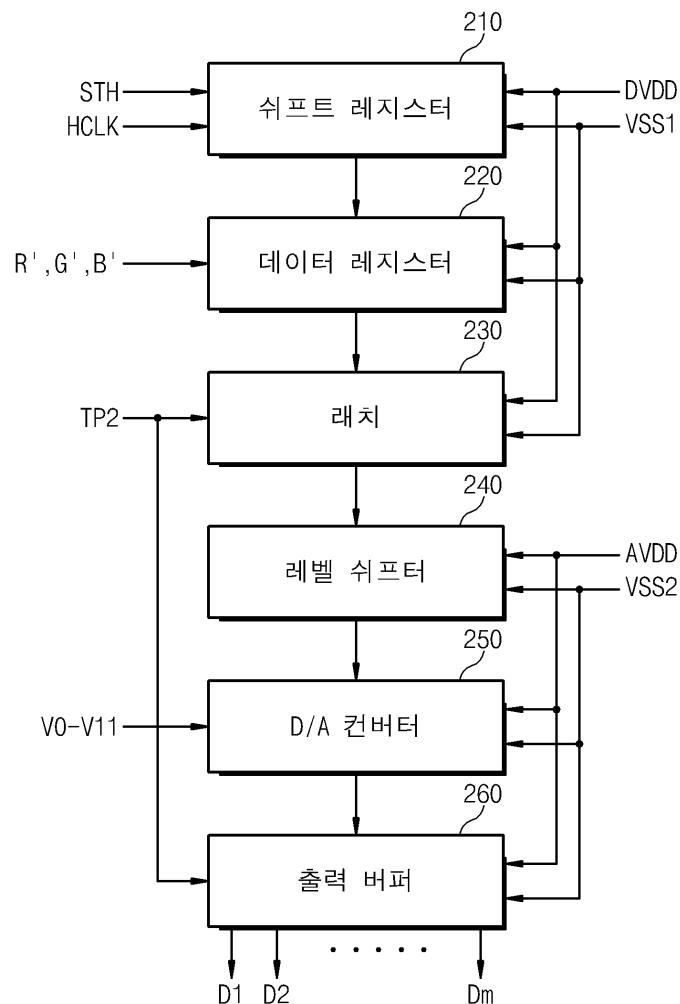
## 도면

## 도면1

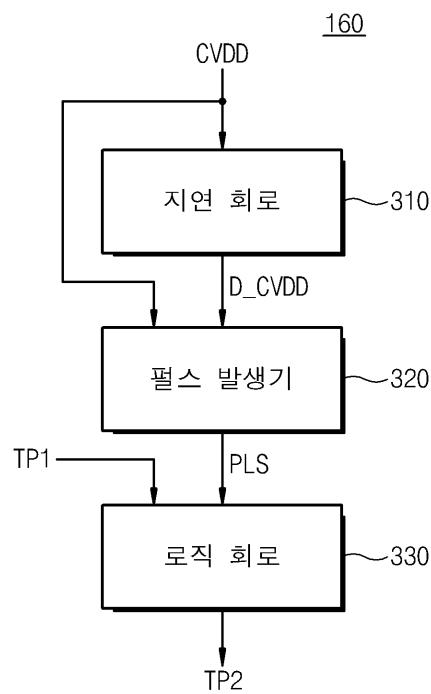


## 도면2

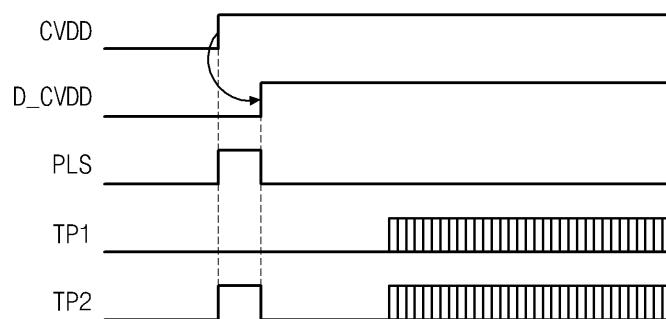
120



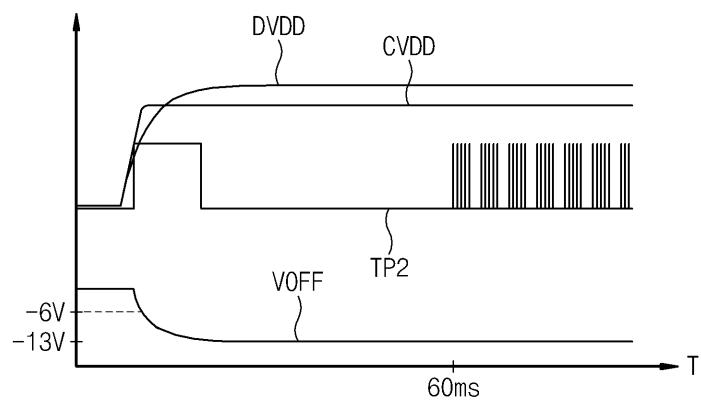
## 도면3



## 도면4

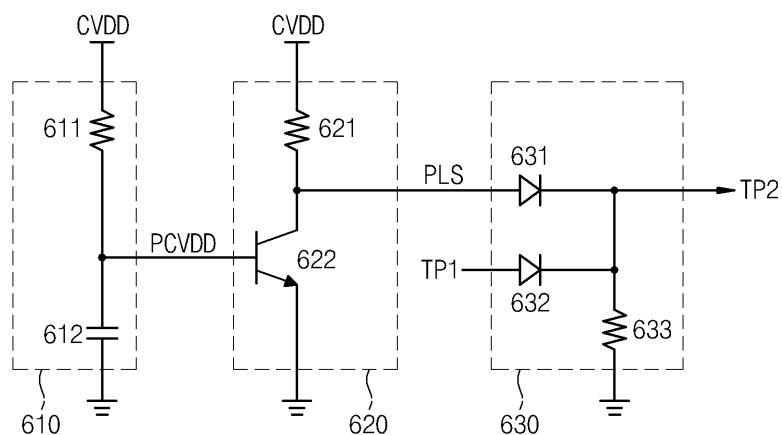


도면5



도면6

600



专利名称(译)	标题 : 平板显示设备		
公开(公告)号	<a href="#">KR101267019B1</a>	公开(公告)日	2013-05-30
申请号	KR1020050098210	申请日	2005-10-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK WOO II 박우일 KIM DAE SEOP 김대섭		
发明人	박우일 김대섭		
IPC分类号	G09G3/20 G09G3/36 G09G		
CPC分类号	G09G2310/0245 G09G3/3685 G09G3/3611		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
其他公开文献	KR1020070042363A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

在平板显示器中，显示面板具有数据线，栅极线和电连接到数据线和栅极线的像素，并且时序控制器输出控制信号和图像数据信号。数据驱动器响应于一部分控制信号和图像数据信号驱动数据线，并且栅极驱动器响应于控制信号的不同部分驱动栅极线。控制电路控制数据驱动器，使得数据线在开始通电之后保持在复位状态达预定时间。因此，平板显示器可以防止在液晶面板上显示错误图像。

