



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월21일
(11) 등록번호 10-1235698
(24) 등록일자 2013년02월15일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2006-0025222
(22) 출원일자 2006년03월20일
심사청구일자 2011년02월28일
(65) 공개번호 10-2007-0095044
(43) 공개일자 2007년09월28일
(56) 선행기술조사문헌
KR1020020091689 A
KR1020020091690 A
JP11281957 A
JP10171412 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이민경
경상북도 칠곡군 석적읍 북중리3길 70, 부영아파트 109동 909호
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 12 항

심사관 : 이동윤

(54) 발명의 명칭 액정표시장치 및 이의 화상구현방법

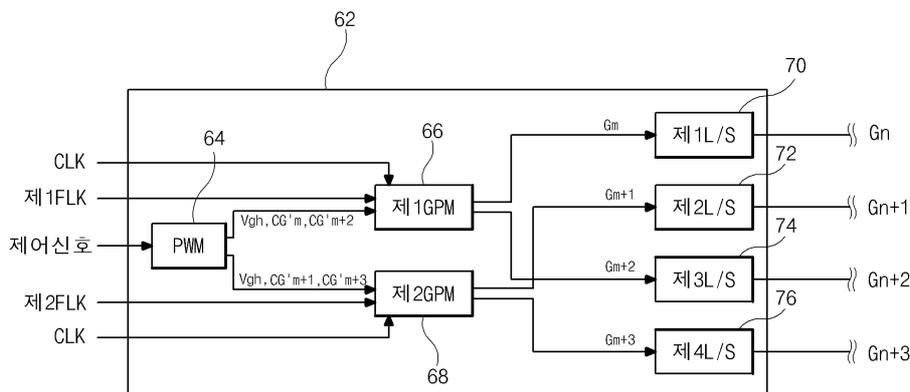
(57) 요약

본 발명은 플리커신호 혼입 시에 수반되는 게이트신호 왜곡에 의한 화질저하 현상을 방지할 수 있는 DGIP(Double pixel Gate In Panel) 방식 액정표시장치 및 이의 화상구현방법에 관한 것이다.

구체적으로 본 발명은 수직 및 수평화소열이 매트릭스 형태로 정의된 액정패널과; 상기 액정패널 내에서 G_n , G_{n+1} , G_{n+2} , G_{n+3} (n 은 자연수) 순서로 일 방향을 따라 배열된 게이트라인과; 상기 액정패널 내에서 상기 게이트라인과 교차 배열된 데이터라인과; 데이터 및 제어신호와 제 1 및 제 2 플리커신호를 출력하는 타이밍컨트롤러와; 상기 제어신호를 통해 V_{gm} , V_{gm+1} , V_{gm+2} , V_{gm+3} 게이트신호를 생성한 후, 상기 V_{gm} , V_{gm+2} 게이트신호에 상기 제 1 플리커신호를 각각 혼입하여 상기 G_n , G_{n+2} 게이트라인에 전달하고, 상기 V_{gm+1} , V_{gm+3} 게이트신호에 상기 제 2 플리커신호를 각각 혼입하여 상기 G_{n+1} , G_{n+3} 게이트라인에 전달하는 게이트드라이버와; 상기 데이터 및 제어신호를 통해 상기 데이터라인으로 화상신호를 전달하는 데이터드라이버를 포함하는 액정표시장치 및 이를 이용한 화상구현방법을 제공한다.

이로써 액정패널의 일부 수평화소열에서 나타나는 휘도 변화를 해소할 수 있고, 보다 개선된 화상구현이 가능하다.

대표도 - 도7



특허청구의 범위

청구항 1

수직 및 수평화소열이 매트릭스 형태로 정의된 액정패널과;

상기 액정패널 내에서 G_n , G_{n+1} , G_{n+2} , G_{n+3} (n 은 자연수) 순서로 일 방향을 따라 배열된 게이트라인과;

상기 액정패널 내에서 상기 게이트라인과 교차 배열된 데이터라인과;

데이터 및 제어신호와 제 1 및 제 2 플리커신호를 출력하는 타이밍컨트롤러와;

상기 제어신호를 통해 V_{gm} , V_{gm+1} , V_{gm+2} , V_{gm+3} 게이트신호를 생성한 후, 상기 V_{gm} , V_{gm+2} 게이트신호에 상기 제 1 플리커신호를 각각 혼입하여 상기 G_n , G_{n+2} 게이트라인에 전달하고, 상기 V_{gm+1} , V_{gm+3} 게이트신호에 상기 제 2 플리커신호를 각각 혼입하여 상기 G_{n+1} , G_{n+3} 게이트라인에 전달하는 게이트드라이버와;

상기 데이터 및 제어신호를 통해 상기 데이터라인으로 화상신호를 전달하는 데이터드라이버를 포함하는 액정표시장치.

청구항 2

제 1항에 있어서,

상기 수평화소열은 각각, 상기 G_n , G_{n+1} 게이트라인 그리고 상기 G_{n+2} , G_{n+3} 게이트라인 사이에 한 열 씩 배열되고,

상기 수직화소열은 화소는 각각, 상기 데이터라인의 좌우 양측에 두 열로 배열되는 액정표시장치.

청구항 3

제 2항에 있어서,

상기 수평화소열은 적(R), 녹(G), 청(B) 컬러의 서브화소가 순서대로 반복되고, 상기 수직화소열은 동일컬러의 상기 서브화소가 배열되는 액정표시장치.

청구항 4

제 3항에 있어서,

상기 적(R), 녹(G), 청(B) 컬러의 서브화소로 이루어진 화소단위는 상기 각 수평화소열 내에서 홀수 번째와 짝수 번째로 반복 배열되고,

상기 G_n , G_{n+1} 게이트라인, G_{n+2} , G_{n+3} 게이트라인 사이에 각각 개재된 상기 수평화소열 중, 상기 홀수 번째 화소단위의 적(R_o), 청(B_o) 컬러 서브화소 그리고 상기 짝수 번째 화소단위의 녹(G_o) 컬러 서브화소는 각각 상기 G_n , G_{n+2} 게이트라인에 접속되고, 상기 홀수 번째 화소단위의 녹(G_o) 컬러 서브화소 그리고 상기 짝수 번째 화소단위의 적(R_e), 청(B_e) 컬러 서브화소는 각각 상기 G_{n+1} , G_{n+3} 게이트라인에 접속되는 액정표시장치.

청구항 5

제 4항에 있어서,

상기 G_n , G_{n+1} 게이트라인, G_{n+2} , G_{n+3} 게이트라인 사이에 각각 개재된 상기 수평화소열 중, 상기 홀수 번째 화소단위의 적(R_o), 녹(G_o) 컬러 서브화소와, 상기 홀수 번째 화소단위의 청(B_e) 컬러 서브화소 및 상기 짝수 번째 화소단위의 적(R_e) 컬러 서브화소와, 상기 짝수 번째 화소단위의 녹(G_e), 청(B_e) 컬러 서브화소는 각각 동일 데이터라인에 접속되는 액정표시장치.

청구항 6

제 1항에 있어서,

상기 V_{gm} , V_{gm+1} , V_{gm+2} , V_{gm+3} 게이트신호는 각각, 고전위게이트전압과 저전위게이트전압의 반복에 의한 구형파인 액정표시장치.

청구항 7

제 6항에 있어서,

상기 V_{gm} , V_{gm+2} 게이트신호, 상기 V_{gm+1} , V_{gm+3} 게이트신호는 각각 1 주기 차이이고,

상기 V_{gm} , V_{gm+1} , V_{gm+2} , V_{gm+3} 게이트신호는 각각 1/2 주기 차이인 액정표시장치.

청구항 8

제 7항에 있어서,

상기 제 1 및 제 2 플리커신호는 구형파이고, 서로 1/2 주기 차이인 액정표시장치.

청구항 9

제 8항에 있어서,

상기 제 1 플리커신호가 혼입된 상기 V_{gm} , V_{gm+2} 게이트신호와, 상기 제 2 플리커신호가 혼입된 상기 V_{gm+1} , V_{gm+3} 게이트신호는 각각, 상기 고전위게이트전압의 후단부에 상기 고전위게이트전압보다 작고 상기 저전위게이트전압보다 높은 조정영역이 부여되는 액정표시장치.

청구항 10

제 1항 내지 제 9항 중 어느 하나의 선택된 항에 있어서,

상기 게이트드라이버는,

상기 V_{gm} , V_{gm+1} , V_{gm+2} , V_{gm+3} 게이트신호를 각각 생성하는 PWM(Pulse Width Modulation)과;

상기 V_{gm} , V_{gm+2} 게이트신호에 상기 제 1 플리커신호를 각각 혼입하여 상기 G_n , G_{n+2} 게이트라인으로 전달하는 제 1 GPM(Gate Pulse Modulation)과;

상기 V_{gm+1} , V_{gm+3} 게이트신호에 상기 제 2 플리커신호를 각각 혼입하여 상기 G_{n+1} , G_{n+3} 게이트라인으로 전달하는 제 2 GPM

을 포함하는 액정표시장치.

청구항 11

액정패널과, 상기 액정패널 내에서 일 방향으로 배열되는 G_n , G_{n+1} , G_{n+2} , G_{n+3} 게이트라인과, 상기 액정패널 내에서 상기 게이트라인과 교차되는 데이터라인을 구비한 액정표시장치의 화상구현방법으로서,

V_{gm} , V_{gm+1} , V_{gm+2} , V_{gm+3} 게이트신호를 각각 생성하는 단계와;

상기 V_{gm} , V_{gm+2} 게이트신호에 제 1 플리커신호를 각각 혼입하여 상기 G_n , G_{n+2} 게이트라인에 전달하고, 상기 V_{gm+1} , V_{gm+3} 게이트신호에 제 2 플리커신호를 각각 혼입하여 상기 G_{n+1} , G_{n+3} 게이트라인에 전달하는 단계

를 포함하는 화상구현방법.

청구항 12

제 11항에 있어서,

상기 제 1 및 제 2 플리커신호는 구형파이고, 서로 1/2 주기 차이인 화상구현방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 액정표시장치(Liquid Crystal Display device) 및 이의 화상구현방법에 관한 것으로, 보다 구체적으로는 플리커신호 혼입 시에 수반되는 게이트신호 왜곡에 의한 화질저하 현상을 방지할 수 있는 DGIP(Double pixel Gate In Panel) 방식 액정표시장치 및 이의 화상구현방법에 관한 것이다.
- [0014] 동화상 표시에 유리하고 콘트라스트비(contrast ratio)가 큰 특징을 보여 TV, 모니터 등의 분야에서 가장 활발하게 이용되고 있는 액정표시장치(Liquid Crystal Display device)는 액정의 광학적이방성(optical anisotropy)과 분극성질(polarization)을 이용한 화상구현원리를 나타내는데, 두 기관 사이로 액정층을 개재하여 대면 합착시킨 액정패널(liquid crystal panel)을 필수적인 구성요소로 하며, 액정패널 내의 전기장으로 액정분자의 배열방향을 변화시켜 투과율 차이를 발생시키고 별도의 백라이트(back light)를 이용해서 액정패널의 투과율 차이를 외부로 투영시켜 목적하는 화상을 표시한다.
- [0015] 최근에는 액정패널 상에 화상표현의 기본단위인 화소(pixel)를 행렬로 배열하고 박막트랜지스터(Thin Film Transistor : TFT)를 이용해서 각각을 개별 제어하는 능동행렬방식(Active Matrix type)이 널리 이용되는데, 첨부된 도 1은 일반적인 액정표시장치를 나타낸 블록도이다.
- [0016] 보이는 것처럼 일반적인 액정표시장치는 직접적인 화상구현을 위한 액정패널(10) 및 이의 화상구현에 필요한 전기적 신호를 공급하는 구동회로부(20)로 구분될 수 있다.
- [0017] 먼저, 액정패널(10)은 액정층을 사이에 두고 대면 합착된 제 1 및 제 2 기관으로 이루어지고, 이중 어레이기관(array substrate)이라 불리는 제 1 기관 내면에는 다수의 게이트라인(12)과 데이터라인(14)이 교차 배열되어 화소(P)가 정의되며, 이들의 교차점마다 박막트랜지스터(T)가 구비되어 각 화소(P)에 실장된 화소전극과 일대일 대응 연결된다. 또한 컬러필터기관(color-filter substrate)이라 불리는 제 2 기관 내면에는 컬러구현을 위한 컬러필터(color filter), 일례로 각 화소에 일대일 대응되는 적(R), 녹(G), 청(B) 컬러필터와, 액정층을 사이에 두고 화소전극과 대면되는 공통전극이 마련되고, 그 결과 화소전극과 공통전극 그리고 이들 사이로 개재된 액정층은 액정개폐시터(Clc)를 이룬다.
- [0018] 다음으로 구동회로부(20)는 인터페이스(22)와, 타이밍컨트롤러(24)와, 게이트 및 데이터드라이버(26,28)와, 기준전압생성부(30)와, 전원전압생성부(32) 등으로 이루어지며, 이중 인터페이스(22)는 퍼스널 컴퓨터와 같은 외부 구동시스템으로부터 입력되는 데이터 및 제어신호를 타이밍컨트롤러(24)로 전달하고, 타이밍컨트롤러(24)는 이들 데이터 및 제어신호를 적절히 처리하여 게이트 및 데이터드라이버(26,28)로 공급한다. 그리고 게이트드라이버(26)와 데이터드라이버(28)에는 각각 게이트라인(12)과 데이터라인(14)이 연결되고, 게이트드라이버(26)는 액정패널(10) 상의 박막트랜지스터(T)를 온/오프(on/off) 제어할 수 있도록 타이밍컨트롤러(24)로부터 입력되는 제어신호들에 응답해서 매 프레임(frame) 별로 각 게이트라인(12)을 1 수평동기 시간씩 순차적으로 인 에이블(enable) 시켜 각 게이트라인(12) 별 박막트랜지스터(T)들을 온/오프 제어하고, 데이터드라이버(28)는 타이밍컨트롤러(24)로부터 입력되는 데이터 및 제어신호에 응답해서 입력 데이터의 기준전압들을 선택한 후 다수의 데이터라인(14)에 공급한다. 그 결과 게이트라인(12)의 게이트신호에 의해 각 게이트라인(12) 별로 선택된 박막트랜지스터(T)가 온 되면 데이터라인(14)의 데이터신호가 각각의 박막트랜지스터(T)를 통해 해당 화소전극으로 전달되며, 이에 의한 화소전극과 공통전극 사이의 전기장으로 액정이 구동된다. 또한 기준전압생성부(30)는 데이터드라이버(28)에서 사용되는 DAC(Digital To Analog Converter) 기준전압 들을 생성하고, 전원전압생성

부(32)는 앞서 살펴본 구동회로부(20)의 각 구성요소들에 대한 동작전원을 공급함과 동시에 액정패널(10)의 공통전극 전압, 공통전압을 생성 및 공급한다.

- [0019] 한편, 일반적인 액정에 직류전압이 장시간 인가되면 액정 내의 이온성 불순물이 전기장에 의해 고착되고, 심화되면 액정분자의 프리틸트(pre-tilt) 각이 변화되어 목적에 따른 제어가 어렵게 된다. 때문에 잔상과 같은 화질저하가 뒤따르는데, 이를 방지하기 위해서 통상 액정에 전달되는 데이터신호의 극성을 프레임 마다 반전시키는 인버전(inversion) 방식을 채택하고 있다.
- [0020] 즉, 첨부된 도 2는 일반적인 액정패널에 공급되는 신호전압들을 나타낸 파형도로서, 공통전극에 공통전압(Vcom)이 인가되고, 게이트신호(Vgate)가 각 게이트라인에 순차적으로 공급되며, 데이터신호(Vdata)가 데이터라인을 통해 해당 화소에 전달된다.
- [0021] 이때 게이트신호(Vgate)는 박막트랜지스터의 턴-온(turn-on) 구간인 고전위게이트전압(Vgh)과 박막트랜지스터의 턴-오프(turn-off) 구간인 저전위게이트전압(Vgl)이 반복되는 구형파를 나타내며, 데이터신호(Vdata)는 매 프레임 별로 극성이 반전되는 인버전 방식을 취하는데, 임의의 t 프레임에서 게이트신호(Vgate)의 고전위게이트전압(Vgh)이 인가되는 턴-온 구간에서는 정(+)극성의 데이터신호(Vdata)가 화소에 공급되고, t+1 프레임에서 게이트신호(Vgate)의 고전위게이트전압(Vgh)이 인가되는 턴-온 구간에서는 부(-)극성의 데이터신호(Vdata)가 화소에 공급된다.
- [0022] 그리고 이 경우 게이트신호(Vgate)가 고전위에서 저전위로 천이되는 턴-오프 구간에서는 화소 내의 액정용량, 다시 말해 화소전압의 전압강하가 나타나는데, 이를 화소전압의 변동분(ΔV_p)이라 하면, 이하의 수식으로 표현될 수 있다.
- [0023]
$$\Delta V_p = \frac{C_{gd}}{C_{lc} + C_{st} + C_{gs}} (V_{gh} - V_{gl})$$
- [0024] 여기서 C_{lc} 는 액정용량, C_{st} 는 저장용량, C_{gd} 는 박막트랜지스터의 기생용량, V_{gh} , V_{gl} 는 각각 고전위 및 저전위 게이트신호전압을 나타낸다.
- [0025] 그런데 이러한 화소전압의 변동분은 액정패널의 위치별로 불균일하게 나타남과 동시에 프레임별 화소전압을 비대칭적으로 왜곡시켜 휘도편차를 유발하며, 결국 화면 깜박임 등의 플리커(flicker) 현상으로 이어져 표시품질을 크게 저하시킨다.
- [0026] 때문에 상기의 플리커 현상을 해소하고자 일정주기를 갖는 구형파의 플리커신호를 게이트신호(Vgate)에 혼입시켜 고전위게이트전압(Vgh)의 후단 일정구간을 상대적으로 낮은 전위의 조정영역으로 천이시키는 방법이 제안되었고, 이를 통해 화소전압의 변동분에 따른 플리커 현상을 저감시킬 수 있게 되었다.
- [0027] 또 한편, 최근에는 액정표시장치의 저가격화를 달성하고자 재료비의 대부분을 차지하는 드라이버 IC에 대한 소요비용을 줄이는데 주목하고 있고, 일례로 데이터라인의 숫자를 줄임으로써 데이터드라이버의 드라이버 IC에 대한 수량절감을 꾀하는 방법이 소개되었다.
- [0028] 구체적인 한 양태로, 데이터라인의 숫자를 반으로 줄이고 각 데이터라인의 좌우로 인접한 두 화소가 하나의 데이터라인을 공유하는 이른바 DGIP(Double pixel Gate In Panel) 방식 액정표시장치가 소개되었는데, 첨부된 도 3은 이를 설명하기 위한 일반적인 DGIP 방식 액정패널의 개요도이다. 이때 편의상 적(R), 녹(G), 청(B)색이 발생하는 각각의 화소를 서브화소라 하고, 서로 인접한 적, 녹, 청 서브화소 하나씩을 단위 지어 일 화소단위라 하면, 보이는 것처럼 각 서브화소는 수평열을 따라 적(R), 녹(G), 청(B)의 순서로 반복되고, 수직열을 따라서는 동일컬러로 배열된 스트라이프(stripe) 형태를 나타낼 수 있다.
- [0029] 그리고 이러한 DGIP 방식에서 하나의 데이터라인(D1, D2, D3...)을 수평열의 좌우 두 서브화소가 서로 공유하고, 게이트라인(Gn, Gn+1, Gn+2...)은 최상 및 최하의 하나씩을 제외하면 각각의 수평열 사이에 두 개씩 위치하는데, 도면에서와 같이 (Gn, Gn+1), (Gn+2, Gn+3) 게이트라인 사이로는 각각 단위화소의 수평열이 개재되고, (Gn+1, Gn+2) 게이트라인은 서로 인접해 있다. 아울러 이 같은 DGIP 방식 액정패널은 최상위에서 최하위 게이트라인(Gn, Gn+1, Gn+2...)까지 순차적으로 게이트신호가 인가됨에 따라 각 게이트라인(Gn, Gn+1, Gn+2...) 별 단위화소가 오픈되고, 데이터라인(D1, D2, D3...)을 통해 공급되는 데이터신호에 의해 각 단위화소가 구동되어 해당컬러를 표시한다.

- [0030] 즉, 첨부된 도 4는 일반적인 DGIP 액정패널의 게이트신호 입력시점을 결정하는 게이트신호 ($V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$)에 대한 파형도로서, 앞서의 도 3과 함께 참조하면, 임의의 $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ 게이트라인에 각각 인가되는 $V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$ 게이트신호를 확인할 수 있다.
- [0031] 이 경우 액정패널의 좌측으로부터 각 수평열의 화소단위를 홀수와 짝수로 구분하면, G_n 및 G_{n+1} 게이트라인 사이에 위치한 수평열의 화소단위에 있어서 홀수 번째 화소단위 중 적(R_o), 청(B_o) 서브화소와 짝수 번째 화소단위 중 녹(G_e) 서브화소는 각각 G_n 게이트라인의 V_{gm} 게이트신호에 의해 구동되고, 홀수 번째 화소단위 중 녹(G_o) 서브화소와 짝수 번째 화소단위 중 적(R_e), 청(B_e) 서브화소는 각각 G_{n+1} 게이트라인의 V_{gm+1} 게이트신호에 의해 구동되며, G_{n+2} 및 G_{n+3} 게이트라인 사이에 위치한 수평열의 화소단위에 있어서 홀수 번째 화소단위 중 적(R_o), 청(B_o) 서브화소와 짝수 번째 화소단위 중 녹(G_e) 서브화소는 각각 G_{n+2} 게이트라인의 V_{gm+2} 게이트신호에 의해 구동되고, 홀수 번째 화소단위 중 녹(G_o) 서브화소와 짝수 번째 화소단위 중 적(R_e), 청(B_e) 서브화소는 각각 G_{n+3} 게이트라인으로 인가되는 V_{gm+3} 게이트신호에 의해 구동된다. 그리고 이 중 V_{gm} 게이트신호와 V_{gm+2} 게이트신호 그리고 V_{gm+1} 게이트신호와 V_{gm+3} 게이트신호는 각각 1 주기 차이를 나타내고, $V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$ 게이트신호는 차례로 1/2 주기 차이를 보인다.
- [0032] 이때 DGIP 방식의 액정표시장치 역시 플리커현상이 나타날 수 있으므로 도면에 나타낸 것처럼 플리커신호(FLK)를 혼입시키는데, V_{gm} 게이트신호에 기준한 플리커신호(FLK)를 혼입할 경우에 V_{gm} 게이트신호를 비롯해서 이와 1주기 차이를 보이는 V_{gm+2} 게이트신호에도 영향을 미치고, 그 결과 V_{gm}, V_{gm+2} 게이트신호의 고전위게이트전압(V_{gh}) 후단에는 각각 상대적으로 낮은 전위의 조정영역이 부여되며, 이로써 G_n, G_{n+2} 게이트라인에 접속된 서브화소들에 대한 플리커현상이 억제될 수 있다.
- [0033] 하지만 이 경우 플리커신호(FLK)는 V_{gm+1}, V_{gm+3} 게이트신호에도 영향을 미치게 되는데, V_{gm+1}, V_{gm+3} 게이트신호는 각각 V_{gm}, V_{gm+2} 게이트신호와 1/2 주기 차이를 보이고 있으므로 V_{gm+1}, V_{gm+3} 게이트신호의 경우에는 각각의 고전위게이트전압(V_{gh}) 전단에서 신호과형이 왜곡되는 현상이 나타난다.
- [0034] 즉, 도 4의 V_{gm+1}, V_{gm+3} 게이트신호에 있어서 플리커신호(FLK)에 의해 각각의 고전위게이트전압(V_{gh}) 전단의 신호왜곡을 확인할 수 있고, 이러한 신호왜곡은 G_{n+1}, G_{n+3} 게이트라인 각각에 접속된 서브화소들에 대한 휘도 변화를 발생시켜 화질을 저하시키는 문제점을 나타낸다.

발명이 이루고자 하는 기술적 과제

- [0035] 이에 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 플리커현상을 방지하기 위한 플리커신호 혼입 시 수반되는 게이트신호 왜곡에 의한 화질저하 현상을 방지할 수 있는 DGIP 방식 액정표시장치 및 이의 화상구현방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

- [0036] 상기와 같은 목적을 달성하기 위하여 본 발명은, 수직 및 수평화소열이 매트릭스 형태로 정의된 액정패널과; 상기 액정패널 내에서 $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ (n 은 자연수) 순서로 일 방향을 따라 배열된 게이트라인과; 상기 액정패널 내에서 상기 게이트라인과 교차 배열된 데이터라인과; 데이터 및 제어신호와 제 1 및 제 2 플리커신호를 출력하는 타이밍컨트롤러와; 상기 제어신호를 통해 $V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$ 게이트신호를 생성한 후, 상기 V_{gm}, V_{gm+2} 게이트신호에 상기 제 1 플리커신호를 각각 혼입하여 상기 G_n, G_{n+2} 게이트라인에 전달하고, 상기 V_{gm+1}, V_{gm+3} 게이트신호에 상기 제 2 플리커신호를 각각 혼입하여 상기 G_{n+1}, G_{n+3} 게이트라인에 전달하는 게이트드라이버와; 상기 데이터 및 제어신호를 통해 상기 데이터라인으로 화상신호를 전달하는 데이터드라이버를 포함하는 액정표시장치를 제공한다.
- [0037] 이때 상기 수평화소열은 각각, 상기 G_n, G_{n+1} 게이트라인 그리고 상기 G_{n+2}, G_{n+3} 게이트라인 사이에 한 열씩 배열되고, 상기 수직화소열은 화소는 각각, 상기 데이터라인의 좌우 양측에 두 열로 배열되는 것을 특징으로 한다. 그리고 상기 수평화소열은 적(R), 녹(G), 청(B) 컬러의 서브화소가 순서대로 반복되고, 상기 수직화소열은 동일컬러의 상기 서브화소가 배열되는 것을 특징으로 한다. 아울러 상기 적(R), 녹(G), 청(B) 컬러의 서브화소로 이루어진 화소단위는 상기 각 수평화소열 내에서 홀수 번째와 짝수 번째로 반복 배열되고, 상기 G_n, G_{n+1} 게이트라인, G_{n+2}, G_{n+3} 게이트라인 사이에 각각 개재된 상기 수평화소열 중, 상기 홀수 번째 화소단위의

적(Ro), 청(Bo) 컬러 서브화소 그리고 상기 짝수 번째 화소단위의 녹색(Go) 컬러 서브화소는 각각 상기 Gn, Gn+2 게이트라인에 접속되고, 상기 홀수 번째 화소단위의 녹색(Go) 컬러 서브화소 그리고 상기 짝수 번째 화소단위의 적(Re), 청(Be) 컬러 서브화소는 각각 상기 Gn+1, Gn+2 게이트라인에 접속되는 것을 특징으로 한다. 또한 상기 Gn, Gn+1 게이트라인, Gn+2, Gn+3 게이트라인 사이에 각각 개재된 상기 수평열의 화소 중, 상기 홀수 번째 화소단위의 적(Ro), 녹색(Go) 컬러 서브화소와, 상기 홀수 번째 화소단위의 청(Be) 컬러 서브화소 및 상기 짝수 번째 화소단위의 적(Re) 컬러 서브화소와, 상기 짝수 번째 화소단위의 녹색(Ge), 청(Be) 컬러 서브화소는 각각 동일 데이터라인에 접속되는 것을 특징으로 한다.

[0038] 또한 상기 Vgm, Vgm+1, Vgm+2, Vgm+3 게이트신호는 각각, 고전위게이트전압과 저전위게이트전압의 반복에 의한 구형파인 것을 특징으로 하고, 상기 Vgm, Vgm+2 게이트신호, 상기 Vgm+1, Vgm+3 게이트신호는 각각 1 주기 차이이고, 상기 Vgm, Vgm+1, Vgm+2, Vgm+3 게이트신호는 각각 1/2 주기 차이인 것을 특징으로 한다. 그리고 이 경우 상기 제 1 및 제 2 플리커신호는 구형파이고, 서로 1/2 주기 차이인 것을 특징으로 하며, 상기 제 1 플리커신호가 혼입된 상기 Vgm, Vgm+2 게이트신호와, 상기 제 2 플리커신호가 혼입된 상기 Vgm+1, Vgm+3 게이트신호는 각각, 상기 고전위게이트전압의 후단부에 상기 고전위게이트전압보다 작고 상기 저전위게이트전압보다 높은 조정영역이 부여되는 것을 특징으로 한다.

[0039] 또한 상기 게이트드라이버는, 상기 Vgm, Vgm+1, Vgm+2, Vgm+3 게이트신호를 각각 생성하는 PWM(Pulse Width Modulation)과; 상기 Vgm, Vgm+2 게이트신호에 상기 제 1 플리커신호를 각각 혼입하여 상기 Gn, Gn+2 게이트라인으로 전달하는 제 1 GPM(Gate Pulse Modulation)과; 상기 Vgm+1, Vgm+3 게이트신호에 상기 제 2 플리커신호를 각각 혼입하여 상기 Gn+1, Gn+3 게이트라인으로 전달하는 제 2 GPM 을 포함하는 것을 특징으로 한다.

[0040] 한편 본 발명은 액정패널과, 상기 액정패널 내에서 일 방향으로 배열되는 Gn, Gn+1, Gn+2, Gn+3 게이트라인과, 상기 액정패널 내에서 상기 게이트라인과 교차되는 데이터라인을 구비한 액정표시장치의 화상구현방법으로서, Vgm, Vgm+1, Vgm+2, Vgm+3 게이트신호를 각각 생성하는 단계와; 상기 Vgm, Vgm+2 게이트신호에 제 1 플리커신호를 각각 혼입하여 상기 Gn, Gn+2 게이트라인에 전달하고, 상기 Vgm+1, Vgm+3 게이트신호에 제 2 플리커신호를 각각 혼입하여 상기 Gn+1, Gn+3 게이트라인에 전달하는 단계를 포함하는 화상구현방법을 제공한다.

[0041] 이때 상기 제 1 및 제 2 플리커신호는 구형파이고, 서로 1/2 주기 차이인 것을 특징으로 한다.

[0042] 이하 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

[0043] 첨부된 도 5는 본 발명에 따른 DGIP 방식 액정표시장치의 개요도로서, 액정패널(50)을 비롯한 구동회로부의 일부가 나타나 있다.

[0044] 이때 비록 도면에 상세히 표시되지는 않았지만, 본 발명에 따른 액정패널(50)은 액정층을 사이에 두고 대면 합착된 제 1 및 제 2 기판으로 이루어지며, 제 1 기판 내면으로는 다수의 게이트라인(Gn, Gn+1, Gn+2, Gn+3...)과 데이터라인(D1, D2, D3, D4...)이 교차 배열되어 수직 및 수평화소열을 정의하고, 이들의 교차점에는 박막트랜지스터(T)가 구비되어 화소전극과 대응 연결되어 있다. 아울러 제 2 기판 내면으로는 컬러구현을 위한 컬러필터와 공통전극이 구비되며, 이로써 공통전극과 화소전극 및 그 사이로 개재된 액정은 액정캐패시터를 이룬다.

[0045] 한편, 본 발명에 따른 액정패널(50)은 DGIP 방식일 수 있고, 이에 따라 적(R), 녹색(G), 청(B) 컬러가 발현되는 각각을 서브화소라 할 경우에 좌우로 인접한 두 서브화소가 하나의 데이터라인(D1, D2, D3, D4...)을 공유하는 방식을 취하는바, 서로 인접한 적, 녹색, 청 서브화소 하나씩이 일 화소단위를 이룬다 하면, 각 서브화소는 수평화소열을 따라 적(R), 녹색(G), 청(B) 컬러 순서로 반복되고, 수직화소열을 따라서는 동일컬러의 서브화소가 배열된다.

[0046] 그리고 본 발명에 따른 액정패널(50)에서 게이트라인은 Gn, Gn+1, Gn+2, Gn+3(n은 자연수)의 반복 배열로 이루어지며, 수평화소열의 서브화소는 각각 Gn, Gn+1 게이트라인과 Gn+2, Gn+3 게이트라인 사이에 한 열 씩 배열되고, 수직화소열의 서브화소는 각각의 데이터라인(D1, D2, D3, D4...) 좌우 양측에 두 열로 배열된다.

[0047] 그 결과 각 수평화소열 내에서 화소단위는 홀수 번째와 짝수 번째로 구분되는데, Gn 게이트라인과 Gn+1 게이트라인 사이로 개재된 수평화소열의 서브화소 중에서 홀수 번째 화소단위의 적(Ro), 청(Bo) 컬러 서브화소와 짝수 번째 화소단위의 녹색(Ge) 컬러 서브화소는 각각 Gn 게이트라인에 접속되고, 홀수 번째 화소단위의 녹색(Go) 컬러 서브화소와 짝수 번째 화소단위의 적(Re), 청(Be) 컬러 서브화소는 각각 Gn+1 게이트라인에 접속되며, Gn+2 게이트라인과 Gn+3 게이트라인 사이로 개재된 수평화소열의 서브화소 중에서 홀수 번째 화소단위의 적(Ro), 청

(Bo) 컬러 서브화소와 짝수 번째 화소단위의 녹(Ge) 컬러 서브화소는 각각 G_{n+2} 게이트라인에 접속되고, 홀수 번째 화소단위의 녹(Go) 컬러 서브화소와 짝수 번째 화소단위의 적(Re), 청(Be) 컬러 서브화소는 각각 G_{n+3} 게이트라인에 접속된다. 아울러 수직열의 서브화소 중에서 홀수 번째 화소단위의 적(Ro), 녹(Go) 컬러 서브화소는 각각 임의로 D1 데이터라인에 접속되고, 홀수 번째 화소단위의 청(Be) 컬러 서브화소 및 짝수 번째 화소단위의 적(Re) 컬러 서브화소는 D2 데이터라인에 접속되며, 짝수 번째 화소단위의 녹(Ge), 청(Be) 컬러 서브화소는 D3 데이터라인에 접속된다.

[0048] 그리고 이들 다수의 게이트라인($G_n, G_{n+1}, G_{n+2}, G_{n+3}, \dots$)은 게이트드라이버(62)에 연결되고, 다수의 데이터라인(D1, D2, D3, D4, ...)은 데이터드라이버(82)에 연결되는바, 게이트라인($G_n, G_{n+1}, G_{n+2}, G_{n+3}, \dots$)으로부터 전달되는 게이트신호에 의해 각 게이트라인($G_n, G_{n+1}, G_{n+2}, G_{n+3}, \dots$) 별로 선택된 서브화소가 오픈되면 데이터라인(D1, D2, D3, D4, ...)으로부터 전달되는 데이터신호가 해당 서브화소로 전달되어 구동된다.

[0049] 이때 첨부된 도 6은 본 발명에 따른 DGIP 방식 액정패널에 인가되는 게이트신호를 나타낸 파형도로서, 앞서의 도 5를 함께 참조하면, $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ 게이트라인에 각각 인가되는 $V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$ 게이트신호가 나타나 있다.

[0050] 그리고 이중 V_{gm} 게이트신호와 V_{gm+2} 게이트신호 그리고 V_{gm+1} 게이트신호와 V_{gm+3} 게이트신호는 각각 1 주기 차이를 나타내고, V_{gm} 게이트신호와 V_{gm+1} 게이트신호, V_{gm+1} 게이트신호와 V_{gm+2} 게이트신호, V_{gm+2} 게이트신호와 V_{gm+3} 게이트신호는 각각 차례로 1/2 주기 차이를 보이며, 이들 $V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$ 게이트신호는 박막트랜지스터의 턴-온 구간인 고전위게이트전압(V_{gh})과 박막트랜지스터의 턴-오프 구간이 저전위게이트전압(V_{gl})이 반복되는 구형파로 이루어진다.

[0051] 아울러 이들 $V_{gm}, V_{gm+1}, V_{gm+2}, V_{gm+3}$ 게이트신호의 고전위게이트전압(V_{gh}) 후단부는 각각 고전위게이트전압(V_{gh}) 보다는 낮고 저전위게이트전압(V_{gl}) 보다는 큰 조정영역(a)이 부여되어 있는데, 이를 위해 타이밍컨트롤러(미도시)로부터 전달되는 제 1 및 제 2 플리커신호(FLK1, FLK2)가 사용되며, 이들 제 1 및 제 2 플리커신호(FLK1, FLK2)는 서로 1/2 주기 차이를 보이는 구형파로서 V_{gm}, V_{gm+2} 게이트신호에는 제 1 플리커신호(FLK1)가 혼입되고, V_{gm+1}, V_{gm+3} 게이트신호에는 제 2 플리커신호(FLK2)가 혼입되어 있다.

[0052] 즉, 본 발명에 따른 DGIP 방식 액정패널은 서로 1 주기 차이를 나타내는 두 개의 제 1 및 제 2 플리커신호(FLK1, FLK2)를 사용하는 것을 특징으로 하며, 이중 제 1 플리커신호(FLK1)는 V_{gm}, V_{gm+2} 게이트신호에 혼입되어 각각의 고전위게이트전압(V_{gh}) 후단에 상대적으로 낮은 전위의 조정영역을 부여하고, 제 2 플리커신호(FLK2)는 V_{gm+1}, V_{gm+3} 게이트신호에 혼입되어 각각의 고전위게이트전압(V_{gh}) 후단에 상대적으로 낮은 전위의 조정영역을 부여한다. 다시 말해, 제 1 플리커신호(FLK1)는 V_{gm}, V_{gm+2} 게이트신호를 기준으로 한 신호파형으로서, 1 주기 차이를 보이는 V_{gm}, V_{gm+2} 게이트신호에 혼입되어 각각의 고전위게이트전압(V_{gh}) 후단에 조정영역이 나타나도록 하며, 제 2 플리커신호(FLK2)는 V_{gm+1}, V_{gm+3} 게이트신호를 기준으로 한 신호파형으로서 제 1 플리커신호(FLK1)와 1 주기 차이를 보이며, 서로 1 주기 차이를 보이는 V_{gm+1}, V_{gm+3} 게이트신호에 혼입되어 각각의 고전위게이트전압(V_{gh}) 후단에 조정영역이 나타나도록 한다.

[0053] 이로써 일반적인 경우에서 살펴본 것처럼 단일 플리커신호의 혼입 시에 게이트신호 간의 주기 차이로 인해 나타날 수 있는 일부 게이트신호에 대한 신호왜곡을 해소하고, 모든 수평열에 대한 휘도차이 및 플리커 현상을 해소할 수 있다.

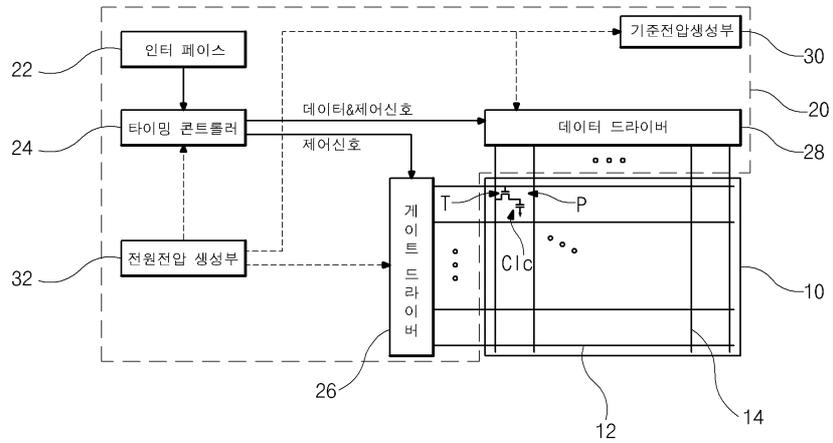
[0054] 그리고 이와 같은 제 1 및 제 2 플리커신호(FLK1, FLK2)에 의한 플리커현상을 제거하기 위해 게이트드라이버(62)는 도 7의 구성을 나타낼 수 있다.

[0055] 이때 도 7은 본 발명에 따른 DGIP 방식 액정표시장치에 적용될 수 있는 게이트드라이버(62)의 일부에 대한 블록도로서, 편의상 $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ 게이트라인에만 한정하여 나타내었는바, 하나의 PWM(Pulse Width Modulation : 64)과 두 개의 제 1 및 제 2 GPM(Gate Pulse modulation : 66, 68) 그리고 $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ 게이트라인이 각각 연결되는 제 1 내지 제 4 L/S(Level Shifter : 70, 72, 74, 76)를 포함할 수 있다.

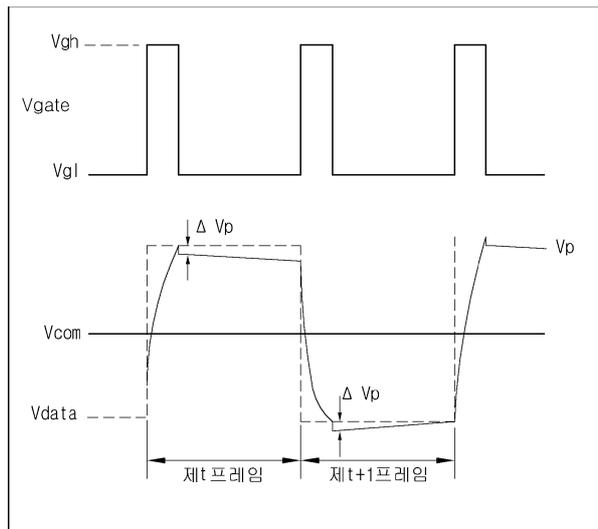
[0056] 이때 PWM(64)은 타이밍컨트롤러로부터 전달되는 제어신호를 적절히 처리하여 제 1 및 제 2 플리커신호 혼입 전의 게이트신호를 위한 클럭으로서 $CG_m, CG_{m+1}, CG_{m+2}, CG_{m+3}$ 를 생성하고, 이를 통해 제 1 및 제 2 GMP(66, 68)가 각각 $V_{gm}, V_{gm+2}, V_{gm+1}, V_{gm+3}$ 게이트신호를 생성할 수 있도록 하는 부분으로, 제 1 및 제 2 GMP(66, 68)에 고전위게이트전압(V_{gh})을 기준신호로 제공할 수 있다.

도면

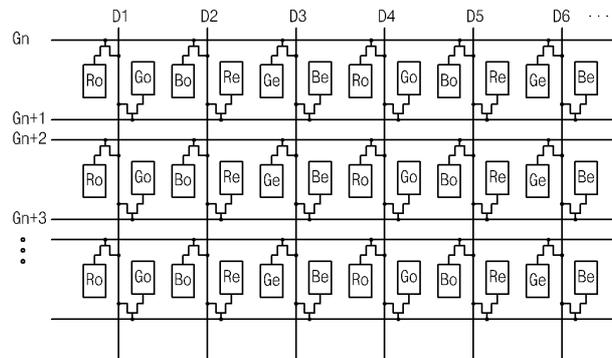
도면1



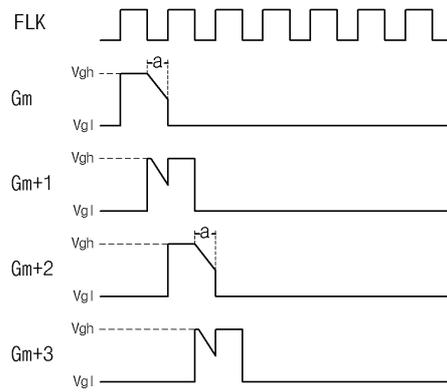
도면2



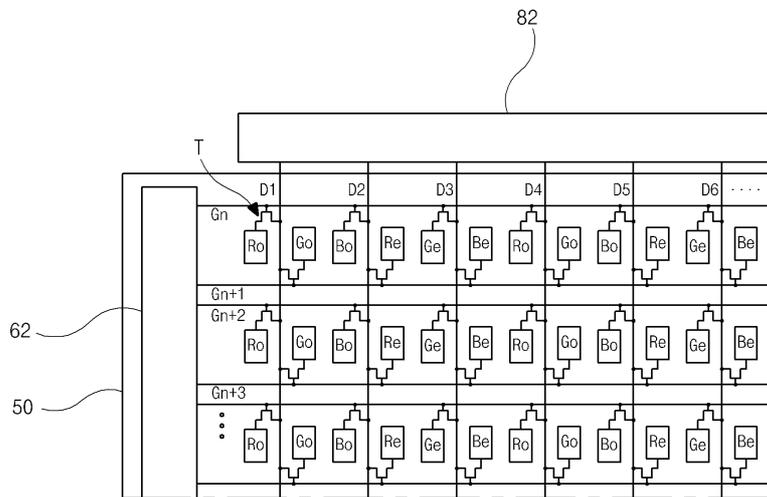
도면3



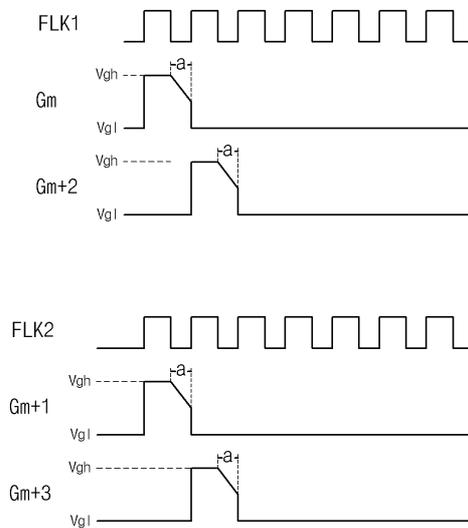
도면4



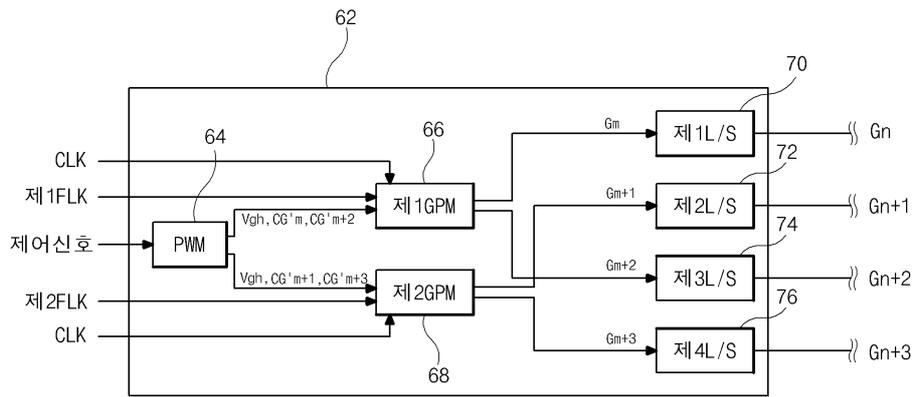
도면5



도면6



도면7



专利名称(译)	标题：液晶显示装置及其图像实现方法		
公开(公告)号	KR101235698B1	公开(公告)日	2013-02-21
申请号	KR1020060025222	申请日	2006-03-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MIN KYUNG		
发明人	LEE, MIN KYUNG		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2320/0247 G09G2320/0233 G09G2300/0426 G09G3/3696		
其他公开文献	KR1020070095044A		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括液晶面板;第m栅极线,第(m+1)栅极线,第(m+2)栅极线和液晶面板中的第(m+3)栅极线,其中m是自然数;至少一条数据线与第m栅极线,第(m+1)栅极线,第(m+2)栅极线和第(m+3)栅极线交叉;定时控制器,产生数据信号,控制信号,第一闪烁信号和第二闪烁信号;栅极驱动器使用第一闪烁信号产生第m栅极信号和第(m+2)栅极信号,并使用第二闪烁信号产生第(m+1)栅极信号和第(m+3)栅极信号,第m栅极信号和第(m+2)栅极信号分别提供给第m栅极线和第(m+2)栅极线,第(m+1)栅极信号和(m+3)第二栅极信号分别提供给第(m+1)栅极线和第(m+3)栅极线。

